

특 1998-069790

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
G06F 12/00

(11) 공개번호 특1998-069790
(43) 공개일자 1998년10월26일

(21) 출원번호	특1997-023938
(22) 출원일자	1997년06월10일
(30) 우선권주장	96-147452 1996년06월10일 일본(JP) 97-001115 1997년01월08일 일본(JP)
(71) 출원인	가부시키가이샤 도시바 니시무로타이조 일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(72) 발명자	다카시마다이샤부로 일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키 가이샤 도시바 연구개발센터내
(74) 대리인	이범일, 김윤배

심사청구 : 있음

(54) 반도체기억장치와 그를 탑재한 시스템

요약

불휘발성의 FRAM에 랜덤 액세스 기능을 유지하면서 고집적화를 실현하고, 더욱이 고속화를 유지하면서 리프 레쉬 동작을 불필요하게 한다.

1개의 트랜지스터(Q1)에 1개의 강유전체 캐패시터(Cf)를 병렬 접속하여 이루어지는 메모리셀을 복수개 직렬 접속하여 메모리블록을 구성하고, 그 블록을 복수개 배치하여 셀 어레이를 구성한 FRAM에 있어, 메모리 블록의 각각의 일단측이 선택 트랜지스터(Q0)를 매개로 비트선(BL)에 접속되고, 타단측이 플레이트전극(PL)에 접속되어 있다.

도표도

도 2a

명세서

도면의 간단한 설명

- 도 1은 제1 실시예에 따른 FRAM을 탑재한 컴퓨터 시스템을 나타낸 블록도,
- 도 2는 제1 실시예에 따른 FRAM의 셀 구성을 나타낸 평면도와 단면도,
- 도 3은 도 1의 회로 구성을 실현하기 위한 셀 구성을 나타낸 평면도와 단면도,
- 도 4는 도 1의 회로 구성을 실현하기 위한 셀 구성을 나타낸 평면도와 단면도,
- 도 5는 제2 실시예의 컴퓨터 시스템을 나타낸 블록도,
- 도 6은 제3 실시예의 컴퓨터 시스템을 나타낸 블록도,
- 도 7은 제4 실시예의 컴퓨터 시스템을 나타낸 블록도,
- 도 8은 제5 실시예의 컴퓨터 시스템을 나타낸 블록도,
- 도 9는 제6 실시예의 컴퓨터 시스템을 나타낸 블록도,
- 도 10은 제7 실시예에 따른 FRAM을 탑재한 IC 카드를 나타낸 모식도,
- 도 11은 제8 실시예에 따른 FRAM을 탑재한 디지털 화상취입 시스템을 나타낸 블록도,
- 도 12는 제9 실시예에 따른 FRAM을 탑재한 메모리 시스템을 나타낸 블록도,
- 도 13은 제10 실시예에 따른 메모리 시스템을 나타낸 블록도,
- 도 14는 제11 실시예에 따른 메모리 시스템을 나타낸 블록도,
- 도 15는 제12 실시예에 따른 FRAM을 탑재한 MPU 칩을 나타낸 모식도,
- 도 16은 제13 실시예에 따른 FRAM을 탑재한 MPU 칩을 나타낸 모식도,
- 도 17은 제14 실시예에 따른 FRAM을 탑재한 MPU 칩을 나타낸 모식도,

1998. 10. 20

- 도 18은 제15실시예에 따른 FRAM을 탑재한 시스템 LSI칩을 나타낸 블록도,
- 도 19는 제16실시예에 따른 FRAM을 탑재한 화상처리 LSI칩을 나타낸 블록도,
- 도 20은 제17실시예에 따른 FRAM을 탑재한 로직가변 LSI칩을 나타낸 블록도,
- 도 21은 제18실시예에 따른 FRAM을 탑재한 형태 컴퓨터시스템을 나타낸 블록도,
- 도 22는 제19실시예에 따른 FRAM의 기본구성을 나타낸 등가회로도,
- 도 23은 제20실시예에 따른 FRAM의 기본구성을 나타낸 등가회로도,
- 도 24는 도 23의 회로구성을 실현하기 위한 셀구성을 나타낸 평면도와 단면도,
- 도 25는 도 23의 회로구성을 실현하기 위한 셀구성을 나타낸 평면도와 단면도,
- 도 26은 도 23의 회로구성을 실현하기 위한 메모리셀부 구성의 다른 예를 나타낸 도면,
- 도 27은 도 23의 회로구성을 실현하기 위한 메모리셀부 구성의 다른 예를 나타낸 도면,
- 도 28은 제21실시예에 따른 FRAM의 개략구성을 나타낸 블록도,
- 도 29는 도 2의 회로에 있어서 폴디드(folded) BL구성을 실현한 예를 나타낸 도면,
- 도 30은 제22실시예에 따른 FRAM의 개략구성을 나타낸 블록도,
- 도 31은 각 실시예에 있어서의 동작예를 설명하기 위한 신호파형도,
- 도 32는 각 실시예에 있어서의 동작예를 설명하기 위한 신호파형도,
- 도 33은 각 실시예에 있어서의 동작예를 설명하기 위한 신호파형도,
- 도 34는 본 발명의 주효과를 정리해서 나타낸 도면,
- 도 35는 본 발명의 주효과를 정리해서 나타낸 도면,
- 도 36은 제23실시예에 따른 FRAM을 설명하기 위한 센스앰프부의 구성을 나타낸 회로도,
- 도 37은 제23실시예에 있어서의 동작을 설명하기 위한 신호파형도,
- 도 38은 제24실시예에 따른 FRAM을 설명하기 위한 센스앰프부의 구성을 나타낸 회로도,
- 도 39는 제24실시예에 따른 동작을 설명하기 위한 신호파형도,
- 도 40은 제25실시예에 따른 FRAM을 설명하기 위한 센스앰프부의 구성을 나타낸 회로도,
- 도 41은 제25실시예에 있어서의 동작을 설명하기 위한 신호파형도,
- 도 42는 도 40의 더미셀 블록의 다른 구성예를 나타낸 도면,
- 도 43은 제25실시예에 있어서의 셀 직렬수와 독출신호값의 관계를 나타낸 도면,
- 도 44는 제26실시예를 나타낸 더미셀을 포함한 셀어레이 등가회로를 나타낸 도면,
- 도 45는 도 44의 등가회로를 실현하는 레이아웃의 예를 나타낸 도면,
- 도 46은 제27실시예에 따른 FRAM을 설명하기 위한 센스앰프의 구성을 나타낸 회로도,
- 도 47은 제28실시예를 설명하기 위한 신호파형도,
- 도 48은 제29실시예를 설명하기 위한 신호파형도,
- 도 49는 제30실시예에 따른 FRAM의 기본구성을 나타낸 등가회로도,
- 도 50은 제31실시예에 따른 FRAM의 기본구성을 나타낸 등가회로도,
- 도 51은 제30 및 제31실시예에 있어서의 동작을 설명하기 위한 신호파형도,
- 도 52는 제32실시예를 설명하기 위한 것으로, 각종 메모리구조의 예를 나타낸 도면,
- 도 53은 제32실시예를 설명하기 위한 것으로, 각종 메모리구조의 예를 나타낸 도면,
- 도 54는 제32실시예를 설명하기 위한 것으로, 각종 메모리구조의 예를 나타낸 도면,
- 도 55는 제32실시예를 설명하기 위한 것으로, 각종 메모리구조의 예를 나타낸 도면,
- 도 56은 제33실시예에 따른 FRAM의 디바이스구조를 나타낸 도면,
- 도 57은 제34실시예에 따른 FRAM의 디바이스구조를 나타낸 도면,
- 도 58은 제35실시예에 따른 FRAM의 디바이스구조를 나타낸 도면,
- 도 59는 제35실시예에 따른 FRAM의 변형예를 나타낸 도면,
- 도 60은 제36실시예에 따른 FRAM의 디바이스구조를 나타낸 도면,
- 도 61은 제37실시예에 따른 FRAM의 디바이스구조를 나타낸 도면,
- 도 62는 제37실시예의 변형예를 나타낸 도면,

- 도 63은 제38실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 64는 제39실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 65는 제40실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 66은 제41실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 67은 제42실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 68은 도 67 실시예의 더미셀을 복수직렬접속한 경우를 나타낸 도면,
- 도 69는 도 65의 실시예에 접속할 수 있는 더미셀을 복수직렬접속한 예를 나타낸 도면,
- 도 70은 제43실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 71은 제44실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 72는 제45실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 73은 제46실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 74는 제47실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 75는 제48실시예에 따른 FRAM의 디바이스구조를 나타낸 도면,
- 도 76은 제49실시예에 따른 FRAM의 디바이스구조를 나타낸 도면,
- 도 77은 제50실시예에 따른 FRAM의 디바이스구조를 나타낸 도면,
- 도 78은 제51실시예에 따른 FRAM의 디바이스구조를 나타낸 도면,
- 도 79는 본 발명의 FRAM의 비트선용량, 독출지연의 셀 직렬수 의존성을 나타낸 도면,
- 도 80은 본 발명의 FRAM의 독출시의 노이즈의 셀 직렬수 의존성, 기록속도 의존성을 나타낸 도면,
- 도 81은 본 발명의 FRAM의 셀크기, 칩크기의 셀 직렬수 의존성을 나타낸 도면,
- 도 82는 제52실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 83은 제53실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 84는 제54실시예에 따른 FRAM의 동작예를 나타낸 도면,
- 도 85는 제55실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 86은 제56실시예에 따른 FRAM의 동작예를 나타낸 도면,
- 도 87은 제57실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 88은 제58실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 89는 제59실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 90은 제60실시예에 따른 FRAM의 디바이스구조를 나타낸 도면,
- 도 91은 제61실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 92는 제62실시예에 따른 등가회로를 나타낸 도면,
- 도 93은 제63실시예에 따른 FRAM의 센스앰프회로도를 나타낸 도면,
- 도 94는 제63실시예에 따른 FRAM의 동작예를 나타낸 도면,
- 도 95는 제64실시예에 따른 FRAM의 센스앰프회로도를 나타낸 도면,
- 도 96은 제64실시예에 따른 FRAM의 동작예를 나타낸 도면,
- 도 97은 제65실시예에 따른 FRAM의 센스앰프회로도를 나타낸 도면,
- 도 98은 제65실시예에 따른 FRAM의 동작예를 나타낸 도면,
- 도 99는 제66실시예에 따른 FRAM의 센스앰프회로도를 나타낸 도면,
- 도 100은 제66실시예에 따른 FRAM의 동작예를 나타낸 도면,
- 도 101은 제67실시예에 따른 FRAM의 센스앰프회로를 나타낸 도면,
- 도 102는 제68실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 103은 제69실시예에 따른 FRAM의 디바이스구조를 나타낸 도면,
- 도 104는 제70실시예에 따른 FRAM의 동작점을 표시하는 히스테리 스루풋 예를 나타낸 도면,
- 도 105는 제70실시예에 따른 FRAM의 동작점을 표시하는 히스테리 스루풋을 상세하게 나타낸 도면,
- 도 106은 제71실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 107은 제72실시예에 따른 FRAM의 등가회로를 나타낸 도면,

- 도 108은 도 107 실시예의 더미셀을 복수직렬접속한 경우를 나타낸 도면,
- 도 109는 제73실시예에 따른 FRAM의 센스앰프회로를 나타낸 도면,
- 도 110은 제74실시예에 따른 FRAM의 동작예를 나타낸 도면,
- 도 111은 제75실시예에 따른 FRAM의 동작예를 나타낸 도면,
- 도 112는 제76실시예에 따른 FRAM의 센스앰프회로를 나타낸 도면,
- 도 113은 제77실시예에 따른 FRAM의 동작예를 나타낸 도면,
- 도 114는 제78실시예에 따른 FRAM의 센스앰프회로를 나타낸 도면,
- 도 115는 제79실시예에 따른 FRAM의 센스앰프회로를 나타낸 도면,
- 도 116은 제80실시예에 따른 FRAM의 센스앰프회로를 나타낸 도면,
- 도 117은 제81실시예에 따른 FRAM의 센스앰프회로도를 나타낸 도면,
- 도 118은 도 102~107의 셀에 적용할 수 있는 플레이트전극 동작방식을 나타낸 도면,
- 도 119는 도 102~107의 셀에 적용할 수 있는 플레이트전극 구동방식의 다른 예를 나타낸 도면,
- 도 120은 도 119a의 플레이트전극 구동방식의 상세회로예를 나타낸 도면,
- 도 121은 도 119b의 플레이트전극 구동방식의 상세회로예를 나타낸 도면,
- 도 122는 도 119~121의 플레이트전극 구동방식에 적용할 수 있는 동작예를 나타낸 도면,
- 도 123은 도 119~121의 플레이트전극 구동방식에 적용할 수 있는 센스앰프회로예를 나타낸 도면,
- 도 124는 도 119~121의 플레이트전극 구동방식에 적용할 수 있는 동작예를 나타낸 도면,
- 도 125는 제82실시예에 따른 FRAM의 디바이스구조를 나타낸 도면,
- 도 126은 제83실시예에 따른 FRAM의 디바이스구조를 나타낸 도면,
- 도 127은 제84실시예에 따른 FRAM의 디바이스구조를 나타낸 도면,
- 도 128은 제85실시예에 따른 FRAM의 등가회로와 디바이스구조를 나타낸 도면,
- 도 129는 제86의 실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 130은 제87실시예에 따른 FRAM의 디바이스구조를 나타낸 도면,
- 도 131은 제88실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 132는 제89실시예에 따른 FRAM의 디바이스구조를 나타낸 도면,
- 도 133은 제90실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 134는 제91실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 135는 제92실시예에 따른 FRAM의 디바이스구조를 나타낸 도면,
- 도 136은 제93실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 137은 제94실시예에 따른 FRAM의 디바이스구조를 나타낸 도면,
- 도 138은 제95실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 139는 제96실시예에 따른 FRAM의 동작예를 나타낸 도면,
- 도 140은 제97실시예에 따른 FRAM의 등가회로와 디바이스구조를 나타낸 도면,
- 도 141은 제98실시예에 따른 FRAM의 등가회로와 디바이스구조를 나타낸 도면,
- 도 142는 제99실시예에 따른 FRAM의 등가회로와 디바이스구조를 나타낸 도면,
- 도 143은 제100실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 144는 제101실시예에 따른 FRAM의 디바이스구조를 나타낸 도면,
- 도 145는 제102실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 146은 제103실시예에 따른 FRAM의 워드선방식을 나타낸 도면,
- 도 147은 제104실시예에 따른 FRAM의 워드선방식을 나타낸 도면,
- 도 148은 제105실시예에 따른 FRAM의 워드선방식의 접속을 나타낸 도면,
- 도 149는 제106실시예에 따른 FRAM 워드선방식의 서브어레이 중앙부의 레이아웃을 나타낸 도면,
- 도 150은 제106실시예에 따른 FRAM 워드선방식의 서브어레이 중앙부의 레이아웃의 일부를 나타낸 도면,
- 도 151은 제106실시예에 따른 FRAM 워드선방식의 서브어레이 중앙부의 레이아웃의 일부를 나타낸 도면,
- 도 152는 제106실시예에 따른 FRAM 워드선방식의 서브어레이 중앙부의 레이아웃의 일부를 나타낸 도면,

- 도 153은 제107실시예에 따른 FRAM 워드선방식의 서브로디코더의 회로예를 나타낸 도면,
- 도 154는 제108실시예에 따른 FRAM의 스페어어레이를 포함한 셀어레이의 블록도를 나타낸 도면,
- 도 155는 제109실시예에 따른 FRAM의 리던던시 스페어회로를 포함한 셀어레이의 블록도,
- 도 156은 제110실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 157은 제111의 실시예에 따른 FRAM 불량메모리셀의 치환방식을 설명하기 위한 도면,
- 도 158은 제112의 실시예에 따른 FRAM 불량메모리셀의 치환방식을 설명하기 위한 도면,
- 도 159는 제113실시예에 따른 FRAM 불량메모리셀의 치환방식을 설명하기 위한 도면,
- 도 160은 제114실시예에 따른 FRAM의 디바이스구조를 나타낸 도면,
- 도 161은 제114실시예에 따른 FRAM 디바이스구조의 다른예를 나타낸 도면,
- 도 162는 제114의 실시예에 따른 FRAM의 등가회로를 나타낸 도면,
- 도 163은 제114실시예에 따른 FRAM의 동작예를 나타낸 도면,
- 도 164는 제115실시예에 따른 FRAM 메모리셀의 평면도,
- 도 165는 도 164의 메모리셀의 평면도 일부의 레이아웃을 나타낸 도면,
- 도 166은 도 164의 메모리셀의 평면도 일부의 레이아웃을 나타낸 도면,
- 도 167은 도 164a의 메모리셀의 단면방향의 이미지를 나타낸 도면,
- 도 168은 도 164a의 메모리셀의 단면방향의 이미지를 나타낸 도면,
- 도 169는 제116실시예에 따른 FRAM의 메모리셀의 평면도,
- 도 170은 도 169의 메모리셀의 평면도 일부의 레이아웃을 나타낸 도면,
- 도 171은 도 169의 메모리셀의 평면도 일부의 레이아웃을 나타낸 도면,
- 도 172는 제117실시예에 따른 메모리셀구조를 나타낸 등가회로도 및 단면도,
- 도 173은 종래의 DRAM과 FRAM의 메모리셀구조를 나타낸 도면,
- 도 174는 DRAM과 FRAM에 있어서의 인가전압에 대한 분극특성을 나타낸 도면,
- 도 175는 종래 FRAM의 동작을 설명하기 위한 신호파형도이다.

<도면의 주요부분에 대한 부호의 설명>

- | | |
|-------------------------------|---------------------|
| 11 --- 마이크로프로세서, | 12 --- FRAM, |
| 13 --- 입출력장치, | 14 --- BUS, |
| 15 --- 컨트롤러, | 16 --- RAM, |
| 17 --- ROM, | 20 --- IC카드본체, |
| 21 --- FRAM, | 22 --- IC칩, |
| 31 --- 화상입력장치, | 32 --- 데이터압축장치, |
| 33 --- FRAM, | 34 --- 입출력장치, |
| 35 --- 표시장치, | 36 --- BUS, |
| 41 --- 입출력장치, | 42 --- 컨트롤러, |
| 43 --- FRAM, | 51 --- 마이크로프로세서 코어, |
| 52 --- FRAM, | 53 --- 1차캐쉬메모리, |
| 61 --- 로직부, | 62 --- FRAM, |
| 71 --- 화상처리부, | 72 --- FRAM, |
| 81 --- 로직부, | 82 --- FRAM, |
| 91 --- MPU 및 컨트롤러, | 92 --- 입력기기, |
| 93 --- 송수신기, | 94 --- 안테나, |
| 95 --- 표시기기, | 96 --- FRAM, |
| /BL, BL --- 비트선, | PL --- 플레이트전극, |
| WL --- 워드선, | SN --- 셀노드, |
| BS --- 블록선택선, | SA --- 센스앰프, |
| ϕ t --- 센스어레이-센스앰프 분리신호, | |

VPS --- 비트선 0V 프리차아지신호, EQL --- 비트선 이퀄라이즈신호,
 DWL --- 더미워드선, /SAN --- nMOS센스앰프 구동선,
 SAP --- pMOS센스앰프 구동선, C --- 커패시터용량,
 VBL --- 비트선 프리차아지신호, PL --- 더미셀용 플레이트신호,
 DBS --- 더미셀용 블록선택선, DN --- 더미셀용 셀노드,
 F --- 최소가공길이,
 Ps --- 포화분극(Saturation Polarization),
 Pr --- 잔류분극(Remnant Polarization),
 Vc --- 항전압(Coercive Voltage).

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은, 강유전체 캐패시터를 이용한 불휘발성의 반도체기억장치, 또는 이 반도체기억장치의 구동방법, 더욱이 이 반도체기억장치를 탑재한 시스템에 관한 것이다.

최근, 반도체 메모리의 하나로 강유전체 캐패시터(Ferroelectric Capacitor)를 이용한 불휘발성 메모리(FRAM)가 주목되고 있다. 이 FRAM은 불휘발성으로, 더욱이 갠신회수가 10의 12승, 독출/기록시간이 DRAM정도, 3V-5V의 저저전압동작 등의 장점이 있기 때문에, 모든 메모리시장을 바꿀 가능성이 있다.

FRAM의 셀은 DRAM의 개발과 동일한 시대로 공히, 셀구성의 간략화, 미세화에 의해 셀크기가 축소될 수 있었다. 도 173a에 종래 DRAM의 1트랜지스터/1캐패시터구성의 메모리셀을 도 173b에 종래의 FRAM의 1트랜지스터/1캐패시터구성의 메모리셀을 나타냈다. 여기서, WL은 워드선, BL은 비트선, SN은 축적노드, PL은 플레이트전극이다.

이와 같이, FRAM의 메모리셀은 이제 DRAM의 메모리셀구성과 기본적으로 같다. 다른점은 (1) DRAM에서는 캐패시터로서 자발적인 유전분극을 갖지않는 유전체를 이용하지만, FRAM에서는 강유전성의 것을 이용하는 점, (2) DRAM에서는 캐패시터 일단의 플레이트전극을 (1/2)Vcc로 고정하지만, FRAM에서는 0V-Vcc 사이에서 변동시키는 점만이다.

(2)에 관해서도 플레이트전극을 0V에서 Vcc까지 변동하는 방식(T.Sumi et al., 1994 IEEE International Solid-State Circuit Digest of Technical Paper, pp.268-269, Feb, 1994등)에서 (1/2)Vcc로 고정하는 방식(H.Kolke et al., 1996 IEEE International Solid-State Circuit Conference Digest of Technical Paper, pp.368-369, Feb, 1996), K.Takeuchi et al., IEECE Trans, Electron., Vol.E79-C, No.2, Feb, 1996)으로 바뀌는 중이다.

따라서, (1) 이외는 DRAM과 동일하다. 또한, 셀어레이 구성도 DRAM과 같은 것으로, 도 173c에 나타낸 바와 같은 폴디드(folded) BL구성을 취하고, 최소셀크기는

$$2F \times 4F = 8F^2$$

로 된다. 여기서, MC는 메모리셀, SA는 센스앰프, F는 최소가공길이를 나타낸다. 또한, 도 173c의 /BL, BL은 비트선이다.

FRAM 동작원리를 간단하게 설명해 둔다.

DRAM에 있어서는 셀 트랜지스터를 ON으로 하고, 셀 트랜지스터에 Vcc 또는 0V의 전압을 인가하여 전하를 기록, 1, 0데이터를 기억하고, 독출시에는 셀 트랜지스터를 ON으로 하여 전하를 독출한다. DRAM에서는 도 174a에 나타낸 바와 같이, 셀 캐패시터의 양단의 인가전압에 축적전하(분극값[C])가 비례한다. 이 때문에, 셀 트랜지스터 등의 pn접합 누설전류에 의해 인가전압이 0V로 되면, 분극값도 0C로 되어 정보가 파괴된다.

이에 대해 FRAM에서는 도 174b에 나타낸 바와 같이, 분극특성으로 히스테리시스를 갖는다. 전원 인가후, 플레이트(PL) 전압이 0V, 축적노드(SN)가 0V로, 셀에 원래 0데이터가 기억되어 있던 경우를 고려한다. 이 때, PL=0V, SN=0V이기 때문에, 강유전체 캐패시터의 인가전압은 0V이고, 도 174b중의 잔류분극(=Pr)의 0의 위치에 있다. 메모리셀 데이터를 독출한 경우, 비트선(BL) 전위를 0V로 프리차아지 해 두고, 셀 트랜지스터를 ON으로 하여, PL전압을 Vcc로 상승하면, BL용량은 SN용량보다 커지기 때문에, BL·PL간에 -Vcc의 전압이 인가되어 0점에서 C점의 위치로 변화하고, 약간의 포화분극 Ps-Pr의 차이분의 전위가 비트선으로 독출된다.

한편, 원래 셀에 1데이터가 기록되어 있던 경우, 상기와 같이 BL·PL간에 -Vcc의 전압이 인가되어 0점에서 C점의 위치로 분극반전을 수반하여 다량의 전하의 Ps+Pr이 비트선으로 독출된다.

따라서, 참조비트선을 정확히 Ps분 전하가 독출된 것과 동등의 전위로 상승해두면, 1 독출에서는 (Ps+Pr)-(Ps)=Pr, 0 독출에서는 (Ps+Pr)-(Ps)=-Pr분만큼 참조비트선과 비트선간에 전위차가 발생하고, 이 결과를 센스앰프로 증폭한다. 독출한 결과는 이 센스앰프에서 증폭됨으로써, 1데이터는 Vcc, 0데이터는 0V로 된다.

또한, 메모리셀 데이터의 재기록을 행하기 위하여, PL은 다시 0V로 하강된다. 이 때, 0데이터는 BL-PL=0V로 되고, C점에서 D점으로 되돌아 가고, 1데이터는 BL-PL=Vcc로 되고, C점에서 D점, 분극반전하여 A점의 위치로 되돌아 간다. 그 후, 셀 트랜지스터를 OFF로 한다. 1데이터의 A점은 누설전류에 의해, SNOI 0V로 하강하면, A점에서 B점으로 이동하고, 거기서 정지한다. 이들 일련의 동작을 도 175a에 나타냈다.

FRAM과 DRAM의 동작에 있어서 최대의 차이는 FRAM에 있어서는 셀 트랜지스터를 ON으로 하고, BL과 SN을 간단히 쇼트시키는 것만으로는 데이터가 독출되지 않고, BL(SN)·PL간의 전위를 기록한 분극방향과 역방향으로 하지 않으면, 전하가 나오지 않는 것에 있다. 그리고, 그 만큼 부하용량이 무거운 PL동작이 필요하고, 독출, 기록에 시간이 걸리는 것이 FRAM의 결점이다.

이 문제점을 극복하기 위하여 상술한 바와 같이, PL전위를 고정의 $(1/2)V_{cc}$ 로 하는 방식이 제안되고 있다. 이들 방식의 동작을 도 175b, 175c에 나타냈다. 전원 인가후의 리콜시(도 175b, 175c중 왼쪽 1/2)에는 PL을 $(1/2)V_{cc}$, BL을 0V로 프리차이지 해두고, \bar{W} 를 선택하여 셀 트랜지스터를 ON으로 한다. 이 때, BL·PL간에는 $-(1/2)V_{cc}$ 의 전압이 인가되고, 도 174b에 나타낸 바와 같이, 1데이터는 B점에서 C점으로 향해 분극반전하고, 0데이터는 D점에서 C점으로 향해 분극반전하지 않고, 축적전하가 BL로 독출되고, 이 차이로 0, 1정보가 독출된다. 그 후, 센스증폭되고, 1데이터의 BL은 Vcc로, 0데이터의 BL은 Vss로 되고, 각각의 셀에 BL-PL= $(1/2)V_{cc}$ 인가되고, 1데이터는 C점에서 A점으로, 0데이터는 C점으로 전류하여 데이터가 기록된다.

b, c의 방식은 그 후의 동작이 조금 다르고, b의 방식은 BL을 $(1/2)V_{cc}$ 로 이퀄라이즈 후(즉, 1데이터는 A점에서 B점으로, 0데이터는 C점에서 D점으로), \bar{W} 를 달아 BL을 0V로 되돌리고 있다. BL을 이퀄라이즈해도, B점, D점으로 남는 데이터는 파괴되지 않는다. 이는 강유전체 캐패시터의 특성을 역으로 이용하고 있다. c의 방식은 \bar{W} 를 달음으로써 BL을 이퀄라이즈하여 $(1/2)V_{cc}$ 로 하고 있다(즉, 1데이터는 A점 그대로, 0데이터는 C점 그대로). 리콜 후에는 DRAM과 같이, 독출은 도 174b의 A-B간의 전하차($P_s - P_r$)를 이용하고 있다(독출에서의 분극반전에 의한 피로에 의한 잔류분극 P_r 량의 열화를 억제하고 있다).

이들 b, c의 방식은 a의 방식에 비해 PL전위를 움직이게 하는 것에 의한 역세스타임, 사이클타임의 동작속도의 열화가 없어, 고속동작이 가능하게 되는 반면, 분극반전에 필요한 전압(항전압(V_c))을 $(1/2)V_{cc}$ 이하로 할 필요가 있는 결점(이는 강유전체막을 축소하면 해결된다)을 갖는다. 더욱이, DRAM과 마찬가지로 리프레쉬동작이 필요로 되는 큰 결점이 생긴다(리프레쉬에 의해, 스태바이 전류의 증대, 비지레이트하게 존재 등의 폐해가 생긴다).

예컨대, b의 방식은 스태바이중에는 셀의 SN노드는 $(1/2)V_{cc}$ 로 되어 있으며, pn접합 등에 의한 누설전류에 의해 SN전위가 $(1/2)V_{cc}$ 보다 하강하면, 1데이터는 B점에서 C점 방향으로 향하는 데이터가 파괴된다. 이 때문에, 도 175b중 오른쪽 1/2로 나타낸 바와 같이, 스태바이중 어느 일정기간마다 \bar{W} 를 선택하여 $(1/2)V_{cc}$ 의 전위를 SN으로 기록하는 리프레쉬 동작이 필요하게 된다.

또한, c의 방식은 스태바이중에는 셀의 SN노드는 Vcc, 또는 0V로 되어 있으며, pn접합 등에 의한 누설전류에 의해 SN전위가 Vcc보다 하강하면, 1데이터는 A점에서 B점으로 그리고 C점의 방향으로 향하는 데이터가 파괴된다. 이 경우, 통상동작은 DRAM과 마찬가지로 하고 있기 때문에, B점으로 이동한 것만으로 데이터 파괴된다. 따라서, 도 175c중 오른쪽 1/2에 나타낸 바와 같이, 스태바이중 어느 일정기간마다 \bar{W} 를 선택하여 DRAM과 마찬가지로 독출/센스/재기록동작의 리프레쉬동작이 필요하게 된다.

그런데, 종래보다 DRAM에 있어서는 8F²보다 작은 셀크기를 실현하기 위하여, 각종의 셀이 개발되고 있다.

하나의 방법은 증형트랜지스터나 증형TFT(Thin Film Transistor)를 이용하여 4F² 크기를 실현한 것(K. Sunouchi et al, 1988 IEEE IEDM Digest of Technical Paper, pp.23-26, Dec.1989)나 일본특허 제6-14059호)이나, 셀 트랜지스터를 직렬접속하고, 그 사이와 PL사이에 캐패시터를 접속하여 거의 4F² 크기를 실현한(NAND형셀) 것(T. Hasegawa et al, 1993 IEEE International Solid-State Circuit Conference Digest of Technical Paper, pp.46-47, Feb.1993)이 제안되고 있다.

기본적으로, FRAM은 DRAM과 등가회로가 같지 않기 때문에, DRAM셀구조와 동일한 구조로 4F² 크기의 FRAM을 실현할 수 있다. 반면, DRAM과 동일한 문제점을 갖는다. 증형트랜지스터, 증형TFT에서는 종래의 8F² 크기의 제조가 용이한 평면트랜지스터에 비해, 상당히 제조공정이 복잡하여 실현이 곤란한 문제점이 있다. 더욱이, 이들의 셀을 FRAM으로 실현하는데에는 기본적으로 강유전체 캐패시터 공정후에 트랜지스터를 형성하는 트랜치 셀이기 때문에, 트랜지스터 제조공정에 있어서의 열공정의 영향으로 강유전체 캐패시터의 유전율이 저하하는 문제가 일어난다.

또한, NAND형 셀은 평면트랜지스터를 이용하여 제조할 수 있는 장점, 트랜지스터 공정후, 캐패시터를 형성하는 스택셀인 장점이 있다. 반면, 독출/기록에 있어서 셀이 직렬접속이기 때문에, 비트선(BL)보다 가까운 셀로부터 차례로 셀데이터를 독출하고, 먼 순서로 셀 데이터를 기록할 필요가 있고, 범용 메모리에 중요한 포인트인 랜덤 액세스성이 손실되어 블록 리드/라이트로 되는 결점이 있다.

이와 같이, 종래의 FRAM에 있어서는 8F² 크기보다 작은 4F² 크기의 메모리셀을 실현하는 경우, DRAM과 마찬가지로 증형트랜지스터 등의 프로세스의 복잡화가 발생하기도 하고, NAND형 셀과 같이 범용의 랜덤 액세스성이 손실되어버리는 문제점이 있었다. 더욱이, 종래의 FRAM에 있어서는 PL전위의 고정에 의한 고속동작과 리프레쉬 불필요의 양립은 곤란했었다.

또한, 반도체기억장치를 갖춘 각종의 시스템에 있어서, 종래의 DRAM 대신 FRAM을 이용하도록 하는 식이 있지만, 상기한 바와 같은 FRAM 고유의 문제가 있고, 아직도 실용화할 수 없는 것이 현실이다.

문명이 이루고자 하는 기술적 과제

본 발명은 상기한 점을 감안하여 발명된 것으로, 증형트랜지스터 등을 이용하지 않는 8F 크기보다 작은(예컨대, 4F) 크기의 메모리셀을 실현할 수 있으면서 랜덤 액세스 기능도 유지할 수 있는 불휘발성의 반도체 기억장치를 제공하는 것에 그 목적이 있다.

또한, 본 발명은 플레이트전위의 고정에 의한 고속동작과 리프레쉬 불필요의 양립을 도모할 수 있는 불휘발성의 반도체 기억장치를 제공하는 것에 그 목적이 있다.

또한, 본 발명은 상기의 반도체 기억장치를 탑재함으로써 시스템 성능의 향상을 도모할 수 있는 각종의 시스템을 제공하는 것에 그 목적이 있다.

발명의 구성 및 작용

(구성)

상기 과제를 해결하기 위한 본 발명은, 다음과 같은 구성을 채용하고 있다.

(1) 각종의 연산처리를 행하는 마이크로프로세서와, 이 마이크로프로세서에 접속되어 외부기기와의 데이터 교환을 행하는 입출력장치 및, 상기 마이크로프로세서에 접속되어 데이터의 기억을 행하는 반도체 기억장치를 구비한 컴퓨터시스템에 있어서, 상기 반도체 기억장치는 트랜지스터와 이 트랜지스터의 소스·드레인단자간에 접속된 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수개 직렬접속함과 더불어, 그 직렬접속부의 적어도 일단에 선택트랜지스터를 접속하여 메모리셀 블록을 구성하고, 이 메모리셀 블록을 복수개 배치하여 셀어레이를 구성한 것을 특징으로 한다.

(1-1) 컴퓨터시스템은 반도체 기억장치의 컨트롤러를 포함하고 있을 것.

(1-2) 컴퓨터시스템은 휘발성 RAM을 포함할 것.

(1-3) 컴퓨터시스템은 ROM을 포함할 것.

(2) 반도체 기억장치를 탑재한 IC칩을 구비한 IC카드에 있어서, 상기 반도체 기억장치는 트랜지스터와 이 트랜지스터의 소스·드레인단자간에 접속된 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수개 직렬접속함과 더불어, 그 직렬접속부의 적어도 일단에 선택트랜지스터를 접속하여 메모리셀 블록을 구성하고, 이 메모리셀 블록을 복수개 배치하여 셀어레이를 구성한 것을 특징으로 한다.

(3) 화상데이터를 입력하기 위한 화상입력장치와, 상기 입력된 화상데이터를 압축하는 데이터 압축장치, 상기 압축된 화상데이터를 기억하는 반도체 기억장치, 상기 압축된 화상데이터를 출력하는 출력장치 및, 상기 입력된 화상데이터 또는 압축된 화상데이터를 표시하는 표시장치를 구비한 디지털 화상취입시스템에 있어서, 상기 반도체 기억장치는 트랜지스터와 이 트랜지스터의 소스·드레인단자간에 접속된 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수개 직렬접속함과 더불어, 그 직렬접속부의 적어도 일단에 선택트랜지스터를 접속하여 메모리셀 블록을 구성하고, 이 메모리셀 블록을 복수개 배치하여 셀어레이를 구성한 것을 특징으로 한다.

(3-1) 디지털 화상취입시스템은 디지털 카메라로서의 기능을 갖출 것.

(3-2) 디지털 화상취입시스템은 디지털 비디오카메라로서의 기능을 갖출 것.

(4) 데이터를 기억하기 위한 반도체 기억장치와, 이 반도체 기억장치에 접속되어 외부기기와의 데이터의 교환을 행하는 입출력장치를 구비한 메모리시스템에 있어서, 상기 반도체 기억장치는 트랜지스터와 이 트랜지스터의 소스·드레인단자간에 접속된 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수개 직렬접속함과 더불어, 그 직렬접속부의 적어도 일단에 선택트랜지스터를 접속하여 메모리셀 블록을 구성하고, 이 메모리셀 블록을 복수개 배치하여 셀어레이를 구성한 것을 특징으로 한다.

(4-1) 메모리시스템은 반도체 기억장치를 제어하는 컨트롤러를 포함하고 있을 것.

(4-2) 메모리정보로서 영화, 음악, 방송프로그램, 교육 등의 화상, 음성소프트, 게임소프트, OA소프트, CAD소프트, OS소프트, 사진, 지도정보 등을 포함할 것.

(5) 각종의 처리를 행하기 위한 코어부와, 데이터의 기억을 행하기 위한 반도체 기억장치를 동일칩 상에 혼재(混載)한 시스템 LSI칩에 있어서, 상기 반도체 기억장치는 트랜지스터와 이 트랜지스터의 소스·드레인단자간에 접속된 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수개 직렬접속함과 더불어, 그 직렬접속부의 적어도 일단에 선택트랜지스터를 접속하여 메모리셀 블록을 구성하고, 이 메모리셀 블록을 복수개 배치하여 셀어레이를 구성한 것을 특징으로 한다.

(5-1) 코어부는 MPU일 것.

(5-2) (5-1)에 있어서, 반도체 기억장치를 마이크로코드메모리로 이용할 것.

(5-3) (5-1)에 있어서, 반도체 기억장치를 명령 캐쉬메모리로 이용할 것.

(5-4) (5-1)에 있어서, 반도체 기억장치를 데이터 캐쉬메모리로 이용할 것.

(5-5) (5-1)에 있어서, 반도체 기억장치를 데이터 메모리로 이용한다.

(5-6) 코어부는 화상처리를 행하기 위한 화상처리부일 것.

(5-7) (5-6)에 있어서, 반도체 기억장치를 화상데이터 메모리로 이용할 것.

(5-8) 코어부는 각종 논리연산을 행하기 위한 로직부일 것.

(5-9) LSI칩은 로직가변 LSI칩일 것.

- (5-10) (5-9)에 있어서, 반도체기억장치를 논리합성정보보존 메모리로 이용할 것.
- (5-11) (5-9)에 있어서, 반도체기억장치를 논리접속정보보존 메모리로 이용할 것.
- (5-12) (5-9)에 있어서, 반도체기억장치를 배선접속정보보존 메모리로 이용할 것.
- (6) 각종의 연산처리를 행하는 마이크로프로세서와, 이 마이크로프로세서에 접속되어 데이터의 입력을 행하기 위한 입력장치, 상기 마이크로프로세서에 접속되어 외부기기와의 데이터의 교환을 행하는 전파송수신기, 이 송수신기에 접속된 안테나, 상기 마이크로프로세서에 접속되어 필요한 정보를 표시하는 표시장치, 상기 마이크로프로세서에 접속되어 데이터의 기억을 행하는 반도체기억장치를 구비한 휴대컴퓨터시스템에 있어서, 상기 반도체기억장치는 트랜지스터와 이 트랜지스터의 소스·드레인단자간에 접속된 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수개 직렬접속함과 더불어, 그 직렬접속부의 적어도 일단에 선택트랜지스터를 접속하여 메모리셀 블록을 구성하고, 이 메모리셀 블록을 복수개 배치하여 셀어레이를 구성한 것을 특징으로 한다.
- (6-1) 휴대컴퓨터시스템은 휴대전화로서의 기능을 갖출 것.
- (6-2) 휴대컴퓨터시스템은 휴대텔레비전전화로서의 기능을 갖출 것.
- (6-3) 휴대컴퓨터시스템은 휴대텔레비전, 휴대비디오로서의 양쪽의 기능을 갖출 것.
- (6-4) 휴대컴퓨터시스템은 휴대컴퓨터 디스플레이로서의 기능을 갖출 것.
- (7) 트랜지스터와 강유전체 캐패시터로 이루어진 메모리셀을 이용한 반도체기억장치에 있어서, 트랜지스터와, 이 트랜지스터의 소스·드레인단자간에 접속된 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수배치하여 셀어레이를 구성한 것을 특징으로 한다.
- (8) 트랜지스터와 강유전체 캐패시터로 이루어진 메모리셀을 이용한 반도체기억장치에 있어서, 트랜지스터와, 이 트랜지스터의 소스·드레인단자간에 접속된 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수개 직렬접속하여 메모리블록을 구성하고, 이 메모리블록을 복수개 배치하여 셀어레이를 구성한 것을 특징으로 한다.
- (9) 트랜지스터와 강유전체 캐패시터로 이루어진 메모리셀을 이용한 반도체기억장치에 있어서, 트랜지스터와, 이 트랜지스터의 소스·드레인단자간에 접속된 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수개 직렬접속함과 더불어, 그 직렬접속부의 일단에 선택트랜지스터를 접속하여 메모리블록을 구성하고, 이 메모리블록을 복수개 배치하여 셀어레이를 구성한 것을 특징으로 한다.
- (9-1) 메모리셀 블록의 양단은 각각 인접한 비트에 접속될 것.
- (9-2) (9-1)에 있어서, 인접한 비트는 비트선쌍을 구성하여 센스앰프에 접속될 것.
- (9-3) (9-1, 9-2)에 있어서, 선택트랜지스터는 복수의 선택트랜지스터의 직렬접속으로 구성될 것.
- (10) 트랜지스터와 강유전체 캐패시터로 이루어진 메모리셀을 이용한 반도체기억장치에 있어서, 트랜지스터와, 이 트랜지스터의 소스·드레인단자간에 접속된 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수개 직렬접속함과 더불어, 그 직렬접속부의 적어도 일단에 선택트랜지스터에 접속되고, 타단이 플레이트전극에 접속되어 있는 것을 특징으로 한다.
- (10-1) 인접한 셀어레이의 2개의 비트선을 쌍으로 오픈 비트선방식을 구성할 것.
- (10-2) 동일 셀어레이의 2개의 비트선에 접속되는 2개의 메모리셀에 1비트의 정보를 기억하고, 2개의 비트선을 쌍으로 폴드드 비트선방식을 구성할 것.
- (10-3) 전원 인가후의 스태바이시에는 메모리블록 내의 복수의 트랜지스터는 모두 ON하고, 선택트랜지스터는 OFF하고 있을 것.
- (10-4) 메모리블록 내의 임의의 메모리셀 선택시에 선택셀의 트랜지스터를 OFF로 하고, 그 이외의 셀의 트랜지스터를 모두 ON한 채로 선택트랜지스터를 ON으로 할 것.
- (10-5) 플레이트전극은 전원 ON후에는 스태바이시 및 액티브시에 관계없이, $(1/2)V_{cc}$ 또는 일정전압으로 고정되어 있을 것. 이에 더해 셀 데이터의 리프레쉬동작을 하지 않을 것.
- (10-6) 플레이트전극은 전원 ON후에는 스태바이시는 0V로 하고, 셀 선택시의 데이터의 독출/기록시에는 0V에서 V_{cc} 사이를 변동할 것.
- (10-7) 비트선은 셀데이터 독출전에 0V로 프리차아지 되어 있을 것.
- (10-8) 비트선은 셀데이터 독출전에 V_{cc} 에 프리차아지 되어 있을 것.
- (10-9) 더미셀은 메모리블록 내의 메모리셀과 동일한 회로구성을 취할 것.
- (10-10) 더미셀의 캐패시터 면적은 통상셀의 1.5배에서 3배 클 것.
- (10-11) 더미셀에 상유전체 캐패시터를 이용할 것.
- (10-12) 각 메모리셀의 강유전체 캐패시터는 복수의 강유전체 캐패시터의 병렬접속으로 구성될 것.
- (10-13) 각 메모리셀의 강유전체 캐패시터는 복수의 막 두께와 다른 강유전체 캐패시터의 병렬접속으로 구성될 것.
- (10-14) 각 메모리셀의 강유전체 캐패시터는 복수의 항전압이 다른 강유전체 캐패시터의 병렬접속으로 구성될 것.

- (10-15) 각 메모리셀의 강유전체 캐패시터는 복수의 강유전체 캐패시터와 1개 이상의 전압강하소자로 구성될 것.
- (10-16) 각 메모리셀의 강유전체 캐패시터는 복수의 강유전체 캐패시터와 1개 이상의 저항소자로 구성된다.
- (10-17) 각 메모리셀의 강유전체 캐패시터는 제1강유전체 캐패시터와 저항소자의 직렬접속으로 제2강유전체 캐패시터를 병렬접속한 것으로 구성될 것.
- (10-18) (10-12, 10-13, 10-14, 10-15, 10-16, 10-17)에 있어서, 각 메모리셀의 복수의 강유전체 캐패시터는 각각 1비트의 정보를 기억할 것.
- (10-19) (10-12, 10-13, 10-14, 10-15)에 있어서, 각 메모리셀의 복수의 강유전체 캐패시터는 각각 1비트의 정보를 기억하고, 강유전 캐패시터에 인가하는 전압을 바꿈으로써, 복수의 강유전체 캐패시터 내의 1비트의 독출기록을 행할 것.
- (10-20) (10-13, 10-14)에 있어서, 각 메모리셀의 복수의 강유전체 캐패시터는 1비트의 정보를 기억하고, 독출시에는 강유전 캐패시터에 우선, 작은 전압을 인가하여 복수의 강유전체 캐패시터 내의 1개의 강유전체 캐패시터만큼 극전하를 독출하고, 이를 셀어레이 밖에 기억하고, 다음에 인가전압을 상승하여 다른 1개의 강유전체 캐패시터의 분극전하를 독출하고, 기록시에는 독출과 반대의 강유전체 캐패시터의 순으로 강유전 캐패시터로의 인가전압을 차례로 하강하여 기록을 행할 것.
- (10-21) (10-12, 10-13, 10-14, 10-15, 10-16, 10-17)에 있어서, 센스앰프부에 일시기억용 메모리를 갖출 것.
- (10-22), (10-13)에 있어서, 각 강유전체 캐패시터 사이에서는 적어도 막 두께가 3배 이상 다른 것이 바람직하다.
- (10-23) (10-14)에 있어서, 각 강유전체 캐패시터에서는 적어도 항전압이 3배 이상 다른 것이 바람직하다.
- (11) 트랜지스터와 강유전체 캐패시터로 이루어진 메모리셀을 이용한 반도체기억장치에 있어서, 트랜지스터와, 이 트랜지스터의 소스·드레인단자간에 접속된 강유전체 캐패시터로 메모리셀을 구성, 이 메모리셀을 복수개 직렬접속함과 더불어, 그 직렬접속부의 적어도 일단에 제1 및 제2선택트랜지스터를 직렬로 접속하여 메모리블록을 구성하고, 이 메모리블록의 일단은 비트선에 접속되고, 타단이 플레이트전극에 접속되어 있는 것을 특징으로 한다.
- (11-1) 인접한 셀어레이의 2개의 비트선을 쌍으로 오픈 비트선방식을 구성할 것.
- (11-2) 동일 셀어레이의 2개의 비트선을 쌍으로 셀데이터의 독출/기록시에는 2개의 비트선 내, 어느 한쪽의 비트선에 접속되는 제1, 제2의 2개의 선택트랜지스터만을 양쪽 ON으로 함으로써, 풀디드 BL방식을 구성할 것.
- (11-3) 전원 인가후의 스탠바이시에는 메모리블록 내의 복수의 트랜지스터는 모두 ON하고, 제1, 제2선택트랜지스터의 어느 한쪽은 OFF로 할 것.
- (11-4) 메모리블록 내의 임의의 메모리셀 선택시에 선택셀의 트랜지스터를 OFF로 하고, 그 이외의 셀의 트랜지스터를 모두 ON 그대로, 제1, 제2선택트랜지스터의 양쪽을 ON으로 할 것.
- (11-5) 플레이트전극은 전원 ON후에는 스탠바이시 및 액티브시에 관계없이, $(1/2)V_{cc}$ 또는 일정전압으로 고정되어 있을 것. 이에 더해, 셀 데이터의 리프레쉬동작을 하지 않을 것.
- (11-6) 플레이트전극은 전원 ON후에는 스탠바이시에는 ON으로 하고, 셀 선택시의 데이터의 독출/기록시에는 0V에서 V_{cc} 사이를 변동할 것.
- (11-7) 비트선은 셀 데이터 독출전에 0V로 프리차아지 되어 있을 것.
- (11-8) 비트선은 셀 데이터 독출전에 V_{cc} 로 프리차아지 되어 있을 것.
- (11-9) 더미셀은 메모리블록 내의 메모리셀과 동일한 회로구성을 취할 것.
- (11-10) 더미셀의 캐패시터 면적은 통상셀의 1.5배에서 3배 될 것.
- (11-11) 더미셀에 상유전체 캐패시터를 이용할 것.
- (11-12) 각 메모리셀의 강유전체 캐패시터는 복수의 강유전체 캐패시터의 병렬접속으로 구성될 것.
- (11-13) 각 메모리셀의 강유전체 캐패시터는 복수의 막 두께가 다른 강유전체 캐패시터의 병렬접속으로 구성될 것.
- (11-14) 각 메모리셀의 강유전체 캐패시터는 복수의 항전압이 다른 강유전체 캐패시터의 병렬접속으로 구성될 것.
- (11-15) 각 메모리셀의 강유전체 캐패시터는 복수의 강유전체 캐패시터와 1개 이상의 전압강하소자로 구성될 것.
- (11-16) 각 메모리셀의 강유전체 캐패시터는 복수의 강유전체 캐패시터와 1개 이상의 저항소자로 구성될 것.
- (11-17) 각 메모리셀의 강유전체 캐패시터는 제1강유전체 캐패시터와 저항소자의 직렬접속으로 제2강유전체 캐패시터를 직렬접속한 것으로 구성될 것.

(11-18) (11-12, 11-13, 11-14, 11-15, 11-16, 11-17)에 있어서, 각 메모리셀의 복수의 강유전체 캐패시터는 각각 1비트의 정보를 기억할 것.

(11-19) (11-12, 11-13, 11-14, 11-15,)에 있어서, 각 메모리셀의 복수의 강유전체 캐패시터는 1비트의 정보를 기억하고, 강유전 캐패시터에 인가하는 전압을 바꿈으로써, 복수의 강유전체 캐패시터 내의 1비트의 독출기록을 행할 것.

(11-20) (11-13, 11-14)에 있어서, 각 메모리셀의 복수의 강유전체 캐패시터는 1비트의 정보를 기억하고, 독출시에는 강유전 캐패시터에 우선, 작은 전압을 인가하고, 복수의 강유전체 캐패시터 내의 1개의 강유전체 캐패시터만큼 극전하를 독출하고, 이를 셀어레이 밖에 기억하고, 다음에 인가전압을 상승, 다른 1개의 강유전체 캐패시터의 순으로, 강유전 캐패시터로의 인가전압을 차례로 하강하여 기록을 행할 것.

(11-21) (11-12, 11-13, 11-14, 11-15, 11-16, 11-17)에 있어서, 센스앰프부에 일시기억용 메모리를 갖출 것.

(11-22) (11-13)에 있어서, 각 강유전체 캐패시터 사이에서는 적어도 막 두께가 3배 이상 다른 것이 바람직하다.

(11-23) (11-14)에 있어서, 각 강유전체 캐패시터 사이에서는 적어도 항전압이 3배 이상 다른 것이 바람직하다.

(12) 트랜지스터와 강유전체 캐패시터로 이루어진 메모리셀을 이용한 반도체기억장치에 있어서, 트랜지스터와, 이 트랜지스터의 소스·드레인단자간에 각각 병렬접속된 항전압이 다른 복수의 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수 직렬접속함과 더불어, 그 직렬 접속부의 적어도 일단에 1개 이상의 선택트랜지스터를 직렬접속하여 메모리블록을 구성하고, 이 메모리블록을 복수개 배치하여 셀어레이를 구성한 것을 특징으로 한다.

(13) 트랜지스터와 강유전체 캐패시터로 이루어진 메모리셀을 이용한 반도체기억장치에 있어서, 트랜지스터와, 이 트랜지스터의 소스·드레인단자간에 접속된 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수 직렬접속함과 더불어, 그 직렬접속부의 적어도 일단에 제1, 제2, 제3, 제4선택트랜지스터를 직렬접속하여 메모리셀 블록을 구성하고, 2개의 그 메모리블록의 각 일단은 동일한 비트선에 접속되고, 타단이 플레이트전극에 접속되어 있는 것을 특징으로 한다.

(13-1) 동일한 셀어레이의 2개의 비트선을 쌍으로 셀 데이터의 독출/기록시에는 이 비트선쌍에 접속되는 4개의 셀 블록 내의 1개만, 4개 직렬접속된 선택트랜지스터를 모두 ON함으로써, 풀디드 BL방식을 구성할 것.

(13-2) 전원 인가후의 스태바이시에는 메모리셀의 복수의 트랜지스터는 모두 ON하고, 제1~제4선택트랜지스터의 어느것인가는 OFF하고 있을 것.

(13-3) 메모리블록 내의 임의의 메모리셀 선택시에 선택셀의 트랜지스터를 OFF하고, 그 이하의 셀의 트랜지스터를 모두 ON 그대로 제1~제4선택트랜지스터를 모두 ON할 것.

(13-4) 플레이트전극은 전원 ON후에는 스태바이시 및 액티브시에 관계없이, $(1/2)V_{cc}$ 또는 일정전압으로 고정되어 있을 것. 이에 더해, 셀 데이터의 리프레쉬동작을 행하지 않을 것.

(13-5) 플레이트전극은 전원 ON후에는 스태바이시는 0V로 하고, 셀 선택시의 데이터의 독출/기록시에는 0V에서 V_{cc} 사이를 변동할 것.

(13-6) 비트선 피치는 셀 피치의 2배일 것.

(13-7) 더미셀은 메모리블록 내의 메모리셀과 동일한 회로구성을 취할 것.

(13-8) 더미셀의 캐패시터 면적은 통상셀의 1.5배에서 3배 클 것.

(13-9) 더미셀에 상유전체 캐패시터를 이용할 것.

(13-10) 각 메모리셀의 강유전체 캐패시터는 복수의 강유전체 캐패시터의 병렬접속으로 구성될 것.

(13-11) 각 메모리셀의 강유전체 캐패시터는 복수의 항전압이 다른 강유전체 캐패시터의 병렬접속으로 구성될 것.

(13-12) 각 메모리셀의 강유전체 캐패시터는 복수의 항전압이 다른 강유전체 캐패시터의 병렬접속으로 구성될 것.

(13-13) 각 메모리셀의 강유전체 캐패시터는 복수의 강유전체 캐패시터와 1개 이상의 전압강하소자로 구성될 것.

(13-14) 각 메모리셀의 강유전체 캐패시터는 복수의 강유전체 캐패시터와 1개 이상의 저항소자로 구성될 것.

(13-15) 각 메모리셀의 강유전체 캐패시터는 제1강유전체 캐패시터와 저항소자의 직렬접속으로 제2강유전체 캐패시터를 병렬접속한 것으로 구성될 것.

(13-16) (13-10, 13-11, 13-12, 13-13, 13-14, 13-15)에 있어서, 각 메모리셀의 복수의 강유전체 캐패시터는 각각 1비트의 정보를 기억할 것.

(13-17) (13-10, 13-11, 13-12, 13-13)에 있어서, 각 메모리셀의 복수의 강유전체 캐패시터는 1비트의 정보를 기억하고, 강유전체 캐패시터에 인가하는 전압을 바꿈으로써, 복수의 강유전체 캐패시터 내의 1비트의 독출기록을 행할 것.

(13-18) (13-10, 13-11, 13-12, 13-13)에 있어서, 각 메모리셀의 복수의 강유전체 캐패시터는 1비트의 정

보를 기억하고, 독출시에는 강유전체 캐패시터에 우선, 작은 전압을 인가하여 복수의 강유전체 캐패시터 내의 1개의 강유전체 캐패시터의 분극전하를 독출하고, 이를 셀어레이 밖으로 기억하고, 다음에 인가전압을 상승, 다른 1개의 강유전체 캐패시터의 분극전하를 독출, 기록시에는 독출과 반대의 강유전체 캐패시터의 순으로 강유전 캐패시터로의 인가전압을 차례로 하강하여 기록을 행할 것.

(13-19) (13-10, 13-11, 13-12, 13-13, 13-14, 13-15)에 있어서, 센스앰프부에 일시기억용 메모리를 갖출 것.

(13-20) (13-11)에 있어서, 각 강유전체 캐패시터에서는 적어도 막 두께가 3배 이상 다른 것이 바람직하다.

(13-21) (13-12)에 있어서, 각 강유전체 캐패시터 사이에서는 적어도 항전압이 3배 이상 되는 것이 바람직하다.

(14) 트랜지스터와 강유전 캐패시터로 이루어진 메모리셀을 이용한 반도체기억장치에 있어서, 제1트랜지스터와, 이 제1트랜지스터의 소스·드레인단자간에 접속되어 제1데이터를 기억하는 제1강유전체 캐패시터, 제1트랜지스터에 직렬접속된 제2트랜지스터 및, 제1 및 제2트랜지스터의 직렬접속부에 병렬접속되어 제2데이터를 기억하는 제2강유전체 캐패시터로부터 2비트의 메모리셀을 구성하고, 이를 복수 직렬접속함과 더불어, 그 직렬접속부의 적어도 일단에 1개 이상의 선택트랜지스터를 접속하여 메모리셀 블록을 구성하고, 이 메모리셀 블록을 복수개 배치하여 셀어레이를 구성한 것을 특징으로 한다.

(15) (1)~(14)중 어느 하나에 기재된 메모리셀 블록에 대한 더미셀 블록으로서 트랜지스터와, 이 트랜지스터의 소스·드레인단자간에 병렬접속된 강유전체 또는 상유전체 캐패시터로 더미셀을 구성하고, 이 더미셀을 복수개 직렬접속함과 더불어, 그 직렬접속부의 일단에 제1 및 제2선택트랜지스터를 접속하여 더미셀 블록을 구성하고, 제1선택트랜지스터의 타단을 제1비트선에 접속하고, 제2선택트랜지스터의 타단을 제2비트선에 접속하여 이루어지는 것을 특징으로 한다.

(15-1) 더미셀의 캐패시터 면적은 통상셀의 1.5배에서 3배 를 것.

(16) 트랜지스터와, 이 트랜지스터의 소스·드레인단자간에 접속된 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수개 직렬접속하여 메모리셀 블록을 구성하고, 이 메모리셀 블록을 복수개 배치하여 셀어레이를 구성한 랜덤액세스 기능을 갖춘 반도체기억장치이고, 이 장치를 구동하는 방법에 있어서, 상기 메모리셀 블록 내의 복수의 메모리셀의 각 트랜지스터를 도통시켜 두는 제1단계와, 상기 메모리셀 블록 내의 복수의 메모리셀중 어느 하나가 1개의 메모리셀의 트랜지스터를 비도통상태로 하여 이 메모리셀을 선택하고, 그 선택메모리셀에 대해 데이터의 기록 또는 독출을 행하는 제2단계를 포함한 것을 특징으로 한다.

(17) 트랜지스터와, 이 트랜지스터의 소스·드레인단자간에 각각 병렬접속된 항전압이 다른 복수의 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수개 직렬접속하여 메모리셀 블록을 구성하고, 이 메모리셀 블록을 복수개 배치하여 셀어레이를 구성한 랜덤액세스 기능을 갖춘 반도체 기억장치이고, 이 장치를 구동하는 방법에 있어서, 상기 메모리셀 블록 내의 복수의 메모리셀의 각 트랜지스터를 도통시켜 두는 제1단계와, 상기 메모리셀 블록 내의 복수의 메모리셀중 어느 하나가 1개의 메모리셀 트랜지스터를 비도통상태로 하여 이 메모리셀을 선택하고, 그 선택메모리셀에 상기 강유전체 캐패시터의 항전압 내의 최소의 제1항전압을 초과하는 전압을 인가함으로써, 제1항전압을 갖는 상기 강유전체 캐패시터의 축적정보를 독출하는 제2단계, 상기 선택메모리셀에 제2항전압을 기록하는 제3단계, 상기 선택메모리셀에 제1항전압보다 큰 제2항전압을 초과하는 전압을 인가함으로써, 제2항전압을 갖는 상기 강유전체 캐패시터의 축적정보를 독출하는 제4단계 및, 상기 선택메모리셀에 제2항전압을 기록하는 제5단계를 포함한 것을 특징으로 한다.

(17-1) 데이터의 독출, 기록은 제1단계, 제2단계, 제4단계, 제5단계, 제3단계, 제1단계의 순으로 행할 것.

(17-2) 데이터의 기록은 제1단계, 제5단계, 제3단계, 제1단계의 순으로 행할 것.

또한, 본 발명의 반도체기억장치의 제조방법으로 다음과 같은 구성을 채용하는 것이 바람직하다.

(1) 셀 트랜지스터를 형성한 후에 강유전체 캐패시터를 형성하고, 그 후에 비트선을 형성할 것.

(2) 셀 트랜지스터를 형성한 후에 비트선을 형성하고, 그 후에 강유전체 캐패시터를 형성할 것.

(3) 강유전체 캐패시터의 형성에 있어서는 하부전극 상에 강유전체막을 형성하고, 그 위에 상부전극을 형성할 것.

(4) 강유전체 캐패시터의 하부전극은 Pt, Ti 등을 포함하는 구성으로 할 것.

(5) 강유전체 캐패시터는 Bi, Sr, Ta, O 등을 포함하는 구성, 또는 Pb, Zr, Ti, O 등을 포함하는 구성, 또는 Ba, Sr, Ti, O 등을 포함하는 구성으로 할 것.

(6) 강유전체 캐패시터의 전극은 Ir, IrO₂를 포함하는 구성, 또는 Sr, Ru, O 등을 포함하는 구성으로 할 것.

(7) 강유전체 캐패시터의 하부전극은 확산층 상에 Si 플래그를 형성하고, 그 위에 Ti/TiN/Pt층을 형성할 것.

(8) 강유전체 캐패시터의 상부전극 상에 TiO₂층을 형성하고, 그 상에 SiO₂층을 형성할 것.

(9) 강유전체 캐패시터는 단결정화 하고 있을 것.

(10) 강유전체 캐패시터막과 상부전극 또는 하부전극 사이에서는 격자정수가 다르고, 왜곡이 들어 있을

것.

(11) 강유전체 캐패시터의 양단의 전극노드는 동시에 형성되고, 강유전체막은 양단의 전극노드간에 형성될 것. 강유전체막은 CVD법, MOCVD법으로 형성될 것.

(12) 강유전체막은 웨이퍼 표면에 대해 수직방향, 또는 평행방향으로 형성될 것.

또한, 본 발명에 있어서는 이하의 구성이 바람직하다.

(1) 강유전체 캐패시터는 Si표면에 대해 상방에 복수층 적층되어 있을 것.

(2) 메모리셀 트랜지스터는 공핍형 트랜지스터일 것.

(3) (2)에 있어서, 스탠바이시, 전원 OFF시에는 셀 트랜지스터의 게이트인 워드선전위는 0V일 것.

(4) 전원 ON시에 기판에 부(負)의 전위를 인가할 것.

(5) 전원 ON시에 기판에 부의 전위를 인가하는 기판 바이어스 발생회로를 칩상에 갖출 것.

(6) 전원투입시에는 워드선전위를 인가한 후, 플레이트전위를 $(1/2)V_{cc}$ 로 상승할 것.

(7) 전원 OFF시에는 플레이트전위를 0V로 하강하고 나서 워드선전위를 0V로 하강할 것.

(8) 전원 OFF시에는 플레이트전위를 0V로 하강하고 나서 워드선전위를 0V로 하강하고, 그 후 전원을 OFF할 것.

(9) 워드선의 상방에 셀 트랜지스터의 소스·드레인 확산층에 각각 콘택트하는 4층의 전극이 적층되고, 제1층패와 제3층패는 접속되고, 제1, 제3층패와 제2층패의 전극간에 캐패시터를 형성하고, 제3층패와 제4층패의 전극간에 캐패시터를 형성할 것.

(10) 비트선은 Ψ 또는 Al 또는 Cu로 구성되어 있을 것.

(11) 워드선 방향에 인접한 강유전체 캐패시터와 강유전체 캐패시터와의 사이에 비트선이 배열설치되어 있을 것.

(12) 강유전체 캐패시터의 아래에 비트선이 배열설치되어 있을 것.

(13) 강유전체 캐패시터의 위에 비트선이 배열설치되어 있을 것.

(14) 강유전체 캐패시터의 상부전극은 Al배선을 매개로 셀 트랜지스터의 소스 또는 드레인단자와 접속되어 있을 것.

(15) 통상셀의 PL(플레이트)전극은 0V-V_{cc}사이를 변동하고, 더미셀의 PL은 $1/2V_{cc}$ 또는 일정전압으로 고정할 것.

(16) 플레이트전극은 일정전압으로 고정할 것.

(17) 플레이트전극은 Al 또는 Cu배선에 의해 확인 보장할 것.

(작용)

종래의 FRAM은 종래의 DRAM의 연장선 상의 구성을 취했지만, 본 발명에서는 1개의 메모리셀에 있어서, 셀 트랜지스터와 강유전체 캐패시터를 종래의 직렬의 개념에서 병렬접속으로 바꾸고 있다. 더욱이, 본 발명에 있어서는 이들 메모리셀을 복수직렬접속하여 직렬접속의 일단을 플레이트전극에 접속하고, 타단을 선택트랜지스터를 매개로 비트선에 접속하고 있다.

이와 같은 구성에 있어서, 스탠바이중에는 셀 트랜지스터의 게이트는 ON상태로 하고 있으며, 병렬접속에 의해 강유전체 캐패시터의 양단은 쇼트되어 동전위로 된다. 종래 DRAM의 개념에서는 이와 같은 구성은 축적정보를 파괴하는 이외의 어느것도 없지만, 강유전체 메모리에 있어서는 축적노드(SN)와 플레이트(P)간의 전위차를 0V로 한 것 만으로는 파괴되지 않는다. 결국, 기록한 분극방향과 역방향으로 하지 않으면 전하가 독출되지 않는다는 FRAM 특유의 문제점을 역으로 이용하여 장점으로 하고 있다.

플레이트전위의 고정, 0V-V_{cc} 진폭동작에 관계없이, 본 발명에 있어서는 장시간의 스탠바이중, 항상 강유전체 캐패시터의 양단은 쇼트하고 있기 때문에, pn접합 등의 누설전류가 있었던 것으로 해도, 강유전체 캐패시터의 양단의 전위차는 0V이고, 잔류분극량분의 전하는 유지된 그대로이고, 분극반전하여 데이터가 파괴되는 것은 없다. 더욱이, 셀 트랜지스터의 컷오프전류나 강유전체 캐패시터의 누설전류의 값이 커도 셀정보가 파괴되는 것은 없다. 결과로, 종래 불가능했던 플레이트전위 고정으로 고속동작하면서 리플레시온동작이 불필요한 동작을 가능하게 한다.

다음에, 복수직렬접속하고 있던 셀의 어느 하나를 선택한 경우를 고려한 예컨대, 4셀 직렬로, 플레이트전극으로부터 2개째, 비트선으로부터 3개째의 셀을 선택하는 경우를 고려한다. 이 경우, 선택셀의 셀 트랜지스터만 ON에서 OFF로상태로 하고, 선택트랜지스터를 OFF에서 ON으로 한다. 그러면, 등가회로적으로 플레이트전극으로부터 1개째, 3개째, 4개째의 셀 트랜지스터는 ON상태 그대로 있고나서, 선택셀의 강유전체 캐패시터의 일단은 플레이트전극에 전기적으로 접속되고, 타단은 비트선에 전기적으로 접속된다. 따라서, 외관상 본 발명의 회로는 종래 강유전체 메모리의 셀 트랜지스터가 선택트랜지스터에 대응하고, 강유전체 캐패시터가 그대로 강유전체 캐패시터에 대응한다. 그렇기 때문에, 종래의 $(1/2)V_{cc}$ 고정플레이트방식, 0V-V_{cc} 변동방식의 어느것에도 대응한다.

플레이트전극으로부터 2개째의 메모리셀 선택시의 독출/기록시에 있어서, 플레이트전극으로부터 1개째, 3개째, 4개째의 비선택셀은 셀 트랜지스터가 ON상태로 강유전체 캐패시터의 양단을 0V로 억제하고 있기 때문에, 셀 데이터가 파괴되는 것은 없다. 결과로, 본 발명에 있어서는 메모리셀을 직렬접속하고 있음에도 불구하고, 임의의 셀의 독출/기록이 가능하게 되고, 종래의 NAND형 셀과 같은 블록억세스에서는 없는

완전한 랜덤 액세스가 가능하게 된다.

종래의 NAND형 셀에서는 셀의 직렬수를 증가하면 비트선용량을 저감할 수 있었던 반면, 너무 증가하면 비트선으로부터 먼 셀의 독출시, 비트선으로부터 그 셀까지의 다른 셀 용량이 비트선용량의 증가로 되고, 역으로 비트선용량이 증가하는 결점이 있었다.

이에 대해 본 발명에 있어서는 셀의 직렬수를 상당히 증가할 수 있어 비트선용량을 대폭 저감할 수 있다. 이는 비선택셀의 강유전체 캐패시터의 양단은 쇼트되어 있기 때문에, 강유전체 캐패시터의 용량이 전기적으로 보이지 않게 되기 때문이다. 더욱이, 선택트랜지스터의 게이트를 비트선쌍을 이루는 별도의 비트선에 접속되는 선택트랜지스터의 게이트와 다른 신호선으로 해두면, 참조비트선에는 셀 데이터가 독출되지 않고, 노이즈 감소가 가능한 풀드 비트선 구성으로 할 수 있다. 이와 같은 본 발명에 의해, 랜덤 리드/라이트가 가능하고, 비트선용량을 저감할 수 있으며, 어레이 노이즈를 저감할 수 있다.

또한, 셀구조로는 셀 트랜지스터의 게이트를 최소가공길이(F)로 형성할 수 있으며, 확산층 및 채널형성의 액티브영역을 최소가공길이(F)로 형성할 수 있기 때문에, 제도가 용이한 평면트랜지스터로, 게다가 1개의 셀크기는

$$2F \times 2F = 4F^2$$

로 축소할 수 있다. 강유전체 캐패시터는 트랜지스터 형성후에, 게이트-게이트간의 확산층 영역으로부터 셀 트랜지스터의 소스전극, 드레인전극을 상승하여 어느 한쪽의 전극을 강유전체 캐패시터의 하부전극, 나머지 한쪽을 강유전체 캐패시터의 상부전극으로 하면, 스택형으로 강유전체 캐패시터를 셀 트랜지스터와 병렬로 접속할 수 있다.

이상의 효과를 정리하면, 종래 불휘발성의 FRAM에서는 제조의 용이화, 랜덤 액세스 기능을 유지하면서, 고 집적화를 실현하는 것은 종래 DRAM과 마찬가지로 불가능 했지만, 본 발명에서는 이들 모두의 양립이 가능하게 된다. 더욱이, 비트선용량의 저감, 저노이즈화도 가능하게 되고, 또한 종래의 FRAM에서는 양립이 불가능했던 $(1/2)V_{cc}$ 고정플레이트방식으로 고속화를 유지하면서 리프레쉬동작을 불필요하게 하는 것이 가능하게 된다.

또한, 본 발명의 반도체기억장치를 컴퓨터시스템, IC카드, 디지털 화상취입시스템, 메모리시스템, 시스템 LSI칩, 휴대컴퓨터시스템 등의 각종 시스템에 적용함으로써, 그 반도체기억장치의 미점을 갖게 하여 각각의 시스템 성능향상을 도모하는 것이 가능하게 된다. 즉, 본 발명의 반도체기억장치는 리프레쉬 불필요로 고속동작이 가능하고, 더욱이 고밀도화가 가능하기 때문에, 저소비전력으로 고속용도의 시스템이나 고 운동작 불필요로 고속용도의 시스템에 적용할 수 있으며, 더욱이 용력이 심한 시스템이나 대용량의 메모리가 필요한 시스템에 적용할 수 있다.

(실시예)

이하, 본 발명의 실시예를 도면을 참조하면서 상세히 설명한다.

(제1실시예)

도 1은 본 발명의 제1실시예에 따른 컴퓨터시스템의 기본구성을 나타낸 블록도이다.

이 시스템은 각종의 연산처리를 행하는 마이크로프로세서(11)와, 이 마이크로프로세서(11) 버스(14: BUS)에 접속되어 데이터의 기억을 행하는 불휘발성 반도체기억장치(12) 및, 마이크로프로세서(11) 버스(14)에 접속되어 외부기와 데이터 교환을 행하는 압출력장치(13)로 구성되어 있다.

본 실시예에서는 본 발명의 반도체기억장치(FRAM)를 컴퓨터시스템에 탑재한 예이다. 본 실시예에 이용한 FRAM을 이하에 상세히 설명한다.

도 2는 본 실시예에 이용한 FRAM의 기본구성을 나타낸 회로도이고, 메모리셀의 8셀분의 등가회로를 나타내고 있다. 도 2a에 있어서, BL은 비트선, PL은 플레이트전극, WL_{ij}는 워드선, SN_{ij}는 셀노드를 나타낸다. Q0는 선택트랜지스터를 나타내고, 그 게이트의 BS1신호는 블록선택선을 나타낸다. Q1~Q4는 메모리셀 트랜지스터를 나타낸다. 통상의 캐패시터 마크에 갈고리모양의 마크가 부가된 C1~C4는 강유전체 캐패시터를 나타낸다.

종래, FRAM의 1개의 메모리셀은 종래 DRAM의 연장선 상의 셀 트랜지스터와 강유전체 캐패시터를 직렬접속하고 있었지만, 본 실시예에서는 이 개념을 대폭 바꾸고 있다. 즉, 셀 트랜지스터와 강유전체 캐패시터를 병렬접속하여 1개의 메모리셀을 구성하고 있다. 예컨대, 셀 트랜지스터(Q3)와 강유전체 캐패시터(C13)는 조(組)를 구성하고, 1개의 메모리셀을 구성하여 0, 1정보를 기억한다. 마찬가지로, Q1과 C1, Q2와 C2, Q4와 C4는 조로 메모리셀을 구성하고 있다.

그리고, 이들 4개의 메모리셀을 직렬접속하여 메모리군(메모리블록)으로 하고 있다. 이 메모리블록의 일단은 셀 플레이트전극(PL)에 접속되고, 타단은 이 블록을 선택하는 선택트랜지스터를 매개로 데이터의 독출/기록을 행하는 비트선(BL)에 접속되어 있다.

도 2a에서는 좌측 1/2, 우측 1/2에 2개의 메모리블록을 나타내고 있다. 더욱이, 1개의 메모리셀은 0, 1의 2값의 데이터를 기억하는 것에 이용해도 좋고, 다값 또는 아날로그 기억에서도 하등 지장은 없다.

본 실시예의 FRAM의 동작을 설명한다. 스탠바이중에는 모든 워드선(WL00~03, 10~13)은 H레벨로 해두고, 블록선택선(BS0, BS1)은 L레벨로 해둔다. 이 때, 모든 셀 트랜지스터의 게이트는 ON상태로 되어 있으며, 강유전체 캐패시터의 양단은 그 캐패시터와 병렬접속된 셀 트랜지스터에 의해 전기적으로 쇼트되고, 동전위로 된다. 예컨대, Q3, C13의 셀에 있어서는 셀노드(SN03, SN02)가 동일전위로 되어 있다.

종래, DRAM의 개념에서는 이와 같은 구성은 축적정보를 파괴하는 이외의 그 어떤 것도 아니지만, 강유전체 메모리에 있어서는 축적노드(SN)·플레이트(PL)의 전위차를 0V로 한 것만으로는 데이터는 파괴되지 않는다. 기록한 분극방향과 역방향으로 하지 않으면 전하가 독출되지 않는다는 강유전체 메모리 특유의

문제점을 여기에서는 역으로 최대한 이용하고 있다. 즉, 상기 도 174b에서 보면, 1데이터는 잔류분극(Pr)을 갖는 8점, 0데이터는 잔류분극(-Pr)을 갖는 0점에 위치하여 움직임이 없다.

전기적으로는 모든 셀노드(SN00~03, SN10~13)는 스탠바이중에는 플레이트(PL) 전위와 동일하게 되어 있다. 스탠바이중에는 PL전위를 $(1/2)V_{cc}$ 에 고정하고 있던지, $0V \sim V_{cc}$ 사이를 이동시키던지, 본 실시예에 있어서는 장시간의 스탠바이중 상당히 강유전체 캐패시터의 양단은 쇼트하고 있기 때문에, 비록 셀 트랜지스터 pn접합 등의 누설전류가 있다하더라도 강유전체 캐패시터의 양단의 전위차는 $0V$ 이고, 잔류분극량만큼의 전하는 유지된채로 있고, 분극반전하여 데이터가 파괴되는 것은 없다.

또한, 종래 DRAM이나 DRAM모드를 갖는 FRAM에 비해, 셀 트랜지스터의 컷오프전류가 커도 된다. 이는 트랜지스터의 제작을 용이하게 한다. 더욱이, 강유전체 캐패시터의 누설전류도 커도 된다. 종래, FRAM 모드만의 FRAM과 비교해도 종래는 비트선이 $0V \sim V_{cc}$ 전폭하고 있을 때, 비선택의 셀은 셀 트랜지스터를 매개로 셀노드의 전위가 변동하여 데이터가 파괴되지만, 본 실시예의 셀 트랜지스터가 그 때 ON하고 있기 때문에, 문제없이 선택트랜지스터의 컷오프전류가 커도 데이터 파괴는 없다.

더욱이, 비선택시 ON하고 있는 것에 의해, 셀에 알파선 등방사선이 해당되더라도, 이것에 의해 발생하는 수집전하에 의한 강유전체 캐패시터간의 전위차의 발생에 의한 소프트에러는 종래 셀과 다르고, ON하고 있는 셀 트랜지스터에 의한 강유전체 캐패시터간의 쇼트에 의해, 일어나기 어려워, 신뢰성을 대폭 향상할 수 있다. 이 비선택시 ON하고 있는 것은 종래 셀에서는 SNOI 부유하고 있기 때문에, 선택셀의 동작에 의한 기생용량 커플링 등의 노이즈의 영향을 받지만, 본 발명에서는 이를 방지할 수 있다.

이와 같이, 본 실시예에서는 종래 불가능했던 $(1/2)V_{cc}$ 플레이트전위 고정방식을 채용하여 고속동작시켜도 누설전류에 의한 셀노드의 강하는 일어나지 않고, 그 결과로 리프레시동작이 불필요하게 된다. 또한, 셀 트랜지스터의 컷오프전류가 커져도 즉, 임계치 전압을 하강해도 다른 셀의 정보는 파괴되지 않는다.

다음에, 복수직렬접속하고 있던 셀중 어느 하나를 선택할 경우를 고려한다. 예컨대, 도 2a중의 오른쪽 메모리블록의 4셀 직렬중 플레이트전극(PL)으로부터 2개째, 비트선(BL)으로부터 3개째의 셀(Q3, Cf3)을 선택하는 경우를 고려한다. 이를 도 2b에 나타낸다. 우선, 선택셀(Q3, Cf3)의 워드선(WL02)을 H에서 L레벨로 하강, 셀 트랜지스터(Q3)만 ON에서 OFF상태로 한다. 이어서, 선택한 메모리블록의 블록선택선(BS0)을 L에서 H레벨로 상승, 선택트랜지스터(Q0)만 OFF에서 ON상태로 한다.

그러면, 등가회로적으로 플레이트전극(PL)으로부터 1개째, 3개째, 4개째의 셀 트랜지스터(Q4, Q2, Q1)는 ON상태로, 2개째의 선택한 셀 트랜지스터(Q3)는 OFF상태이기 때문에, 선택된 메모리셀의 강유전체 캐패시터(Cf3)의 일단은 플레이트전극(PL)에 전기적으로 접속되고, 타단은 선택트랜지스터(Q0)를 매개로 비트선(BL)에 전기적으로 접속된다. 따라서, 외관상 본 실시예의 회로는 등가회로적으로 종래 강유전체 메모리 셀 트랜지스터가 선택트랜지스터(Q0)에 대응하고, 종래 강유전체 캐패시터가 그대로 강유전체 캐패시터(Q3)에 대응한다.

즉, 독출/기록시에는 이 1개의 메모리블록이 종래 1트랜지스터, 1강유전체 캐패시터의 1개의 셀에 대응하고, 메모리블록 내의 다른 셀 트랜지스터나 다른 강유전체 캐패시터는 외관상 보이지 않는다. 그 때문에, 메모리블록 이외의 부분의 독출/기록방식에 대하여 종래와 동일한 구성을 취하고, 종래의 $(1/2)V_{cc}$ 고정플레이트방식, $0V \sim V_{cc}$ 변동방식의 어느것에도 대응한다.

예컨대, $(1/2)V_{cc}$ 고정플레이트방식으로 말하면, 셀 데이터 독출시, 미리 비트선(BL)을 $0V$ 로 프리차아지 해두면, 셀용량(Cf3의 용량)에 비해, 비트선용량(Cb)은 크기 때문에, 강유전체 캐패시터(Cf3)의 양단에는 거의 BL전압-PL전압= $(-1/2)V_{cc}$ 의 전압이 인가되고, 상기 도 174b로 말하면, 1데이터는 8점에서 C점으로 분극반전을 따라 이동하고, 0데이터는 0점에서 C점으로 분극반전을 수반하지 않고 이동한다.

따라서, 1데이터에 관해서는 $P_s + P_r$ 분의 전하가 BL로 독출되고, 0데이터에 관해서는 $P_s - P_r$ 분의 전하가 BL로 독출된다. BL쌍을 이루는 한쪽의 참조(BL)를 P_s 분의 전하가 독출된 경우와 동등의 전위만큼 상승해 두면, 1데이터는 $P_s + P_r - P_s = P_r$, 0데이터는 $P_s - P_r - P_s = -P_r$ 의 전하차만큼 BL쌍에 전위차가 발생한다. 그리고, 이를 센스앰프로 증폭하여 1데이터 때에는 BL이 V_{cc} , 0데이터 때에는 BL이 V_{ss} 로 되고, 이 결과가 선택셀의 강유전체 캐패시터에 다시 기록된다.

이 때, 0데이터는 C점에 남고, 1데이터는 C점에서 D, A로 분극반전하여 원래로 되돌아 간다. 그 후, 블록선택선(BS0)을 H에서 L레벨로 하강, 선택트랜지스터(Q0)를 OFF하고, 선택선(WL02)을 L에서 H레벨로 되 돌리면, 선택셀(Q3, Cf3)의 강유전체 캐패시터의 양단은 쇼트되고, 1데이터는 A점에서 B점으로 되돌아 가고, 0데이터는 C점에서 D점으로 되돌아 간다.

메모리 선택시의 독출/기록시에 있어서, 플레이트전극(PL)으로부터 1개째, 3개째, 4개째의 비선택의 메모리셀(Q4와 Cf4, Q2와 Cf2, Q1과 Cf1)은 셀 트랜지스터가 ON상태로 강유전체 캐패시터의 양단을 $0V$ 로 억제하고 있기 때문에, 셀 데이터가 파괴되지 않는다. 결과로서, 본 실시예에 있어서는 셀을 직렬접속하고 있음에도 불구하고, 직렬접속셀 내의 임의의 셀의 독출/기록이 가능하게 되고, 종래 NAND형 셀과 같은 블록억세스가 아니라, 완전한 랜덤억세스가 가능하게 된다.

도 3은 도 2의 회로구성을 실현하기 위한 셀구성이고, 도 3a는 평면도, 도 3b는 단면도이다. 이는 셀 트랜지스터 형성후, 강유전체 캐패시터를 형성하는 스택셀이고, 특히 강유전체 캐패시터 형성후에 비트선을 형성하는 비트선 후작(後作)셀이다.

셀구조로는 셀 트랜지스터의 게이트층을 최소가공길이(F)로 형성할 수 있으며, 확산층이나 채널형성의 액티브영역을 최소가공길이(F)로 형성할 수 있기 때문에, 제도가 용이한 평면트랜지스터로, 더욱이 1개의 셀크기는

$$2F \times 2F = 4F^2$$

로 축소할 수 있다.

각 셀노드는 $3F \times 1F$ 크기이고, 인접하는 2개의 셀노드(SN)와 겹쳐지는 영역 $F \times F$ 에 강유전체 캐패시터가

형성된다. 한편, 플레이트전극(PL)은 3F폭으로, 워드선 방향으로 확대된다. 더욱이, 선택게이트도 포함된 셀크기는

$$(10F \times 2F)/4 = 5F^2$$

의 크기로 된다.

셀 트랜지스터는 p기판 또는 p웰에 형성된다. 강유전체 캐패시터는 트랜지스터 형성 후, 게이트 게이트간의 n형 확산층영역(n에서도 된다)으로부터 셀 트랜지스터의 소스전극, 드레인전극을 위로 상승, 어느 한쪽의 전극을 강유전체 캐패시터의 하부전극, 나머지 한쪽을 강유전체 캐패시터의 상부전극으로 하고 있다. 예컨대, 메모리셀(Q3, C13)은 SN03층이 하부전극, SN02층이 상부전극으로 되어 있으며, 그 이웃의 셀은 반대로 상부전극과 하부전극의 관계가 서로 반대로 되어 있다.

그렇게 하는 것으로, 스택형에 있어서 강유전체 캐패시터를 셀 트랜지스터와 병렬로 접속할 수 있다. 메모리블록단의 플레이트전극(PL)은 SN02, SN00등과 동일한 상부전극배선을 이용하여 확대시키면 되고, 종래 FRAM에 비해 프로세스 비용폭은 없다. 더욱이, 상부전극과 하부전극의 위치를 바꾸는, pMOS 셀 트랜지스터로 하는, SOI로 구성하는 셀의 강유전체 캐패시터 형상을 바꾸는 등, 각종 변형은 가능하다. DRAM의 워드선 등, Si이나 Cu배선으로 보강하도록 종래의 FRAM에서도 W의 보강은 가능하지만, 이 경우 종래의 FRAM셀에서는 워드선(W)의 옆에 플레이트전극(PL)이 있기 때문에, 이 Si이나 Cu배선으로 플레이트전극(PL)을 보강하는 것은 곤란했다.

그러나, 본 발명에서는 플레이트전극(PL)은 일부 밖에 없고, 적은 PL영역을 넓히면, 1층의 Si 또는 Cu배선으로 워드선(W)과 플레이트전극(PL)의 양쪽을 보강하는 것이 가능하게 되고, PL구동방식을 적용해도 PL의 RC지연은 대폭 축소할 수 있다.

도 4는 도 2의 회로구성을 실현하기 위한 별도의 셀구성이고, (a)는 평면도, (b)는 단면도이다. 이는 셀트랜지스터 형성 후, 강유전체 캐패시터를 형성하는 스택셀이고, 특히 강유전체 캐패시터 형성전에 비트선을 형성하는 비트선 선작(先作)셀이다.

각 셀노드는 3F×1F크기이고, 셀노드(SN)와 셀노드(SN)의 교차하는 영역 F×F에 강유전체 캐패시터가 형성된다. 한편, 플레이트전극(PL)은 3F폭으로 워드선 방향으로 확대된다. BL형성 후에, 강유전체 캐패시터를 형성하기 위하여 BL과 BL사이로부터 셀노드를 위로 인상할 필요가 있다.

따라서, 이 예에서는 BL다이콘(BL과 선택트랜지스터의 접속부)으로 확대하는 패드를 이용하여 BL에 대해 1/2피치 움직여 액티브영역(확산층, 채널부)을 구성하고 있다. 결과로서, 셀 1개는

$$2F \times 2F = 4F^2$$

의 크기로, 선택게이트도 포함시키면,

$$(11F \times 2F)/4 = 5.5F^2$$

의 크기로 된다. 더욱이, 선택트랜지스터를 BL에 대하여 경사지게 형성하면, 5F²크기로 근접한다.

이제, 이와 같은 신규 구조의 FRAM을 이용한 도 1의 컴퓨터시스템에 있어서는 다음과 같은 효과가 얻어진다.

상술한 바와 같이, 본 실시예의 FRAM에 있어서는 셀크기가 종래 셀의 1/2로 할 수 있기 때문에, 동일한 비용으로는 제1, 대용량의 메모리용량을 탑재할 수 있다. 동일한 메모리용량에서는 제2, 칩크기가 작은 장소를 취하지 않고, 고밀도화 할 수 있다. 칩크기가 작기 때문에, 제3, 용력에 대해 강하다. 더욱이, 본 실시예의 FRAM에 있어서는 종래 DRAM과 동일한 정도의 고속동작이 가능한 플레이트전극 고정방식을 채용해도 리프레쉬동작이 불필요하기 때문에, 제4, 저소비전력으로 고속동작이 가능하게 된다.

또한, 리프레쉬가 불필요하기 때문에, 제5, 데이터 유지를 오래 유지하기 위하여 강유전체 캐패시터 누설, pn접합 누설 등의 스펙이 너무 엄격해도 고속동작의 실현이 용이하다. 더욱이, 리프레쉬가 불필요하기 때문에, 상기 누설을 염려할 필요는 없고, 고온동작, 고온환경으로 동작시킬 수 있기 때문에, 제6, 고온환경에서 고속동작이 가능하게 되는 등의 효과를 기대할 수 있다. 또한, 비선택셀의 강유전체 캐패시터는 상당히 셀 트랜지스터로 ON하고 있기 때문에, 제7, 불의의 전원절단에 대해서도 강하다.

종래의 FRAM은 데이터 유지의 실현이 어렵기 때문에, 플레이트 구동방식을 채용한 경우, 고속동작이 어렵고, 컴퓨터의 메인메모리로서 채용이 곤란했지만, 본 실시예의 FRAM은 상기 제5의 이유로 메인메모리 등의 고속동작 용도의 실현을 가능하게 하고, 상기 제4이유로, 휴대용 등으로 저소비전력과 고속동작을 요구하는 컴퓨터시스템의 메인메모리 등에 적용할 수 있다. 상기 제6의 이유로, 열방열이 나쁜 소규모 컴퓨터시스템의 메인메모리 등에 적용할 수 있다. 상기 제1, 제2이유로, 콤팩트하면서 대용량의 메인메모리 등을 실현할 수 있다.

이와 같이, 종래 FRAM에서는 적용곤란, 또는無理하게 적용한 경우, 성능의 대폭적인 열화, 비용의 증가, 시스템 크기의 증대를 일으켰던 것을 이번에 제안한 신규 FRAM을 이용하는 것으로 모두 해결할 수 있다. 또한, 종래의 컴퓨터시스템에서는 RAM, ROM, 불휘발성 메모리의 3종류를 탑재했었지만, 본 실시예의 FRAM은 고속으로 불휘발되기 때문에, 도 1에 나타난 바와 같이, 본 실시예의 FRAM 하나로 필요한 메모리를 모두 치환하는 것도 가능하다. 또한, 종래의 DRAM과 같은 동작속도를 실현하기 때문에, 불휘발성으로 더욱이, 그대로 DRAM으로 치환하는 것도 가능하다.

(제2실시예)

도 5는 본 발명의 제2실시예에 따른 컴퓨터시스템의 기본구성을 나타낸 블록도이다. 더욱이, 도 1과 동일부분에는 동일부호를 부여하고, 상세한 설명은 생략한다.

본 실시예에서는 도 1구성에 덧붙여, FRAM(12)을 제어하기 위한 콘트롤러(15)를 설치하고 있다. 보다 구체적으로는, FRAM(12)은 콘트롤러(12)를 매개로 BUS(14)와 연결되어 있다.

이와 같은 구성에 있어서도, 상기 제1실시예와 마찬가지로 효과가 얻어진다. 더욱이, 본 실시예의 콘트롤러(15)는 리프레쉬 제어신호의 발생회로를 생략할 수 있어, 저비용화가 도모된다.

(제3실시예)

도 6은 본 발명의 제3실시예에 따른 컴퓨터시스템의 기본구성을 나타낸 블록도이다. 더욱이, 도 5와 동일부분에는 동일부호를 부여하고, 그 상세한 설명은 생략한다.

본 실시예가 상기 제2실시예와 다른점은 FRAM(12)의 I/O가 직접 시스템버스(14)에 접속되어 있는 점으로, 이와 같이 시스템 구성은 자유롭다.

이와 같은 구성에 있어서도, 제1실시예와 같은 효과가 얻어진다. 더욱이, 본 실시예의 콘트롤러(15)는 리프레쉬 제어신호의 발생회로를 생략할 수 있어, 저비용화가 도모된다.

(제4실시예)

도 7은 본 발명의 제4실시예에 따른 컴퓨터시스템의 기본구성을 나타낸 블록도이다. 더욱이, 도 1과 동일부분에는 동일부호를 부여하고, 그 상세한 설명은 생략한다.

본 실시예에서는 도 1구성에 덧붙여, RAM(16)을 설치하고 있다. 보다 구체적으로는, BUS(14)에 RAM(16)이 접속되어 있다.

이와 같은 구성에 있어서도, 제1실시예와 같은 효과가 얻어진다. 또한, 본 실시예는 RAM(16)도 구비하고 있으며, FRAM(12)에 교환횟수에 제한이 있고, RAM이 필요한 경우나, RAM으로서 고속SRAM이나 고속DRAM 등을 이용하는 등에 적용할 수 있다.

(제5실시예)

도 8은 본 발명의 제5실시예에 따른 컴퓨터시스템의 기본구성을 나타낸 블록도이다. 더욱이, 도 1과 동일부분에는 동일부호를 부여하고, 그 상세한 설명은 생략한다.

본 실시예에서는 도 1구성에 덧붙여, ROM(17)을 설치하고 있다. 보다 구체적으로는, BUS(14)에 ROM(17)이 접속되어 있다.

이와 같은 구성에 있어서도, 제1실시예와 같은 효과가 얻어진다. 또한, 본 실시예는 ROM(17)도 구비하고 있으며, 고쳐쓰지 않는 OS나 한자 등의 데이터를 ROM(17)에 격납해 둬으로써, 저비용화를 도모할 수 있다.

(제6실시예)

도 9는 본 발명의 제6실시예에 따른 컴퓨터시스템의 기본구성을 나타낸 블록도이다. 더욱이, 도 1과 동일부분에는 동일부호를 부여하고, 그 상세한 설명은 생략한다.

본 실시예에서는 도 1구성에 덧붙여, RAM(16)과 ROM(17)을 설치하고 있다. 보다 구체적으로는, BUS(14)에 RAM(16) 및 ROM(17)이 접속되어 있다.

이와 같은 구성에 있어서도, 제1실시예와 같은 효과가 얻어진다. 또한, 제4실시예와 같이 RAM(16)을 구비하고 있으며, FRAM(12)에 교환횟수에 제한이 있고, RAM이 필요한 경우나, RAM으로서 고속SRAM이나 고속DRAM 등을 이용하는 등에 적용할 수 있다. 더욱이, 제5실시예와 같이 ROM(17)도 구비하고 있기 때문에, 고쳐쓰지 않는 OS나 한자 등의 데이터를 ROM(17)에 포함하고 있어 저비용화가 도모된다.

(제7실시예)

도 10은 본 발명의 제7실시예에 따른 IC카드의 기본구성을 나타낸 모식도이다.

이 IC카드는 FRAM(21)을 탑재한 IC칩(22)을 IC카드 본체(20) 상에 설치하여 구성되어 있다.

본 실시예는 본 발명의 반도체기억장치(FRAM)를 IC카드에 탑재한 예이다. 본 실시예에 이용한 FRAM의 상세한 설명은 제1실시예에 설명한 바와 같고, 여기에서는 생략한다.

이와 같이, 본 발명의 FRAM을 탑재한 IC카드에 있어서는 제1실시예에서 설명한 제3이유로 IC카드의 용량에 대한 신뢰성의 대폭향상, 또는 동일한 용량내압조건으로 대용량의 데이터기억을 실현할 수 있다. 통상 IC카드에서는 용량한계 때문에, IC칩 크기가 25mm² 이상이 불가능하게 되어 있으며, 이 문제해결은 상당히 중요하다.

또한, IC카드도 저소비전력화, 고신뢰성화, 고속화가 중요하고, 본 발명을 적용함으로써, 상기 제4, 5, 6, 7의 이유로 성능향상을 도모할 수 있다. 더욱이, 종래의 FRAM에서는 리콜동작 등, 전원 인가후 및 전원 OFF시에 큰 타임락을 소비했지만, 제8이유로 본 실시예에서는 이 타임락이 불필요하고, 고속응답을 가능하게 하기 때문에, IC카드의 카드삽입후 응답, IC카드 발취의 응답을 고속화 할 수 있다.

(제8실시예)

도 11은 본 발명의 제8실시예에 따른 디지털 화상취입시스템의 기본구성을 나타낸 블록도이다.

이 시스템은 화상데이터를 입력하기 위한 CCD촬상기, CMOS 등의 화상입력장치(31)와, 입력된 화상데이터를 압축하는 데이터압축장치(32), 압축된 화상데이터를 기억하는 FRAM(33), 압축된 화상데이터를 출력 또는 화상데이터를 입력하는 입출력장치(34), 입력된 화상데이터 또는 압축된 화상데이터를 표시하는 LCD 등의 표시장치(35) 및, 이들을 접속하기 위한 시스템버스(36)로 구성되어 있다.

본 실시예는 본 발명의 반도체기억장치(FRAM)를 디지털 카메라나 디지털 비디오카메라 등의 디지털 화상 취입시스템에 탑재한 예이다. 본 실시예에 이용한 FRAM의 상세한 설명은 제1실시예에서 설명한 바와 같고, 여기서는 생략한다.

이와 같이, 본 발명의 FRAM을 이용한 디지털 화상취입시스템에 있어서는 제1실시예에서 설명한 제1, 2의 이유로 콤팩트한 대용량의 화상데이터를 기억할 수 있다. 더욱이, 상기 제4, 50이유로 휴대에 중요한 저 소비전력으로 배터리 수명을 연장하면서 고속으로 압축데이터를 기억할 수 있다. 또한, 종래 버퍼 등의 고속일치RAM을 필요로 했지만, 본 발명의 FRAM을 이용하는 것에 버퍼 등의 RAM이 불필요할 수도 있다. 더욱이, 상기 제60이유로 옥외가 맑을 경우의 고온동작에서의 신뢰성도 향상시킬 수 있다.

(제9실시예)

도 12는 본 발명의 제9실시예에 따른 메모리시스템의 기본구성을 나타낸 블록도이다.

이 시스템은 데이터를 기억하기 위한 복수개의 FRAM(43)과, 이들의 FRAM(43)과 외부기기의 사이에서 데이터의 교환을 행하기 위한 입출력장치(41), FRAM(43) 및 입출력장치(41) 사이에 배치된 컨트롤러(42) 및, 시스템버스(44)로 구성되어 있다.

본 실시예는 본 발명의 반도체기억장치(FRAM)를 메모리카드나 하드디스크의 치환 등의 메모리시스템에 적용한 예이다. 본 실시예에 이용한 FRAM의 상세한 설명은 제1실시예에서 설명한 바와 같고, 여기서는 생략한다.

이와 같이, 본 발명의 FRAM을 이용한 메모리시스템에 있어서는 제1실시예에서 설명한 제1, 20이유로 콤팩트에 대용량의 화상데이터를 기억할 수 있다. 더욱이, 상기 제4, 50이유로 고속으로 저소비전력인 휴대 기기 등의 메모리기억장치, 종설메모리로서 이용한 경우, 배터리 수명을 연장시키는 등의 특징이 있다. 또한, 상기 제70이유로 불의의 전원단절에도 강할 수 있다. 더욱이, 컨트롤러로 ECC제어도 가능하다.

(제10실시예)

도 13은 본 발명의 제10실시예에 따른 메모리시스템의 기본구성을 나타낸 블록도이다. 더욱이, 도 12와 동일부분에는 동일부호를 부여하고, 그 상세한 설명은 생략한다.

본 실시예가 상기 제9실시예와 다른점은 FRAM(43)을 입출력장치(41)로 직접 접속하고, 컨트롤러(42)를 BUS(44)와는 독립하여 설치한 것이다. 이와 같은 구성에 있어서는 제9실시예와 같은 효과가 얻어진다.

(제11실시예)

도 14는 본 발명의 제11실시예에 따른 메모리시스템의 기본구성을 나타낸 블록도이다. 더욱이, 도 12와 동일부분에는 동일부호를 부여하고, 그 상세한 설명은 생략한다.

본 실시예가 제9실시예와 다른점은 컨트롤러(42)를 생략하고, 입출력장치(41)와 FRAM(43)의 최소구성으로 메모리시스템을 실현한 것이다.

이와 같은 구성에 있어서는 제9실시예와 같은 효과가 얻어진다. 또한, 시스템구성이 간단하기 때문에, 더한층 저비용화를 실현할 수 있다.

(제12실시예)

도 15는 본 발명의 제12실시예에 관한 마이크로프로세서칩의 기본구성을 나타낸 블록도이다.

이 시스템은 각종의 연산처리를 행하기 위한 마이크로프로세서 코어부(51: MPU)와, 데이터의 기억을 행하기 위한 FRAM(52)을 동일칩 상에 혼재하여 구성하고 있다. 여기서, FRAM(52)은 MPU(51)의 마이크로코드 메모리로 사용하고 있다.

본 실시예는 본 발명의 반도체기억장치(FRAM)를 MPU 등의 시스템 LSI 내부에 탑재한 예이다. 본 실시예에 이용한 FRAM의 상세한 설명은 제1실시예에서 설명한 바와 같고, 여기서는 생략한다.

이와 같이, 본 발명의 FRAM을 혼재한 마이크로프로세서칩에 있어서는 FRAM에 기억시키는 마이크로코드를 바꿈으로써, MPU의 명령 등을 용이하게 변경할 수 있다.

또한, 제1실시예에서 설명한 상기 제1, 20이유로 콤팩트에 대용량의 마이크로코드의 탑재가 가능하다. 더욱이, 통상의 FRAM으로 마이크로코드의 치환을 행한 경우, 저속이기 때문에 고성능 MPU는 실현할 수 없었지만, 상기 제4, 50이유로 고속으로 저소비전력 MPU를 실현할 수 있다. 또한, MPU는 소비전력이 상당히 큰 고온에서 도저히 종래의 리프레쉬가 필요한 FRAM은 혼재할 수 없지만, 상기 제60이유로 고온의 MPU에서도, 고온에서 불휘발인 마이크로코드메모리를 탑재할 수 있다. 또한, 상기 제70이유로 MPU의 디지털 부로부터의 노이즈에도 강하다.

(제13실시예)

도 16은 본 발명의 제13실시예에 따른 마이크로프로세서칩의 기본구성을 나타낸 블록도이다. 더욱이, 도 15와 동일부분에는 동일부호를 부여하고, 그 상세한 설명은 생략한다.

본 실시예가 상기 제12실시예와 다른점은 FRAM(52)을 MPU(51)의 인스트럭션 캐쉬메모리로서 사용한 것이다. 이와 같이, FRAM(52)을 MPU(51)의 인스트럭션 캐쉬메모리로 탑재함으로써, 불휘발성이면서 고속인 캐쉬메모리를 실현할 수 있다.

또한, 제1실시예에서 설명한 상기 제1, 20이유로, 콤팩트에 대용량의 인스트럭션 캐쉬를 탑재할 수 있다. 더욱이, 통상의 FRAM으로 인스트럭션 캐쉬의 치환을 한 경우, 저속이기 때문에 고성능 MPU는 실현할 수 없었지만, 상기 제4, 50이유로 고속으로 저소비전력 MPU를 실현할 수 있다. 또한, MPU는 소비전력이 상당히 큰 고온에서 도저히 종래의 리프레쉬가 필요한 FRAM은 혼재할 수 없지만, 상기 제60이유로, 고온의 MPU에서도, 고속으로 불휘발인 인스트럭션 캐쉬메모리를 탑재할 수 있다. 또한, 상기 제70이유로, MPU

의 디지털부로부터의 노이즈도 강하다.

(제14실시예)

도 17은 본 발명의 제14실시예에 따른 마이크로프로세서칩의 기본구성을 나타낸 블록도이다. 더욱이, 도 15와 동일부분에는 동일부호를 부여하고, 그 상세한 설명은 생략한다.

본 실시예가 상기 제12실시예와 다른점은 FRAM(52)을 MPU(51)의 2차데이터 캐쉬메모리로 사용한 것에 있다. 또한, 이에에서는 1차데이터 캐쉬로서 SRAM 등의 고속메모리(53)를 이용하고 있다. 여기서, 1차 및 2차의 모든 캐쉬를 본 발명의 FRAM으로 이용해도 되고, MPU + 본 발명의 FRAM으로 임의의 목적으로 이용해도 된다.

이와 같이, FRAM(52)을 MPU(51)의 2차데이터 캐쉬메모리로 탑재함으로써, 불휘발성으로 더욱이 고속 캐쉬메모리를 실현할 수 있다.

또한, 제1실시예에서 설명한 상기 제1, 20이유로, 콤팩트에 대응량의 데이터 캐쉬를 탑재할 수 있다. 더욱이, 통상의 FRAM으로 데이터 캐쉬의 치환을 한 경우, 저속이기 때문에, 고성능 MPU는 실현할 수 없었지만, 상기 제4, 50이유로, 고속으로 저소비전력 MPU를 실현할 수 있다. 또한, MPU는 소비전력이 상당히 큰 고온으로 도저히 종래의 리프레시가 필요한 FRAM은 존재할 수 없었지만, 상기 제60이유로 고온의 MPU에서도, 고속으로 불휘발인 데이터 캐쉬메모리를 탑재할 수 있다. 또한, 상기 제70이유로, MPU의 디지털부로부터의 노이즈에도 강하다.

(제15실시예)

도 18은 본 발명의 제15실시예에 따른 시스템 LSI칩의 기본구성을 나타낸 블록도이다.

이 시스템은 각종의 논리연산을 행하기 위한 로직부(61)와, 데이터의 기억을 행하기 위한 FRAM(62)을 동일칩 상에 존재하여 구성되어 있다.

본 실시예는 본 발명의 반도체기억장치(FRAM)를 시스템 LSI 내부에 탑재한 예이다. 본 실시예에 이용한 FRAM의 상세한 설명은 제1실시예에서 설명한 바와 같고, 여기서는 생략한다.

이와 같이, 본 발명의 FRAM을 탑재한 시스템 LSI칩에 있어서는 제1실시예에서 설명한 상기 제1, 제20이유로, 저면적으로 대응량화가 가능하고, 제4, 제5, 제60이유로 고속, 저소비전력, 존재고온환경에 적응할 수 있기 때문에, 시스템 LSI의 성능이 크게 향상할 수 있다. 또한, 상기 제70이유로, 디지털 노이즈에 강하다.

(제16실시예)

도 19는 본 발명의 제16실시예에 따른 화상처리 LSI칩의 기본구성을 나타낸 블록도이다.

이 시스템은 각종의 화상처리를 행하기 위한 화상처리부(71)와, 데이터의 기억을 행하기 위한 FRAM(72)을 동일칩 상에 존재하여 구성되어 있다.

본 실시예는 본 발명의 반도체기억장치(FRAM)를 화상처리 LSI 내부에 탑재한 예이다. 본 실시예에 이용한 FRAM의 상세한 설명은 제1실시예에서 설명한 바와 같고, 여기서는 생략한다.

이와 같이, 본 발명의 FRAM을 탑재한 화상처리 LSI칩에 있어서는 제1실시예에서 설명한 제1, 제20이유로 저면적으로 대응량화가 가능하고, 제4, 제5, 제60이유로 고속, 저소비전력, 존재고온환경에 적응할 수 있기 때문에, 화상처리데이터, 압축데이터를 재빨리 기록, 독출할 수 있다. 또한, 상기 제70이유로 디지털 노이즈에 강하다.

(제17실시예)

도 20은 본 발명의 제17실시예에 따른 디지털 가변 LSI칩의 기본구성을 나타낸 블록도이다.

이 시스템은 다른 논리연산을 행하는 복수의 로직부(81)와, 각 로직부(81)에 대응한 FRAM(82)을 동일칩 상에 존재하여 구성하고 있다.

본 실시예는 본 발명의 FRAM을 로직가변 LSI의 로직가변을 위한 메모리로 탑재한 예이다. 본 실시예에 이용한 FRAM의 상세한 설명은 제1실시예에서 설명한 바와 같고, 여기서는 생략한다.

FPG, FPG, 논리연산의 재구성가능한(Reconfigurable) 로직 등에서는 불휘발로 작은 면적으로, 고속 로직의 조합을 바꿀 필요가 있고, 본 발명의 FRAM은 상기 제1, 제20이유로 저면적으로 대응량화가 가능하고, 제4, 제5, 제60이유로 고속, 저소비전력, 존재고온환경에 적응할 수 있기 때문에, 최적이다. 또한, 상기 제70이유로 디지털 노이즈에 강하고, 또한 상기 제80이유로 ON/OFF의 응답도 빠르다.

더욱이, 본 실시예의 로직가변 LSI에 있어서는 FRAM 1개로 통합해도 되고, 도 20과 같이, 분산해도 되며, 더욱이 모듈마다 분산시켜도 된다.

(제18의 실시예)

도 21은 본 발명의 제18실시예에 따른 휴대컴퓨터시스템의 기본구성을 나타낸 블록도이다.

이 시스템은 각종의 연산처리를 행하는 마이크로프로세서(91: MPU 및 콘트롤러;이하, MPU라 칭함)와, 이 MPU(91)에 접속되어 데이터의 입력을 행하기 위한 입력기기(92), MPU(91)에 접속되어 외부기기와의 데이터의 교환을 행하는 송수신기(93), 이 송수신기(93)에 접속된 안테나(94), MPU(91)에 접속되어 필요한 정보를 표시하는 LCD 등의 표시기기(95) 및, MPU(91)에 접속되어 데이터의 기억을 행하는 FRAM(96)으로 구성되어 있다.

송수신기(93)는 휴대전화 등으로 이용되는 전파의 송수신 기능을 갖춘 것으로, 표시기기로서는 LCD나 플라스마디스플레이 등을 이용할 수 있다. 더욱이, 입력기기(92)로서는 핸드터치, 키입력, 음성입력, CCD

등을 이용한 화상입력 등을 적용할 수 있다.

본 실시예는 본 발명의 반도체기억장치(FRAM)를 휴대컴퓨터시스템에 탑재한 예이다. 본 실시예에 이용
한 FRAM의 상세한 설명은 제1실시예에서 설명한 바와 같고, 여기서는 생략한다.

이와 같이, 본 발명의 FRAM을 탑재한 휴대컴퓨터시스템에 있어서는 제1실시예에서 설명한 상기 제1, 제2
이유로 메모리부가 저면적으로 대용량화가 가능하고, 제4, 제5, 제6이유로 고속데이터 처리, 데이터의 기
억 및 독출이 가능하다. 더욱이, 저소비전력으로 배터리수명을 연장하고, 고온환경에 적응할 수 있다.
또한, 상기 제7이유로 디지털 노이즈, 전자 노이즈에 강하고, 또한 상기 제8이유로 전원 ON/OFF의 응답도
빠르다. 따라서, 종래에 없는 우수한 휴대컴퓨터시스템을 실현할 수 있다.

이상은 본 발명의 FRAM을 이용한 각종 시스템의 실시예이었지만, 이하에 본 발명의 FRAM에 관한 각종의
실시예에 대하여 설명한다.

(제19실시예)

도 22는 본 발명의 제19실시예에 따른 FRAM의 기본구성을 나타낸 등가회로도이다. 상기 도 2에 나타낸
제1실시예와 다른점은 1개의 메모리블록 내의 직렬접속의 셀수를 도 2의 2배인 8개로 변경한 점이다.

종래의 NAND형 셀에서는 셀의 직렬수를 증가하면 비트선용량이 저감할 수 있었던 반면, 지나치게 증가하면
비트선에서 먼 셀의 독출시, 비트선으로부터 그 셀까지의 다른 셀용량이 비트선용량의 증가로 되고, 반대
로 비트선용량이 증가하는 결점이 있어, 직렬수는 4개정도가 한계이었다.

이에 대해, 본 발명에 있어서는 셀의 직렬수를 보다 증가하여 비트선용량을 크게 저감할 수 있다. 직렬
수를 증가시키면, BL 다이콘부의 감소에 의해, 선택트랜지스터 드레인측의 용량, 확산층 용량 등이 $1/n$ (n
은 직렬접속수) 저감할 수 있으며, n 의 수를 증가해도 셀 데이터 독출시, 선택블록 내의 비선택셀의 강유
전체 캐패시터의 양단은 쇼트되어 있기 때문에, 강유전체 캐패시터의 용량이 전기적으로 표시되지 않게
된다. 따라서, 이 셀부의 증가분은 셀 트랜지스터의 게이트의 반전용량과 확산용량 등의 약간에 불과하
다. 따라서, 직렬접속수를 도 22와 같이, 8, 16, 32로도 가능하다.

직렬접속수를 증가한 경우의 문제는 독출시간/기록시간의 문제이지만, 1개의 트랜지스터의 ON저항을 $12k\Omega$,
 Ω , 확산층 저항을 $1k\Omega$, 1개의 강유전체 캐패시터의 용량을 $30fF$ 로 해도, 1단당 RC 시정수= $13k \times$
 $30f = 0.4ns$, 4단에 $1.6ns$, 8단에 $3.2ns$ 이다. 통상 독출시의 워드선(및 블록선택선)의 지연이 $5ns \sim 10ns$
인 것, 데이터 재기록시간이 $20ns \sim 30ns$ 인 것을 고려하면, 상기의 RC 시정수는 거의 문제로 되지 않는다.

또한, 직렬접속한 경우, 비선택셀의 셀 트랜지스터의 ON저항에 의해, 강유전체 캐패시터의 양단에 겨우
전압이 인가되지만, 이 문제도 블록선택선의 지연이 $5ns \sim 10ns$ 로, 셀 트랜지스터의 ON저항에 의한 RC 시정
수보다 1자릿수 큰점, 직렬단수가 증가하면, 1셀당 블록선택선이 상승한 순간의 인가전압도 감소하기 때
문에 문제는 없다.

본 실시예와 같이, 8단 접속의 경우에는 상기 도 3의 비트선 후작(後作)셀에 선택트랜지스터를 포함하
는 1셀당 셀크기는

$$(18F \times 2F)/8 = 4.5F^2$$

도 4의 비트선 선작(先作)셀에

$$(19F \times 2F)/8 = 4.75F^2$$

로 되고, 단(段)수가 많으면 $4F^2$ 에 가깝게 된다.

(제20실시예)

도 23은 본 발명의 제20실시예에 따른 FRAM의 기본구성을 나타낸 등가회로도이다.

본 실시예에 있어서는 상기 도 2의 구성에 선택트랜지스터를 이미 1단 추가하고 있다. 동일 셀어레이의
인접한 비트선(BL)과 /BL을 쌍으로 하여 센스앰프(SA)에 접속하고 있으며, 풀디드 비트선 구성을 채용한
다. 선택트랜지스터의 한쪽을 D타입(공핍; Depletion)트랜지스터, 다른쪽을 E타입(인헨스먼
트: Enhancement)트랜지스터로 해 둬으로써, 한쪽의 선택트랜지스터는 선택블록선의 전압에 관계없이 ON하
고 있으며, 등가회로적으로 쇼트하고 있는 상태를 만든다. 따라서, 나머지 선택블록선으로 다른쪽의 선
택트랜지스터를 제어한다.

보다 구체적으로는 2개의 선택트랜지스터를 매개로 /BL에 연결되는 메모리블록은 /BL측이 D타입의 선택트
랜지스터, 메모리블록측이 E타입의 선택트랜지스터이다. 마찬가지로, 2개의 선택트랜지스터를 매개로
BL측에 연결되는 메모리블록은 BL측이 D타입의 선택트랜지스터, 메모리블록측이 E타입의 선택트랜지스터
이다.

예컨대, 도면중의 임의의 메모리셀(Q5, C15)을 선택하는 경우를 고려한다. 이 때, WL02를 H에서 L레벨
로 하강하고, 선택블록선(BS00)만을 L에서 H로 상승한다. 그러면, /BL측에 연결되는 선택트랜지스터는
공히 ON으로 되고, BL측에 연결되는 선택트랜지스터의 한쪽은 OFF상태 그대로이고, 따라서 /BL측만 셀 데
이터가 독출된다. BL측은 참조비트선으로서 풀디드 BL구성을 취하고, DRAM과 마찬가지로 어레이 노이즈
가 저감된다.

다만, 풀디드 BL구성을 채용하면, 비선택측의 메모리블록의 셀(Q6, C16)의 셀 트랜지스터(Q6)가 액티브중
에 OFF로 되고, SN103은 PL로 쇼트하여 PL과 동전위이고, SN100~102까지도 셀 트랜지스터의 쇼트에 의해
동전위이지만, SN100~102의 어느것에 pn접합누설 등의 누설전류가 발생하면, SN103에 대해, SN100~102의
전위가 하강하고, 축적분극이 파괴된다.

그러나, 이 문제는 강유전체 메모리가 액티브 상태에만 발생하고, 통상의 DRAM 등의 메모리에서는 최대

액티브시간(t_{RASmax})은 $10\mu s$ 라는 제약이 있고, 통상의 DRAM 등의 최대 리프레쉬시간(r_{REFmax} : 64M비트 DRAM에 64ms) 등에 비해 짧기 때문에, 누설스펙은 상당히 완화할 문제는 없다. 즉, 액티브시간 종료와 동시에 원래의 쇼트상태로 되돌아 가고, 데이터는 회복한다. 더욱이, 스펙을 완화하는데는 t_{RAS} , t_{CE} 등의 스펙을 심하게 하면 된다. 또한, 당연히 도 2 등의 회로에서는 이 문제는 발생하지 않는다.

본 실시예에 있어서의 FRAM의 종래 FRAM에 비해 본질적인 차이는 종래의 FRAM은 강유전체 캐패시터의 일단을 플로팅하기 위하여, 스태바이 시간은 무한 리프레쉬가 필요했던 것에 대해, 본 실시예에서는 일단과 타단을 항상 단락하기 때문에, 리프레쉬가 불필요하게 되는 것에 있다. 더욱이, 폴디드 BL구성이라면, 액티브시간만큼 일부셀이 플로팅되지만, 이 시간은 유한이기 때문에, 문제는 없는 것이다.

도 24는 도 23의 회로구성을 실현하기 위한 셀구성이고, 도 24a는 PL로부터 일단의 비트선 콘택트까지의 평면도, 도 24b는 일단의 비트선 콘택트보다 타단의 비트선 콘택트까지의 단면도이다. 이는 셀 트랜지스터 형성후, 강유전체 캐패시터를 형성하는 스택셀이고, 특히 강유전체 캐패시터 형성후에 비트선을 형성하는 비트선 후작셀이다. 상기 도 30에 비해, 1개 블록선택선이 추가된 점과, 0타입용 채널 이온주입(DCI)을 위한 마스크가 추가된 점이 다르다.

도 25는 도 23의 회로구성을 실현하기 위한 별도의 셀구성이고, 도 25a는 PL로부터 일단의 비트선 콘택트까지의 평면도, 도 25b는 일단의 비트선 콘택트보다 타단의 비트선 콘택트까지의 단면도이다. 이는 셀 트랜지스터 형성후, 강유전체 캐패시터를 형성하는 스택셀이고, 특히 강유전체 캐패시터 형성전에 비트선을 형성하는 비트선 선작셀이다. 상기 도 40에 비해, 1개 블록선택선이 추가된 점과, 0타입용 채널 이온주입(DCI)을 위한 마스크가 추가된 점이 다르다.

이와 관련하여, 폴디드 BL에 있어서도 8단의 경우에는 도 24의 비트선 후작셀이고, 선택 게이트 트랜지스터를 포함하는 1셀당 셀크기는

$$(20F \times 2F)/8 = 5F^2$$

도 25의 비트선 선작셀로,

$$(21F \times 2F)/8 = 5.25F^2$$

로 되고, 단수가 많으면 이상의 $4F^2$ 에 가깝게 된다.

상기 도 23에 있어서, 0타입의 트랜지스터를 이용하지 않고, 도 26에 나타낸 바와 같이, 이 트랜지스터가 있는 부분을 통과된 블록선택선으로서 폴디드 트랜지스터화 하고, 폴디드 산화막 아래에 n^+ 층을 형성하고, 본래의 소스·드레인으로 되는 곳 서로를 접속해도 된다. 여기서, 도 26a는 BSO층을 폴디드 트랜지스터화 한 경우를 나타내고, 도 26b는 BSI층을 폴디드 트랜지스터화 한 경우를 나타낸다. 블록선택선의 위를 별도의 배선을 이용하여 본래의 소스·드레인으로 되는 곳 서로를 접속해도 된다.

또한, 도 27a에 나타낸 바와 같이, 축적노드층을 잘 연결해서 배선해도 되고, 도 27b에 나타낸 바와 같이, BL다이크온수를 증가하여 처리해도 된다. 0타입의 트랜지스터를 이용한 경우, 비선택블록이어서도 0타입의 트랜지스터 채널의 반전용량이 BL용량으로 판단하여 BL용량이 높아진다. 이 문제를 도 26, 도 27과 같은 0타입 트랜지스터를 이용하지 않은 경우는 해결할 수 있다. 이하, 모든 0타입의 블록선택트랜지스터를 이용하는 실시예에 이는 적합하다.

(제21실시예)

도 28은 본 발명의 제21실시예에 따른 FRAM의 개략구성을 나타낸 도면이다. 이는 본 발명의 메모리를 복수의 셀어레이 블록과, 센스앰프 블록으로 구성한 경우를 나타낸다.

도 28a는 오픈 BL구성을 나타내고, 상기 도 2의 실시예를 적용할 수 있다. BL은 셀어레이단에 서로 센스앰프(SA)로 인출하고, 이에 의해 센스앰프를 완화하고 있다.

도 28b는 폴디드 BL구성으로 상기 도 23의 실시예를 적용할 수 있다. 센스앰프는 ϕ_{ti} 신호를 데이터 독출시, 좌우 셀어레이의 어느쪽인가 선택하지 않은 쪽을 하강함으로써, 공용할 수 있고, 이에 의해 센스앰프수를 반감하고 있다.

도 2의 회로에 있어서도, 2셀을 1비트 데이터로 하고, BL측에 1(0) 데이터를 기록, /BL측에 역의 0(1) 데이터를 기록하도록 하면, 도 28b와 같이, 상세하게는 도 29에 나타낸 바와 같이, 폴디드 BL구성을 용이하게 실현할 수 있다. 종래의 1트랜지스터/강유전체 캐패시터 방식에 비해, 칩크기가 바뀌지 않고, 독출 신뢰성의 향상 및 더미셀 불필요의 효과가 있다.

도 28c는 비트선(BL)과 센스앰프(SA)의 접속을 시분할로 하여 접속하는 방법이고, 도 2, 도 23의 양쪽의 실시예를 적용할 수 있다.

(제22실시예)

도 30은 본 발명의 제22실시예에 따른 FRAM의 개략구성을 나타낸 블록도이다. 이 방식에서도 도 2, 도 23의 실시예의 양쪽을 적용할 수 있다.

도 30a에 있어서, 1개의 셀어레이 블록 및 센스앰프 블록은 워드선 방향에 복수의 서브블록으로 분할된다. 그리고, 모든 서브블록중의 일부분의 서브블록 또는 1개의 서브블록만을 활성화함으로써, 액티브전류를 크게 저감할 수 있다. 통상, 플레이트전극(PL)을 0V에서 V_{cc} 로 변동시키는 방식에서는 부하용량이 큰 PL구동을 위하여, 이와 같은 예를 이용하고 있지만, PL을 $(1/2)V_{cc}$ 고정의 방식에서는 리프레쉬가 필요하기 때문에, 합부로 서브블록을 증가하고, 활성시키는 칼럼수를 감소시키지 않았다. 이에 대해, 본 실시예에서는 리프레쉬 불필요 때문에, $(1/2)V_{cc}$ PL고정방식에서도 충분히 서브블록을 증가하고, 활성시키는 칼럼수를 감소시켜, 소비전류를 저감할 수 있다.

더욱이, 도 30b와 같이, $(1/2)V_{cc}$ PL고정의 경우, 데이터의 독출기록 시킨 칼럼(/BL1, BL1)의 비트선만을 V_{ss} 로 프리차아지 해두고, 센스앰프 동작시켜, 다른 칼럼을 $(1/2)V_{cc}$ 로 프리차아지 해두고, 센스앰프 동작 시키지 않으면, 1칼럼만큼 동작이 가능하게 된다. 이것도, 비선택칼럼에서는 비트선과 PLO1 $(1/2)V_{cc}$ 그대로 워드선, 블록선택선을 동작시켜도, 데이터가 파괴되지 않는 것을 이용하고 있다.

또한, $(1/2)V_{cc}$ PL고정의 경우, 데이터의 독출기록 시킨 칼럼(/BL, BL)의 비트선만 V_{cc} 로 프리차아지 해두고, 센스앰프 동작시켜, 다른 칼럼을 $(1/2)V_{cc}$ 로 프리차아지 해두고, 센스앰프 동작시키지 않으면, 1칼럼만큼 동작이 가능하게 된다. 또한, 마찬가지로 0V에서 V_{cc} 까지 변동시키는 PL구동의 경우에서도 비트선을 V_{cc} 로 프리차아지 해두고, 데이터의 독출기록을 실행하는 것도 가능하다.

(보다 상세한 동작설명)

다음에, 상기 도 2, 도 23, 도 28, 도 29 및, 도 30 실시예의 동작예를 도 31, 도 32 및, 도 33을 참조하여 설명한다. 신호명은 도 23의 Q5, Cf5의 셀을 선택한 경우에 준한다. 도 31, 도 32는 $(1/2)V_{cc}$ 고정 PL의 경우를 나타내고, 후반의 동작이 도 31과 도 32가 일부 다르다. 도 33은 0V~ V_{cc} PL전위변동방식의 경우를 나타낸다.

도 31에 있어서는 비트선(/BL, BL)을 V_{ss} 프리차아지로 해두고, WL02를 H에서 L로 하고, 셀 트랜지스터(Q5)를 OFF로 하여 BS00을 L에서 H로 하고, 셀과 비트선을 접속한다. 그러면, BL-PL간에 $-(1/2)V_{cc}$ 의 전위차가 발생하고, 셀전하가 독출되고, 센스앰프에 의해, /BL, BL이 V_{ss} , V_{cc} 로 증폭된다. 그리고, 셀의 재기록이 이루어진다. 이 때, /BL, BL을 V_{ss} , V_{cc} 로 한채로, BS00을 닫고(L로 하고), WL02를 상승(H로 하고), 셀 트랜지스터(Q5)를 ON으로 한다. Q5를 ON을 하면, 자동적으로 Cf5의 양단의 전위차가 0V로 되어 기록종료된다.

BS00을 닫은후, 이와 평행하게 /BL과 BL을 쇼트하여 $(1/2)V_{cc}$ 로 하고 나서, 다음의 액티브동작에 대비하고, /BL, BL을 0V로 한다. 변형으로서, /BL과 BL을 쇼트시키지 않고, 직접 /BL, BL을 0V로 해도 되고, 쇼트와 0V화를 동시에 행해도 된다.

도 32의 예는 도 31과 일부 다르고, /BL, BL을 쇼트하고 나서, BS00을 닫고, WL02를 상승, Q5를 ON하고 있다. 이는 도 31은 WL02를 상승 Cf5의 양단을 쇼트하고 있지만, 도 32에서는 /BL, BL의 쇼트에 의해, PL= $(1/2)V_{cc}$ 로, Cf5의 양단의 전위차를 없애고 있는 점이 다르다. 이 경우, BS00의 하강, WL02의 상승의 순서는 문제되지 않는다. 그 후, /BL, BL전위를 V_{ss} 로 내리고 있다.

도 33의 예는 PL변동형의 예를 나타낸다. 비트선(/BL, BL)을 0V로 프리차아지하고 나서, WL02를 하강, BS00을 상승한다. 이 때, BL=PL=0V이기 때문에, 데이터는 독출되지 않는다. 다음에, PL전위를 0V에서 V_{cc} 로 상승하면, 1데이터는 분극반전하여 상기 도 174b중 8점에서 C점으로 이동하고, 1과 0독출에 전위차가 생긴다.

0데이터는 센스동작으로, 비트선이 0V로 되면, C점으로 되돌아 가고, 1데이터는 D점으로 이동한다. 이어서, PL을 0V로 하강하면, 0데이터는 D점으로 이동하고, 1데이터는 A점으로 되돌아 간다. 그 후, BS00을 하강, WL02를 상승하면, 0데이터는 D점 그대로, 1데이터는 B점으로 이동하고, 독출전의 상태로 되돌아 간다. 그 후, 비트선은 /BL, BL을 쇼트하고 나서 V_{ss} 로 되돌아 간다.

도 34, 도 35는 본 발명의 주요한 효과를 정리하고 있다. 도 34에 있어서, 종래의 8F 셀, 중형트랜지스터 4F 셀, NAND형 셀과, 본 발명을 비교하고 있다. 본 발명의 셀크기는 다른 4F 셀과 동등하게 작고, 더욱이 비트선용량을 저감할 수 있기 때문에, 1비트선당 많은 셀을 접속할 수 있다. 그 결과로, 센스앰프 수를 저감할 수 있기 때문에, 칩크기는 가장 작게 된다. 더욱이, 평면트랜지스터에 용이하게 실현할 수 있으며, 게다가 랜덤액세스가 가능하다. 이들의 양립은 종래에는 불가능했었다. 더욱이, 폴디드 BL구성을 실현할 수 있고, 노이즈도 저감할 수 있다. 물론, 불휘발성을 실현할 수 있다.

이와 관련하여, 노이즈에 관해서 말하면, 종래 중형트랜지스터 4F 셀을 폴디드 BL구성으로 하는데에는 비트선을 2중화 하면 실현할 수 있는 것을 본 발명자들은 제안하고 있지만(일본특허 제7-9457호), 이 경우는 비용 증가가 생긴다.

NAND셀을 폴디드 BL로 하는데에는 블록선택선을 추가하면 실현할 수 있는 것을 본 발명자들은 개략 제안하고 있지만(일본특허 제7-73555호), 이 경우는 본 발명과 다르고, 완전한 랜덤액세스의 폴디드 BL로 이루어지지 않는다. 이는 블록선택선을 추가하여 참조측의 셀 데이터를 BL로 독출되지 않도록 해도, 셀이 NAND 접속을 위하여, 블록선택선의 선택 게이트트랜지스터의 소스측까지, 데이터가 개략 독출되고 있기 때문에, 결과로서 반드시 다음에 이 데이터를 독출하지 않으면, 데이터가 파괴되지 않기 때문이다.

도 35는 종래의 FRAM과 본 발명을 비교하고 있다. 상술한 바와 같이, 본 발명에 있어서는 $(1/2)V_{cc}$ 의 고정플레이트방식으로 고속화를 실현하면서 리프레쉬동작이 불필요하게 된다. 종래의 FRAM에서는 이들의 양립은 불가능했었다. 즉, 플레이트를 0V~ V_{cc} 로 변동하는 방식에서는 리프레쉬를 불필요하게 할 수 있었지만, 플레이트를 $(1/2)V_{cc}$ 로 고정하는 방식에서는 반드시 리프레쉬가 필요했었다.

(제23실시예)

도 36은 본 발명의 제23실시예에 따른 FRAM을 설명하기 위한 것으로, 특히 더미셀방식을 이용한 센스앰프 회로를 나타내고 있다. 더욱이, 상기 도 23의 0타입 선택트랜지스터는 항상 ON으로 단락한 것으로 간주하고, 이 회로도에서는 제거하고 있다.

도 36a는 캐핑형 더미셀의 경우를 나타낸다. 그 동작예를 도 37에 나타낸다. 이는 $(1/2)V_{cc}$ PL방식의 도 31의 동작예를 보다 상세하게 한 것이다.

스탠바이중에는 VPS를 H로 유지, 비트선을 V_{ss} 로 해두고, 액티브시에는 VPS를 하강, EQL을 하강, 비트선을 0V로 플로팅으로 한다. $\phi t1$ 만 L레벨로 하고, 센스앰프 좌측의 셀어레이를 선택한다. 그 후, WL02 하강, BS00을 상승, 셀 데이터를 비트선으로 독출한다. 이 때, 참조비트선측은 더미 워드선(0WL0)을 L

에서 H로 상승하고, C2의 커패시터에 의해, 비트선(BL)측을 독출전하가 포화분극 P_s 분 독출한 것에 등가만큼, BL측의 전위를 상승하면 된다. 이는 DWL0 전폭량(VDH), C2의 용량을 조정하면 실현할 수 있다.

그 후, /SAN을 하강, SAP를 상승, 센스앰프를 동작시켜, 비트선을 V_{ss} , V_{cc} 로 하고, 셀 데이터 재기록을 종료한다. 그 후, BS00을 하강, WL02를 상승한다. 다음에, EQL을 상승하면, /BL, BL은 쇼트되고, VPS를 상승하면, /BL, BL은 0V로 하강한다. 물론, 본 더미셀은 PL 0V- V_{cc} 구동방식에도 적용한다.

도 38b는 도 2의 셀에, 2셀로 1비트 데이터를 기억하는 경우를 나타내고, 이 경우, 더미셀은 불필요하게 된다.

(제24실시예)

도 38은 본 발명의 제24실시예에 따른 FRAM을 설명하기 위한 것으로, 특히 더미셀 방식을 이용한 센스앰프 회로를 나타내고 있다. 더욱이, 상기 도 23의 0타입 선택트랜지스터는 항상 ON이기 때문에, 단락한 것으로 간주하고, 이 회로도에서는 제거했다.

도 38a는 도 36a와 일부 다르고, /BL, BL을 이퀄라이즈 하여 $(1/2)V_{cc}$ 로 할 경우, 보다 정확하게 전위를 고정하기 때문에, EQL을 상승한 때 $V_{BL} = (1/2)V_{cc}$ 전위로 하고 있다. 이는 예컨대, 도 32의 동작과 같이, /BL, BL을 이퀄라이즈 하여 C15의 양단을 동전위로 할 경우, 누설 등으로 PL=/BL, BL로부터 벗어난 경우, 축적전하의 손실이 생기는 것을 막는다.

이 경우의 상세동작을 도 39에 나타냈다. EQL을 상승, /BL, BL을 쇼트하고, BS00을 하강, WL02를 상승, 다음에 VPS를 상승하기 전에, EQL을 하강한다. 더욱이, EQL을 하강하는 것은 VBL과 V_{ss} 의 쇼트의 단락을 방지하기 위함이다.

도 38b는 마찬가지로 도 36b에 VBL을 부가한 예를 나타낸다.

(제25실시예)

도 40은 본 발명의 제25실시예에 따른 FRAM을 설명하기 위한 것으로, 특히 더미셀 방식을 이용한 센스앰프 회로를 나타내고 있다. 더욱이, 상기 도 23의 0타입 선택트랜지스터는 항상 ON이기 때문에, 단락한 것으로 간주하고, 이 회로도에서는 제거했다.

도 40a는 도 36a의 회로와 비교하여 더미셀방식만 다르다. 도 40a에 있어서는 강유전체 캐패시터로 더미셀을 구성하고 있다. 이 동작을 도 41에 나타냈다. 도 41은 도 37과 비교하여 더미셀의 동작만 다르다.

도 40a의 더미셀구성은 도 23의 폴디드 BL구성의 메모리셀의 직렬접속수를 1로 한 경우로 등가이다. 본 더미셀은 각종 동작이 가능하고, 도 41의 DBS0의 (X)의 동작에서는 상기 도 174b에 있어서, 스태바이중에는 0점에 위치하고 있다. 도 41에 WL02가 하강하고, BS00이 상승하며, 셀 데이터가 /BL로 독출될과 동시에, DWL0이 하강하고, DBS0가 상승하면, 더미셀 데이터가 BL측에 독출된다. 그 후, 센스동작, 재기록, BS00을 닫고, WL02를 상승 원래로 되돌리고 나서, /BL, BL은 쇼트, /BL=BL V_{ss} 로 끌어내린다. 이 경우, 더미셀 노드(ON)는 0V로 되고, 도 174b의 C점으로 온다. 그 후, DBS0을 하강, DWL을 상승하면, 원래의 0점으로 되돌아 간다.

본 실시예에서의 독출전하는 P_s - P_r 로 되고, 0데이터와 동일하지만, 강유전체 캐패시터의 용량을 (셀의 P_s)=더미셀의 (P_s - P_r)로 되도록 크게 하면 된다. 또한, 더미셀 PL의 전위를 $(1/2)V_{cc}$ 보다 높이 조정해도 된다. 다만, 본 실시예에서는 셀에 0데이터가 기록되어 있었던 경우, 더미셀측은 1로 되기 때문에, 일단 A점으로 이동하고 나서, C점으로 이동하고 D점으로 되돌아 가기 때문에, 분극반전을 수반한다.

더미셀은 셀어레이 내의 어느 셀을 선택해도 동작하기 때문에, 분극반전횟수가 많게 되고, 피로가 현저하다. 이 문제를 피하기 위하여, 도 41의 DBS0의 H측 전압을 (Y)와 같이, 하강하면, 0데이터 셀 독출로 더미셀측의 BL이 V_{cc} 로 되어도, 더미셀 노드(ON)는 DBS0 전압- V_t 로 되고, DBS0전압- $V_t \leq PL$ 과 같이, PL을 설치하면, 분극반전을 수반하지 않게 되어 피로가 적다. 또한, DBS0전위를 (X)와 같이 한 경우도, $PL = V_{cc}$ 또는 그 정도 상승해도, 분극반전하지 않아 피로가 적다. 또한, (Z)와 같이, 더미셀 독출후, 일단 DBS0을 하강, /BL, BL이 0V로 하강하고 나서, 이미 일단 DBS0을 상승하강하면, 분극반전을 수반하지 않고 D점에서 C점으로 이동하고, 그 후에 DWL을 상승함으로써, 0점으로 되돌아 간다. 또는 통상셀의 PL은 0V- V_{cc} 구동의 경우에서도 더미셀의 PL은 분극반전 불용 때문에, 일정 전위로 고정하여 이용하는 것이 바람직하다.

종래의 1셀 트랜지스터와 1강유전체 캐패시터의 직렬셀로, 더미셀을 구성하면, 더미셀의 셀노드가 플로팅하고, 누설전류 등으로 전위가 바뀌고, 결과로 더미셀의 독출전위가 변하는 문제가 있다.

이를 피하기 위하여, 종래 더미셀 회로는 더미셀 회로 내에 일단 0점에 대기하고 있어, C점으로 되돌아가는 등, 통상셀과 다른 복잡한 회로구성(T.Sumi et al., 1994 IEEE International Solid-State Circuit Conference Digest of Technical Paper, pp. 268-269, Feb, 1994 등)을 취했지만, 본 실시예에서는 모두 통상의 셀과 동일한 셀구조, 회로구조로 할 수 있는 장점이 있다.

도 40b는 도 40a의 문제점을 해결하는 예이다. 도 40a에서는 선택한 메모리셀이 메모리블록중에서 비트선에 가까운쪽인 경우와 먼쪽인 경우로, 겨우 비트선용량이 바뀐다. 이는 약간이지만, 센스앰프 동작의 마진을 감소한다.

도 40b는 이 문제를 해결한다. 즉, 도 40b와 같이, 통상의 셀부와 동일한 더미셀의 블록을 형성하고, 메모리블록 내의 선택셀과 동일한 위치의 더미 메모리블록의 더미셀을 선택하면, 비트선쌍의 용량균형은 해결된다. 그 동작은 도 40a와, 선택 더미워드선이 바뀌는 만큼 동일하다. 각종 변형동작도 동일하다.

도 40a, 40b의 더미셀 블록의 블록 선택트랜지스터는 도 37의 설명에서도 알 수 있는 바와 같이, 0타입의

항상 ON하고있는 트랜지스터를 표기상 생략하고 있지만, 실제로는 상기 도 26, 도 27에 나타난 바와 같이, 트랜지스터를 형성하지 않아도 된다. 도 42에 나타난 바와 같이, 실제로 0타입의 트랜지스터를 이용해도 된다.

이와 같이, 더미셀도 직렬접속하는 다른 이유를 도 43에 나타낸다. 도 43은 셀 직렬수(N)에 대한 1 데이터의 실제의 셀 데이터를 비트선으로 독출한 후의 비트선 전위를 나타내고, 파라미터로서 가장 비트선 콘택트에 가까운 WL0를 선택한 경우와, 가장 먼 WL(N)을 선택한 경우를 나타낸다.

먼 셀의 경우, 1데이터와 0데이터의 신호차는 가까운 셀에 비해, 직렬셀 내의 게이트 채널용량 등의 기생용량만큼 약간 감소하지만, 가장 큰 문제점은 먼 셀을 선택한 경우, 1데이터의 0데이터도 Vdd측에 독출값이 시프트하고 있는 점이다. 이는 스턴바이 중에 (1/2)Vdd로 있었던 셀 직렬 내의 노드가 독출후에 Vss로 하강하기 때문에, 셀 직렬 내의 기생용량만큼 커패시터로 Vdd측에 시프트하기 때문이다. 이는 셀 직렬수를 증가하면 문제가 표면화 한다.

더미셀도 도 40b, 도 42에 나타난 바와 같이, 직렬접속하고, 통상셀과 동일한 직렬 내의 더미셀을 선택하면, 도 43에 나타난 바와 같이, 더미셀(도면중 0셀)측에도 동일한 영향을 주고, 센스앰프로부터 보면 이 시프트의 문제는 볼 수 없을 수 있다. 또한, 상유전체 캐패시터를 이용하여 더미셀을 구성하는 경우도, 이 문제를 극복하기 위하여 도 36a 등에 나타나 있다. 센스앰프 내의 커패시터를 복수종류 준비하여 대응해도 되고, 도 36a의 DWL0, DWL1의 진폭전압을 선택셀의 직렬접속 내의 위치에 따라 대신해도 된다. 더욱이, 이 Vdd측으로의 시프트의 간격은 0V-Vdd PL구동방식에서는 발생하지 않는다. 이는 스턴바이시, 이들의 노드는 0V로 프리차아지되어 있기 때문이다.

(제26실시예)

도 44a는 본 발명의 제26실시예를 나타낸 더미셀을 포함하는 셀어레이 등가회로를 나타낸 도면이다. 도 44b는 도 44a의 실시예의 동작예를 나타낸 신호파형도이다.

도 44a에 있어서, 비트선쌍(/BL, BL)의 더미셀을 공유하고 있다. 예컨대, WL2와 BS0가 선택되어, /BL측에 셀 데이터가 독출되는 경우는 DBS0와 DWL2가 선택되고, DWL2에 접속되는 더미셀의 강유전체 캐패시터 정보가 BL측에 독출되고, 예컨대, WL2와 BS1이 선택되어, BL측에 셀 데이터가 독출되는 경우는 DBS1과 DWL2가 선택되고, DWL2에 접속되는 더미셀의 강유전체 캐패시터 정보가 /BL측으로 독출되는 의미이다.

도 44b와 같은 독출방식에서는 도 40b에 나타난 바와 같이, 더미셀은 항상 0데이터가 독출됨으로써, 이에 따라 더미셀의 강유전체 캐패시터 용량은 셀의 1데이터(=Pr+Ps)와 0데이터(=Ps-Pr)의 중간치 Ps, 더미셀의 (Ps-Pr)가 거의 동등하도록 통상셀의 1.5배~3배정도(최적치는 2배정도) 크게할 필요가 있다. 따라서, 도 40b의 방식 그대로에서는 더미셀의 강유전체 캐패시터 면적을 크게하기 위하여 워드선 간격을 넓게 취할(비트선 방향으로 연장) 필요가 있었지만, 도 44a의 회로를 이용하면, 더미셀을 공유한 만큼, 셀의 워드선 방향의 간격이 완화되고, 워드선 간격을 넓히지 않고, 강유전체 캐패시터 면적을 크게 할 수 있다.

도 45는 도 44의 등가회로를 실현하는 레이아웃도의 예를 나타낸다. 도 45a는 통상셀 레이아웃을 나타내고, 도 45b는 더미셀의 셀 레이아웃도를 나타낸다. 더미셀에 있어서, 셀간의 소자분리를 최소 F로 하면, 강유전체 캐패시터 면적을 통상셀의 F에 대해, 3F까지 크게 하면서 WL선 간격을 F 그대로 유지할 수 있는 것을 알 수 있다. 이에 의해, F에서 3F의 임의의 값에 더미셀의 강유전체 캐패시터 면적을 설정할 수 있다. 따라서, 도 45c, 45d와 같이, 기준(reference)측의 독출 전하량을 통상셀의 1, 0데이터의 중간치로 가져올 수 있다. 더욱이, 더미셀의 독출전위는 Cap면적 및 더미셀용 PL의 전위의 양방으로 조정할 수 있다.

또한, 상기 도 35b에 나타난 바와 같이, 강유전체 캐패시터 면적을 크게하면서도 더미셀의 셀 트랜지스터 크기를 통상셀과 동일하게 설정함으로써, 도 43에 나타난 바와 같은 1, 0셀 데이터의 시프트의 문제도 더미셀의 셀 트랜지스터 채널의 반전용량과, 정규셀의 셀의 셀 트랜지스터의 반전용량을 같게 할 수 있기 때문에, 더미셀부의 시프트량과, 정규셀부의 시프트량을 거의 같게 할 수 있어, 캔셀(cancel)되고, 독출 비트선과 기준 비트선간의 차는 나타나지 않는다.

(제27실시예)

도 46은 본 발명의 제27실시예에 따른 FRAM을 설명하기 위한 것으로, 특히 더미셀방식을 이용한 센스앰프 회로를 나타내고 있다. 더욱이, 상기 도 23의 0타입 선택트랜지스터는 항상 ON이기 때문에, 단락한 것으로 간주하고, 이 회로도에서는 제거했다.

본 실시예는 도 36a, 도 40a, 40b 등의 회로로부터 EQL계의 회로를 제거한 경우를 나타낸다. 이는 도 31 등으로, /BL, BL 등을 이퀄라이즈 하지 않고, 직접 VPS를 상승, Vss로 저하하는 것을 의미한다. 이에 의해, 센스앰프 면적을 삭감할 수 있다.

(제28실시예)

도 47은 본 발명의 제28실시예를 설명하기 위한 신호파형도이다. 이 실시예는 전원 ON/OFF의 바람직한 수순을 나타내고 있다.

본 실시예에 있어서는 우선 전원 Vcc투입후, 파워 ON 리셋회로에 의해, Vcc가 완전하게 입상되고 나서, 모든 워드선(WL)을 H레벨로 한다. 그 후, 플레이트전위를 0V에서 (1/2)Vcc로 상승한다. 이 WL과 PL의 순서를 바꾸면, 셀 데이터가 파괴되기 쉽다. 이 때, 비트선(BL) 및 블록선택선(BS)은 0V 그대로이다. 그 후, 통상의 메모리셀 동작으로 이동한다.

전원 하강시에는 파워 OFF 리셋회로에 의해, Vcc가 Vccmin(Vcc의 하한)보다 하강하면, 또는 전원 off신호에 의해, PL을 0V로 한다. BL이 0V 또는 BS가 0V이면, 그 후에 WL이 하강해도 데이터는 파괴되지 않는다.

(제29실시예)

도 48은 본 발명의 제29실시예를 설명하기 위한 신호파형도이다. 이 실시예는 전원 ON/OFF의 바람직한 수순을 나타내고 있다. 구체적으로는 도 47에 덧붙여 셀어레이에 부(負)의 기판 바이어스 V_{BB} 를 인가하는 경우의 수순을 나타내고 있다.

종래 FRAM에 있어서는 $(1/2)V_{dd}$ 고정플레이트방식에서는 당연히 셀 데이터가 파괴되고, 스태바이시 플레이트를 0V로 한다. 플레이트전극을 0V에서 V_{dd} 까지 구동하는 플레이트 구동방식에 있어서는, 셀어레이의 기판 바이어스를 부로 인가하면, 스태바이중 축적노드가 0V 이하로 되기 때문에, 1데이터가 파괴되는 문제가 있어, 종래 FRAM에서는 셀어레이의 기판 바이어스를 0V로 했었다. 이에 대해 본 실시예에 있어서는 액티브중에는 물론, 스태바이중에도 셀어레이의 기판 바이어스 V_{BB} 를 부($=-V_B$)로 해도, 강유전체 캐패시터가 셀 트랜지스터로 쇼트되어 있기 때문에, 데이터가 파괴되지 않는다.

이에 의해, 1) 확산층과 셀 웰간에 역바이어스가 인가될 수 있기 때문에, pn접합용량의 저감에 의한 비트 선용량 저감이 가능하게 되어, 독출신호량이 증가한다. 2) $-V_{BB}$ 바이어스로, 셀 트랜지스터의 임계치 전압을 합쳐넣을 수 있어, 기판 바이어스 효과의 저감이 가능하게 된다. 3) 소자분리내압이 향상하는 등의 효과를 기대할 수 있다. V_{BB} 인가의 타이밍도 도 48에 나타난 바와 같이, 전원 ON시에 V_{BB} 를 상승, 강유전체 캐패시터를 쇼트하고 나서, V_{BB} 를 하강하면, 셀정보는 파괴되지 않는다. 전원 OFF시에도 V_{BB} 를 하강하기전에, V_{BB} 를 0V로 되돌리면 문제는 없다.

(제30실시예)

도 49는 본 발명의 제30실시예에 따른 FRAM의 기본구성을 나타낸 회로도이고, 메모리셀의 8셀분의 등가회로를 나타내고 있다.

본 실시예는 기본적으로는 상기 도 2의 구성과 마찬가지로, 이와 다른점은 도 1의 셀 트랜지스터를 0(공핍: Depletion)타입으로 하고, 임계치 전압을 부의 값으로 한 것이다. 동작으로서는 도 51에 나타난 바와 같이, 전원 OFF시 또는 스태바이시, 워드선 전압을 0V로 하여 셀 트랜지스터를 도통시켜, 선택셀의 워드선만 부의 전위로 하강, 셀 트랜지스터를 OFF 시킨다.

본 실시예의 장점은 제1, 스태바이중 워드선이 0V이기 때문에, 워드선 누설이 문제로 되지 않는다. 제2, 스태바이중에 고 V_{BB} 전압이 인가되지 않기 때문에, 디바이스의 신뢰성이 증가한다. 제3, 최대의 장점으로서 극히 노이즈에 강한 것을 들 수 있다. 전원 OFF중에도 셀 트랜지스터는 항상 ON이기 때문에, 셀 데이터가 확실히 지켜지고, 불의의 전원 OFF에도 강하다.

그 외, 임계치가 약한 부로 함으로써, V_{L} , BS선 전폭을 $-V_{pp}$, $-V_{cc}$ 로 하면, 스태바이시의 워드선의 누설에 의해 승압전위가 하강하는 것을 방지할 수 있다. 이는 V_{cc} 는 전원이고, 전류공급이 충분히 행해지기 때문이다.

(제31실시예)

도 50은 본 발명의 제31실시예에 따른 FRAM의 기본구성을 나타낸 회로도이다.

본 실시예는 상기 도 23의 셀 트랜지스터를 DE타입으로 하고, 임계치 전압을 부의 값으로 한 것이다. 동작으로서는 도 51에 나타난 바와 같이, 전원 OFF시 또는 스태바이시, 워드선 전압을 0V로 하여 셀 트랜지스터를 도통시켜, 선택셀의 워드선만 부의 전위로 하강, 셀 트랜지스터를 OFF 시킨다.

본 실시예의 장점은 제30실시예와 마찬가지로, 워드선 누설이 문제로 되지 않고, 디바이스의 신뢰성이 증가하며, 극히 노이즈에 강한 것이다.

더욱이, 도 49, 도 50에 있어서, 전원 OFF시에도 전원ON시의 비선택시에도 셀 트랜지스터가 ON하고 있음으로써, 셀에 알파선 등의 방사선이 해당되더라도, 이것에 의해 발생하는 수집전하에 의한 강유전체 캐패시터간의 전위차의 발생에 의한 소프트에러는 종래 셀과 다르고, ON하고 있는 셀 트랜지스터에 의한 강유전체 캐패시터간의 쇼트에 의해, 일어나기 어렵고, 신뢰성을 크게 향상할 수 있다. 이 비선택시 ON하고 있는 것은 종래 셀에서는 SNOI 부유하고 있기 때문에, 선택셀의 동작에 의한 기생용량 커플링 등의 노이즈의 영향을 받지만, 본 발명에서는 이를 방지할 수 있다. 도 51은 이 동작예를 나타낸다.

(제32실시예)

도 52~도 55는 본 발명의 제32실시예를 설명하기 위한 것으로, 각종 메모리구조의 예를 나타내고 있다.

도 52a는 비트선(BL)과 선택트랜지스터 접속의 비트선 다이콘부에 있어서, 상기 도 3a와 같이, 깊은 비트선 콘택트를 형성하지 않고, 일단 패드층(PAD)을 매개로 비트선(BL)에 접속하고 있다. 이 패드층(PAD)은 물론, 셀노드의 하부전극배선층이나 상부전극배선층과 공용해도 된다. 이 경우, 깊은 비트선 콘택트를 형성할 필요가 없게 되기 때문에, 그 제조가 용이하게 된다.

도 52b는 강유전체 캐패시터를 게이트 측벽부에도 형성한 경우의 예이다. 이 경우, 캐패시터 면적을 증대할 수 있다.

도 53c, 53d는 강유전체 캐패시터를 핀구조의 다중으로 형성한 경우를 나타낸다. 이 경우도, 캐패시터 면적을 증대할 수 있다. 종래 DRAM에서도 핀구조는 존재하지만, 그 경우 핀과 핀사이에 플레이트전극이 끼워져 있지만, 본 실시예에서는 핀간에는 플레이트전극이 끼워져 있지 않는 것이 특징이다.

도 54e는 셀노드를 비트선(BL) 상에 올리는 것으로 강유전체 캐패시터를 형성하고 있다. 도 54f도 도 54e와 마찬가지로, 강유전체막 형성후에 절연막을 형성하고, 콘택트홀 형성후에 상부전극을 형성하고 있다. 도 54e에 나타난 바와 같이, 강유전체 캐패시터는 기판과 수직방향으로 있어도 된다.

도 55g는 이제까지와 조금 다르고, 어떤 셀노드도 하부전극 형성후에 강유전체막을 형성하고, 그 후에 인접 셀노드 서로를 상부전극으로 접속하고 있다. 이 경우, 등가회로적으로 2개의 강유전체 캐패시터를 직렬접속한 형으로 되고, 셀용량이 반감하지만, 상부전극은 강유전체막에만 접속하면 되고, 제작이 쉬운

이점이 있다.

도 55h, 55i는 캐패시터 부분의 확대단면도이고, 강유전체막과 이에 접하는 상부전극 및 하부전극을 나타내고 있다. 도 55h는 Ti층 상에 하부전극으로서의 Pt막을 형성하고, 그 위에 강유전체막(SrBiTaO)의 혼성막을 만들고, 더욱이 상부전극에 Pt막을 형성한 예를 나타낸다. 도 55i는 Ti층 상에 하부전극으로서의 Pt막을 형성한 예를 나타낸다. 도 55i는 Ti층 상에 하부전극으로서의 Pt막을 형성하고, 그 위에 강유전체막(PbZrTiO)의 혼성막을 만들고, 더욱이 상부전극에 Pt막을 형성한 예를 나타낸다.

상부전극에는 그 위에 다른 금속이나 Si층을 형성해도 되고, 하부전극도 그 아래에 Si층이나 금속층을 접속해도 된다. 그 위에 TiPt의 금속장벽층을 매개로 강유전체막을 형성하고, 그 위에 Pt를 형성하고 있다. 또한, 그 위에 Si층을 형성해도 된다. 그 외, 셀의 전극으로 Ir, IrO₂ 등을 이용해도 된다.

또한, 도 54e의 변형으로서 확산층 상에 Si플래그를 형성하고, 그 위에 Ti층/TiN층/Pt층을 형성하고, 그 후에 강유전체막을 형성해도 된다. 또한, 강유전체 막으로서, BaSrTiO 계로 실현해도 된다. BaSrTiO 계는 Ba보다 Sr의 함유량을 많게하면, 강유전체 캐패시터로 된다. 이 강유전체 캐패시터의 전극으로서 SrRuO 를 이용하여 강유전체 캐패시터와 전극간에 격자정수의 불일치를 일으키고, 왜곡을 넣어 분극량의 증가를 행해도 된다. Ru, RuO 등의 전극을 이용해도 된다. 상부전극 형성후, TiO₂막/SiO₂막을 형성하면, 그 후의 H환원제의 각종 열처리에 의해, 강유전체 캐패시터로부터 산소가 빠져 분극량이 감소하는 문제를 회피할 수 있다. 이상 기술한 강유전체 캐패시터 형성은 졸겔법, 스퍼터법, CVD법, MOCVD법중 어느 하나를 이용해도 된다.

(제33실시예)

도 56은 본 발명의 제33실시예에 따른 FRAM의 메모리셀부 구성을 나타낸 단면도이다.

캐패시터의 하부전극 SNa 및 강유전체막 FR을 형성한 후, 강유전체막의 전부는 가공시키지 않고 부분적인 가공을 행하고, 캐패시터의 상부전극 SNb를 형성하고 있다. 즉, 강유전체막이 부분적으로 접속되어 있다. 강유전체막은 막 형성방향에 이방성을 갖기 때문에, 이 예에서는 분극이 Si면에 수직방향으로 일어나고, 수평방향에 나머지 발생은 없다. 이 때문에, 상기와 같은 구성에서도 하등 문제는 없다. 상술의 모든 셀예에서도 동일한 구성을 취하는 것이 가능하다. 등방성 재료에서도 거리가 떨어져 있으면, 문제없다.

(제34실시예)

도 57은 본 발명의 제34실시예에 따른 FRAM의 메모리셀부 구성을 나타낸 단면도이다. a는 비트선 방향의 단면을 나타내고, b는 a의 A-A' 부분을 절단한 워드선 방향의 단면을 나타낸다.

캐패시터의 하부전극을 홀과 같이(구멍으로도 된다) 형성하고, 그 중에 강유전체막을 형성하고, 상부전극을 형성하고 있다. 이 구조에서는 강유전체막 면적을 증대시켜, 메모리셀의 분극량을 증대시킬 수 있다.

(제35실시예)

도 58은 본 발명의 제35의 실시예에 따른 FRAM의 메모리셀부 구성을 나타낸 단면도이다. 상기 셀구조는 다르고, 모든 축적노드(SN)를 동시에 형성후, 인접 SN간에 강유전체막을 퇴적시키면, 본 발명의 등가회로를 실현할 수 있다.

본 실시예의 특징은 제1, 하부전극을 동시에 형성할 수 있기 때문에, 프로세스 비용을 절감할 수 있다. 이는 종래 1트랜지스터+1캐패시터의 셀과 비교해도 플레이트전극(PL)을 별도로 형성할 필요가 없고, 비용에 장점이 있다. 제2, 상부전극을 형성하는 경우, 셀 트랜지스터의 확산층으로부터 노드를 인출하기 위하여, 강유전체막 사이를 분리하여 노드를 인출할 필요가 있었지만, 이 문제도 해결할 수 있다. 제3, SN의 두께를 증가하면, 셀분극량을 자유롭게 증가할 수 있다.

제4, 강유전체막의 상유전체 성분은 강유전체막 두께를 저감하면, 증가하지만, 불휘발성에 중요한 잔류분극량은 막 두께에 의존하지 않는다. 막 두께를 감소시키면, 항전압만 감소한다. 결국, 항전압조차 충분히 감소할 수 있으면, 막 두께를 감소하는 장점이 없게 된다. 반대로, 상유전체 성분만 증가하고, 독출마진이 저하할 뿐이다.

이 결과는 셀크기가 미세화 하고 있었던 경우, 예컨대 미세한 0.25 μm 의 256M비트 FRAM 제조시에서도 강유전체막 두께가 250nm정도일 가능성이 있고, 이 경우 SN간의 거리도 0.25 μm 로 형성되는 것으로 하면, 본 셀구성에서도 강유전체막 형성전의 SN간 거리는 요구된 강유전체막 두께와 일치하고, 설계 룰 이하의 무리한 SN간 거리를 유지할 필요가 없다.

도 59는 본 실시예의 변형예를 나타낸 단면도이다. 이는 도 58의 셀형성시, 강유전체막을 전극(SN)사이만이 아니라, SN 상에도 잔류한 경우를 나타낸다. 이와 같이, SN 상에 강유전체막을 형성해도(SN사이로)의 강유전체막의 매립공정상 할 수 없이, SN상에 형성되어도, 그 위의 SiO₂ 등의 절연막이 형성되어 있는 것으로 이 SN 상의 강유전체막은 쌍전극을 갖지 않고, 동작상 무관할 수 있다.

(제36실시예)

도 60은 본 발명의 제36실시예에 따른 FRAM의 메모리셀부 구성을 나타낸 단면도이다. 이는 도 59의 셀에 대해 R₁형성후에, 강유전체막(FR) 및 전극(SN)을 형성한 경우를 나타낸다. 이 경우, R₁형성시에 있어서의 SN막 두께에 의한 셀 단차의 영향이 없게 되기 때문에, SN막 두께를 두껍게 하여 셀의 잔류분극량을 증가시킬 수 있다.

더욱이, 도 57의 강유전체 캐패시터막의 입체형성이나, 도 58, 59, 60의 전극 사이로의 강유전체 캐패시터막의 매립에는 CVD법, MOCVD법을 적용하고 있다.

(제37실시예)

도 61은 본 발명의 제37실시예에 따른 FRAM의 메모리셀부 구성을 나타낸 단면도이다.

상기 도 3 등의 셀구조에서는 4F 셀을 구성하면, 강유전체 캐패시터를 평면에만 형성하면, 강유전체 캐패시터 면적은 1F로 되고, 종래의 8F 셀에서는 2F~3F로 되는 것에 대해, 1셀당 분극량이 감소하는 문제점이 있었다.

이 문제는 도 61에 나타난 바와 같이, 예컨대 4층의 캐패시터 전극량을 이용함으로써, 해결할 수 있다. 워드선(WL)보다도 상방에 캐패시터 전극으로 되는 도전체층이 4층 형성되고, 각각의 전극은 셀 트랜지스터의 소스·드레인에 접속되어 있다. 제1층패와 제3층패의 전극은 전기적으로 접속되어 있다.

셀 직렬의 어느 노드(셀 트랜지스터의 소스·드레인)에 제1, 제2층패의 전극을 연결, 인접하는 한쪽의 노드에 제2층패의 전극을 연결, 다른쪽의 노드에 제4층패의 전극을 연결한다. 그리고, 제1, 제3층패와 제2층패의 전극간에 강유전체 캐패시터막을 형성하고, 더욱이 제3층패와 제4층패의 전극간에 강유전체 캐패시터막을 형성한다.

여기서, 제3층패와 제4층패의 전극간에 강유전체막은 3F분만 형성할 수 있으며, 제1, 제3층패와 제2층패의 전극간의 강유전체막은 3F분 이상으로 형성할 수 있다. 따라서, 4F 셀에도 불구하고, 3F분의 캐패시터 면적을 벌수 있으며, 종래와 동등의 분극량을 확보할 수 있다. 물론, 이 셀은 평면 강유전체막 뿐만 아니라, 도 57에 나타난 바와 같이, 더욱이 입체화하여 셀면적을 벌수 있다.

또한, 도 62는 본 실시예의 변형예이고, 도 61과 다르게, 비트선 형성후에 강유전체 캐패시터를 형성하고 있다.

(제38실시예)

도 63은 본 발명의 제38실시예에 따른 FRAM의 메모리셀부를 나타낸 등가회로도 및 타이밍도이다.

도 63a에 나타난 바와 같이, 강유전체 캐패시터와 셀 트랜지스터(WL00~WL15)의 병렬접속으로 1셀을 구성하고, 이를 복수직렬접속하고, 더욱이 이것에 4개의 선택블록선(BS00~BS03)으로 제어되는 4개의 선택블록 트랜지스터를 직렬접속한 것을 접속하여 셀블록을 구성한다. 셀블록의 일단은 플레이트전극에 접속한다. 이미, 일단은 비트선(BL)에 접속한 것이지만, 셀(Q30, C30)을 포함하는 제1셀블록과, 셀(Q31, C31)을 포함하는 제2셀블록의 이미 일단은 공통의 비트선(/BL)에 접속되고, 셀(Q32, C32)을 포함하는 제3셀블록, 셀(Q33, C33)을 포함하는 제4셀블록의 이미 일단은 공통의 비트선(BL)에 접속된다.

선택블록 트랜지스터는 도 63a에 나타난 바와 같이, 각 셀블록에 임계치가 정(正)인 트랜지스터의 1개와, 부(負)인 트랜지스터의 3개를 혼재시킨다. 4개의 선택블록선(BS00~BS03)에 의해, 메모리셀 선택시는 이 제1~제4셀블록 내 1개의 셀블록만 선택할 수 있도록 된다.

예컨대, 도 63b의 타이밍 차트에 나타난 바와 같이, BS00만 High레벨로 하면, 제1셀블록만 선택할 수 있는 것을 알 수 있다. 이는 제1셀블록만 4개 직렬의 선택트랜지스터가 전부 ON하기 때문이다. 이 결과, WL02 선택시는 셀(Q30, C30)만 선택되고, 셀 데이터가 /BL에 독출되고, BL측에는 독출되지 않고 풀 디드 비트선 구성을 실현할 수 있다. 따라서, 상기 도 23과 마찬가지로, 오픈 비트선 구성과 비교하여 저노이즈, 센스앰프 피치의 완화, 센스앰프가 센스앰프 양측의 셀어레이로 공용할 수 있는 것(Shared S/A)에 의한, 센스앰프수가 반감할 수 있는 효과가 있다.

본 실시예에서는 이들 효과에 비해, 더욱이 비트선 피치가 도 23의 2배로 완화할 수 있는 비트선 피치 완화형 풀디드 비트선 구성이 취해진다. 이에 의해, 비트선 제도가 극히 용이하게 되고, 특성적으로도 비트선 서로가 멀어지기 때문에, BL-BL간 컵링 노이즈를 저감할 수 있다. 더욱이, 새로운 효과로서 센스앰프 피치도 도 23에 비해 더욱 2배로 완화할 수 있고, 센스앰프회로 형성을 용이하게 하고, 더욱이 센스앰프수 자체도 도 23의 1/2로 할 수 있으며, 칩크기의 저감효과가 있다.

또한, 상기 도 28c와 같이, 센스앰프를 복수의 비트선으로 공용하면, 센스앰프수는 감소해도, BL피치는 완화할 수 없고, 더욱이 후에 다른 BL을 선택할 필요성을 수반한다. 도 28c와 도 30b를 조합시키면, 센스앰프를 공용하면서 다른 선택하지 않은 BL에 셀 데이터를 읽지 않게 하는 것도 가능하지만, 비트선의 완화는 물론 가능하지 않고, 더욱이 독출전에 선택비트선만, 비트선을 도 30b와 같이 Vss로 하강(상승 방식도 가능)할 필요가 있고, 액세스 속도의 저하를 초래한다. 이에 대해, 도 63의 방식은 이 액세스 속도의 페널티가 없다.

(제39실시예)

도 64는 본 발명의 제39실시예에 따른 FRAM의 메모리셀구성을 나타낸 등가회로도 a와 타이밍도 b이다.

도 63과 거의 구성 및 효과는 동일하고, 다른점은 선택블록 트랜지스터는 도면에 나타난 바와 같이, 각 셀블록에 임계치가 정인 트랜지스터를 2개와, 부인 트랜지스터를 2개 혼재시킴으로써, 구성한다.

메모리셀 선택시는 이 4개의 선택블록선(BS00~BS03) 내 2개를 High레벨로 하고, 이 제1~제4셀블록 내 1개의 셀블록만 선택할 수 있도록 된다. 즉, BS02, BS03중 어느것을 선택하여 위의 2개의 셀블록이든 아래의 2개의 셀블록이든 선택하고, BS00, BS01로 각 2개의 셀블록 내의 1개를 선택한다.

(제40실시예)

도 65는 본 발명의 제40실시예에 따른 FRAM의 메모리셀구성을 나타낸 등가회로도 a와 타이밍도 b이다.

도 64와 거의 구성 및 효과는 동일하고, 다른 효과로서 선택블록 트랜지스터수를 저감하고 있다. 동작은 도 64와 동일하고, 메모리셀 선택시는 이 4개의 선택블록선(BS00~BS03) 내 2개를 High레벨로 하고, 제1~제4셀블록 내 1개의 셀블록만 선택할 수 있도록 된다.

즉, BS02, BS03중 어느것을 선택하여 위의 2개의 셀블록이든 아래의 2개의 셀블록이든 선택하고, BS00, BS01로 각 2개의 셀블록 내의 1개를 선택한다. BS02, BS03의 게이트용량의 저감, 비트선용량의 저감, 선택블록 트랜지스터의 용 완화가 가능하게 된다.

(제41실시예)

도 66은 본 발명의 제41실시예에 따른 FRAM의 메모리셀구성을 나타낸 등가회로도 a와 타이밍도 b이다.

더미셀도 셀의 직렬수를 1단으로만 했을 뿐으로, 메모리셀과 같은 구성으로 실현할 수 있다. 동작으로서는 예컨대 도 66b에 나타낸 바와 같이, 메모리셀(Q30, C30) 선택시, 셀 데이터는 7BL로 독출된다. 이 때, 동시에 DBS00을 상승, DWL을 하강하면, 더미셀 데이터도 기준 8L인 (8L)로 독출됨을 알 수 있다. 상세한 동작은 상기 도 41과 같고, 더미셀의 분극반전 피로를 억제할 수 있다.

(제42실시예)

도 67은 본 발명의 제42실시예에 따른 FRAM의 메모리셀구성을 나타낸 등가회로도 a와 타이밍도 b이다.

도 67은 도 63의 실시예의 더미셀구성의 다른 일예를 추가한 형태를 나타낸다. 도 66에 비해 더미셀수를 감소하여 용의 완화가 가능하게 된다. 동작으로서는 예컨대, 도 67b에 나타낸 바와 같이, 메모리셀(Q30, C30) 선택시, 셀 데이터는 7BL로 독출된다. 이 때, 동시에 DBS02를 상승, DWL을 하강하면, 더미셀 데이터도 기준 8L인 (8L)로 독출됨을 알 수 있다. 상세한 동작은 상기 도 41과 마찬가지로, 더미셀의 분극반전 피로를 억제할 수 있다.

여기서, 도 68에 도 67의 실시예의 더미셀을 복수직렬접속한 경우를 나타낸다. 도 40b, 도 42와 같은 효과가 있다. 또한, 도 69에 도 65의 실시예에 접속할 수 있는 더미셀을 복수직렬접속한 경우를 나타낸다. 도 40b, 도 42와 같은 효과가 있다.

(제43실시예)

도 70은 본 발명의 제43실시예에 따른 FRAM의 메모리셀구성을 나타낸 등가회로도 a와 타이밍도 b이다.

도 70은 도 63의 실시예의 메모리셀 트랜지스터에 공핍형 트랜지스터를 채용한 경우를 나타낸다. 동작으로서는 도 70b에 나타낸 바와 같이, 전원 OFF시 또는 스탠바이시, 워드선 전압을 0V로 하고, 셀 트랜지스터를 도통시켜, 선택셀의 워드선만 부의 전위로 하강, 셀 트랜지스터를 OFF한다.

본 실시예는 도 63의 효과에 덧붙여, 도 49, 도 50과 마찬가지로 1) 스탠바이중의 웰 누설이 문제되지 않고, 2) 스탠바이시에 고전압이 인가되지 않고, 3) 노이즈에 강하고, 불의의 전원 OFF에 강하며, 4) 전원 OFF시, 스탠바이시, 공히 방사선에 의한 소프트웨어에 강한 등의 효과가 얻어진다.

(제44실시예)

도 71은 본 발명의 제44실시예에 따른 FRAM의 메모리셀구성을 나타낸 등가회로도 a와 타이밍도 b이다.

도 71은 도 64의 실시예의 메모리셀 트랜지스터에 공핍형 트랜지스터를 채용한 경우를 나타낸다. 본 실시예는 도 64의 효과에 덧붙여, 도 49, 도 50과 마찬가지로, 1) 스탠바이중의 웰 누설이 문제되지 않고, 2) 스탠바이시에 고전압이 인가되지 않고, 3) 노이즈에 강하고, 불의의 전원 OFF에 강하며, 4) 전원 OFF시, 스탠바이시, 공히 방사선에 의한 소프트웨어에 강한 등의 효과가 얻어진다.

(제45실시예)

도 72는 본 발명의 제45실시예에 따른 FRAM의 메모리셀구성을 나타낸 등가회로도 a와 타이밍도 b이다.

도 72는 도 65의 실시예의 메모리셀 트랜지스터에 공핍형 트랜지스터를 채용한 경우를 나타낸다. 본 실시예는 도 65의 효과에 덧붙여, 도 49, 도 50과 마찬가지로, 1) 스탠바이중의 웰 누설이 문제되지 않고, 2) 스탠바이시에 고전압이 인가되지 않고, 3) 노이즈에 강하고, 불의의 전원 OFF에 강하며, 4) 전원 OFF시, 스탠바이시, 공히 방사선에 의한 소프트웨어에 강한 등의 효과가 얻어진다.

(제46실시예)

도 73은 본 발명의 제46실시예에 따른 FRAM의 메모리셀구성을 나타낸 등가회로도 a와 타이밍도 b이다.

도 73은 도 66의 실시예의 메모리셀 트랜지스터에 공핍형 트랜지스터를 채용한 경우를 나타낸다. 더욱이, 더미셀 트랜지스터도 공핍형 트랜지스터를 채용하고 있다.

본 실시예는 도 66의 효과에 덧붙여, 도 49, 도 50과 마찬가지로, 1) 스탠바이중의 웰 누설이 문제되지 않고, 2) 스탠바이시에 고전압이 인가되지 않고, 3) 노이즈에 강하고, 불의의 전원 OFF에 강하며, 4) 전원 OFF시, 스탠바이시, 공히 방사선에 의한 소프트웨어에 강한 등의 효과가 얻어진다.

(제47실시예)

도 74는 본 발명의 제47실시예에 따른 FRAM의 메모리셀구성을 나타낸 등가회로도 a와 타이밍도 b이다.

이는 도 67의 실시예의 메모리셀 트랜지스터에 공핍형 트랜지스터를 채용한 경우를 나타낸다. 더욱이, 더미셀 트랜지스터도 공핍형 트랜지스터를 채용하고 있다.

본 실시예는 도 67의 효과에 덧붙여, 도 49, 도 50과 마찬가지로, 1) 스탠바이중의 웰 누설이 문제되지 않고, 2) 스탠바이시에 고전압이 인가되지 않고, 3) 노이즈에 강하고, 불의의 전원 OFF에 강하며, 4) 전원 OFF시, 스탠바이시, 공히 방사선에 의한 소프트웨어에 강한 등의 효과가 얻어진다.

(제48실시예)

도 75는 본 발명의 제48실시예에 따른 FRAM의 메모리셀부 구성을 나타낸 평면도 b와 단면도 a이다. 이

는 등가회로적으로는 도 63에 대응한다.

4개의 선택블록선이 게이트배선으로 구성되어 있으며, 4개 직렬의 선택트랜지스터는 4개 중 3개가 0타입 트랜지스터 형성용의 이온주입 마스크를 이용하여 이온주입함으로써, 공핍형 트랜지스터로 된다. 이 경우, 비트선 피치가 셀피치의 2배로 크게 완화되어 있는 것을 알 수 있다.

(제49실시예)

도 76은 본 발명의 제49실시예에 따른 FRAM의 메모리셀부 구성을 나타낸 평면도 b와 단면도 a이다. 이는 등가회로적으로는 도 63에 대응한다. 도 75가 강유전체 캐패시터 형성후, 비트선을 구성하고 있는 것에 대해, 도 76에서는 비트선 형성후, 강유전체 캐패시터를 구성하고 있다.

강유전체 캐패시터 형성후, 비트선을 구성하는 셀의 경우, 상기 도 25에 나타낸 바와 같이, 비트선 배선의 틈에서 SN을 위로 나올 필요가 있기 때문에, BL콘택트를 1/2피치 비켜놓을 필요가 있고, BL콘택트부에서 면적을 소모하는 문제점이 있었다. 이에 대해, 도 76에서는 비트선은 2개의 셀블록의 셀간에 BL을 확대할 수 있으며, 저절로 BL과 셀의 SN은 1/2피치 벗어나고, 면적의 오버헤드가 없고, 비트선 배선의 틈에서 SN을 위로 나오는 것이 가능하다.

또한, 장점은 BL콘택트부분의 설계 룰도 2배로 되고, 도 76에 나타낸 바와 같이, BL콘택트크기, 그 합침 여유를 크게 취하는 것이 가능하게 된다.

(제50실시예)

도 77은 본 발명의 제50실시예에 따른 FRAM의 메모리셀부 구성을 나타낸 평면도 b와 단면도 a이다. 이는 등가회로적으로는 도 72에 대응한다.

4개의 선택블록선이 게이트배선으로 구성되어 있으며, 비트에 가까운 2개의 선택트랜지스터의 폭이 2배로 완화되어 있다. 이 예에서는 비트에 가까운 2개의 선택트랜지스터 크기는 동일하고, 간격의 폭을 3배로 완화하여, 선택트랜지스터의 게이트용량을 반감하고 있다. 이 예에 있어서도, 비트선 피치, 비트선 콘택트피치가 셀피치의 2배로 크게 완화되어 있는 것을 알 수 있다.

(제51실시예)

도 78은 본 발명의 제51실시예에 따른 FRAM의 메모리셀부 구성을 나타낸 평면도 b와 단면도 a이다. 이는 등가회로적으로는 도 72에 대응한다.

4개의 선택블록선이 게이트배선으로 구성되어 있으며, 비트에 가까운 2개의 선택트랜지스터의 폭이 2배로 완화되어 있다. 이 예에서는 비트에 가까운 2개의 선택트랜지스터 크기를 3배로 완화하여, 간격의 폭을 종래와 마찬가지로 한 예를 나타낸다. 이 예에서는 비트선 피치, 비트선 콘택트피치가 셀피치의 2배로 크게 완화되어 있는 것을 알 수 있다.

도 79 ~ 도 81은 본 발명의 효과를 정량적으로 나타내는 시뮬레이션 평가결과를 나타낸다. 도 79a는 0.45 μ m 룰 64M비트 FRAM을 판정한 경우의 본 발명의 직렬셀수에 대한 비트선용량(BL용량)을 나타낸다.

종래의 8F 크기의 FRAM의 비트선용량은 1개의 비트선에 연결되는 셀수를 512WL로 하면, 약 265fF로 되는 것에 대해, 본 발명에서는 직렬수를 증가시킴에 따라 BL용량이 크게 저감되고, 셀 직렬수를 8, 16, 32정도로 하면, 종래 셀의 약 1/4로 비트선용량을 저감할 수 있는 것을 알 수 있다. 이는 직렬수를 증가시킴수록, BL콘택트수가 저감되고, BL용량이 감소하기 때문이다.

도면중에 나타낸 NAND형 DRAM의 경우, 직렬수를 증가시키면, BL콘택트에 대해, 가장 구석의 셀을 읽을 경우, 도중의 셀이 BL용량으로 보고, 직렬수를 4보다 크게 하면, 역으로 BL용량이 쇼트하고 있기 때문에, 캐패시터간에 전압이 인가되지 않고, 용량으로 보지 않기 때문에, 직렬수를 64 이상으로 하지 않으면, 단점은 보이지 않는다. 역으로 말하면, 1개의 비트선에 연결되는 셀수를 1024개 WL과 4배로 해도, 도 79a에 나타낸 바와 같이, 종래와 동일한 비트선용량을 유지할 수 있으며, 결과로서 센스앰프수를 종래의 1/4로 할 수 있어 칩면적 저감효과가 있다.

도 79b는 본 발명의 셀 직렬수에 대한 셀 데이터 독출지연의 관계를 나타낸다. 셀직렬수를 8, 16으로 해도, 셀 독출지연은 종래의 8F 셀 FRAM에 비해, 1.5ns~4ns의 약간의 지연으로 실현할 수 있다. 이에 비해, 종래 방식은 리프레쉬를 피해, PL구동방식을 채용하면, 이 지연 이상의 큰 지연을 갖는다. 본 방식에서는 (1/2)Vcc 고정 PL방식에서도 리프레쉬가 불필요하다. 결과로서, 16직렬정도는 충분히 속도단점없이 실현가능한 것으로 생각된다. 또한, PL구동방식에서도 PL을 SI이나 Cu배선으로, Snap하기 쉽기 때문에, 종래에 비해 고속이다.

도 80은 본 발명 특유의 문제점을 나타낸다. 본 방식에 있어서는 셀의 독출/기록동작시, 선택된 셀블록의 선택셀 이외의 비선택셀은 워드선이 High레벨을 유지하기 때문에, 논리상은 쇼트되고, 비선택셀의 강유전체 캐패시터의 2개의 전극간에는 전압이 인가되지 않을 것이다. 그렇지만, 비선택셀의 트랜지스터에는 ON저항이 존재하기 때문에, 셀 데이터 독출시(도 80a), 셀 데이터에 독출하면 역 데이터를 기록하는 경우, 짧은 동안이기는 하지만 순간적으로 전압차가 발생하고, 비선택셀 데이터를 파괴할 우려가 있다.

그러나, 이 문제점도 셀직렬수가 증가됨에 따라 작은 값으로 억제할 수 있다. 이는 직렬수의 증가에 따라, 전체의 인가전압은 일정하기 때문에, 1셀당 최대 인가전압이 (인가전압/직렬수)의 저감에 의해 저해하기 때문이다. 따라서, 직렬수를 증가시키면, 충분히 마진이 취해진다(선택셀의 기록전압의 10% 미만의 노이즈로 억제된다). 기록시에도 마찬가지이고, 도 80b에 나타낸 바와 같이, 더욱 기록시간이 느려지면, 이 문제도 완화된다. 통상 기록시간은 수10ns의 단위이기 때문에, 도 80b에 나타낸 바와 같이, 충분히 마진을 갖고, 노이즈를 10% 미만으로 할 수 있다.

도 81은 본 발명의 셀크기, 칩크기의 셀직렬수 의존성을 나타낸다. 도 81a에 나타낸 바와 같이, 셀직렬수를 증가하면, 셀면적에 차지하는 선택트랜지스터의 비율이 저해하고, 최소논리치의 4F에 가깝다. 독

출속도의 관점으로부터 8~16직렬정도까지 가능하기 때문에(느린속도를 허용하면, 더욱 작게할 수 있다), 4.5F~5F 셀 정도는 용이하게 실현할 수 있다. 도 81b에 칩크기를 나타낸다. 직렬수의 증가와 더불어, 칩크기는 작게할 수 있다.

비트선 물 완화 풀디드 BL방식은 선택트랜지스터가 증가하고, 셀블록크기는 풀디드 BL방식보다 크지만, 센스앰프수를 더욱 반감할 수 있기 때문에, 셀직렬수를 16이상으로 하면, 선택트랜지스터 증가의 단점이 보이지 않게 되고, 역으로 칩크기를 작게할 수 있다.

(제52실시예)

도 82는 본 발명의 제52의 실시예에 따른 FRAM의 메모리셀구성을 나타낸 등가회로도이다.

이제까지 나타낸 실시예에서는 강유전체 캐패시터와 셀 트랜지스터의 병렬접속한 것을 직렬접속하여, 비트선측과의 접속부에 선택트랜지스터를 삽입한 형을 예를 들었다.

이들 상술의 실시예에 있어서, 선택트랜지스터를 도 82에 나타낸 바와 같이, PL측에 접속해도 된다. 더욱이, 강유전체 캐패시터와 셀 트랜지스터의 병렬접속한 것의 직렬접속 도중의 사이에 삽입해도 된다. 다만, PL측에 접속하면, 강유전체 캐패시터는 쇼트하여 그 용량은 보이지 않지만, 그 외의 트랜지스터의 ON 경우의 채널용량 등은 BL용량의 증가로 보여진다.

(제53실시예)

도 83은 본 발명의 제53실시예에 따른 FRAM의 메모리셀구성을 나타낸 등가회로도이다.

이제까지 나타낸 실시예에서는 강유전체 캐패시터와 셀 트랜지스터의 병렬접속한 것을 직렬접속하고, 선택트랜지스터를 매개로 비트선에 접속하고, 다른쪽을 PL에 접속하고 있었다. 이에 대해, 도 83의 예에서는 일단을 비트선(BL0)에, 타단을 쌍을 이루는 비트선(BLH0)에 접속하고 있다.

이 구성에 의해, BLH0, BL0에 전위차를 부여함에 있어서, BLH0, BL0를 플로팅으로 하고, 선택블록선을 High, 워드선을 Low로 하여, 셀 데이터를 독출하면, 예컨대 0데이터의 경우, BLH0측에 $-(Pr+Ps)$ 분, BL0측에 $+(Pr+Ps)$ 분의 전하가 독출되고, 상술의 실시예에 비해, 약 2배의 독출전하량이 얻어진다. 이는 독출마진의 향상이나, 셀캐패시터 면적의 축소를 가능하게 한다.

더욱이, 선택트랜지스터를 편방으로 밖에 접속하고 있지 않지만, 비선택셀의 노드가 V_{cc} 이상, V_{ss} 이상으로 되어 신뢰성을 열화시키지 않는다. 이는 종래 셀에 본 방식을 채용하면, 플로팅된 셀노드가 캐패시터 커플링에, V_{cc} 이상, V_{ss} 이상으로 되지만, 본 실시예의 비선택셀은 셀 트랜지스터가 ON으로 하여 강유전체 캐패시터를 쇼트하고 있기 때문에 이 문제가 일어나지 않기 때문이다.

또한, 기준 비트선은 동일 셀어레이 메트에 있는 BLH1, BLL1이고, 풀디드 BL구성으로 된다. BLH1, BLL1에 데이터를 독출하는 경우는 BLH0, BL0가 기준 BL로 된다. 센스앰프부에서는 BLH0-BL0와 BLH1-BLL1의 차로 1, 0을 판단한다.

(제54실시예)

도 84는 본 발명의 제54실시예를 설명하기 위한 타이밍도이고, 도 83의 실시예의 동작의 일예를 나타내고 있다.

프리차아지시, BLH0을 V_{cc} , BL0을 V_{ss} 로 하여, 액티브시에 우선, BLH0, BL0를 플로팅으로 하고, 다음에 선택블록선(BS00)을 High, 워드선(WL02)을 Low로 하여, 셀 데이터(Q30, C30)를 독출한다((A)의 시간).

0데이터의 경우, BLH0측에 $-(Pr+Ps)$ 분, BL0측에 $+(Pr+Ps)$ 분의 전하가 독출되고, 상술한 실시예에 비해, 약 2배의 독출전하량이 얻어진다. 그 후, BLH0와 BL0의 전위차가 기준보다 크면 1데이터로서 센스앰프로 증폭되고, 작으면 0데이터로 증폭된다((B)의 시간). 그 후, (C)의 시간에 라이트(리스토어)가 행해진다. 그리고, (D)의 시간에, 프리차아지 되고, 원래의 BLH0= V_{cc} , BL0= V_{ss} 로 되돌아 간다. 도면중의 실선은 0데이터의 독출/재기록동작예를 나타내고, 점선은 1데이터의 독출/재기록동작예를 나타낸다.

(제55실시예)

도 85는 본 발명의 제55실시예에 따른 FRAM의 메모리셀구성을 나타낸 등가회로도이다. 본 실시예는 도 83의 실시예에 더미셀의 실시예의 하나를 추가한 것이다.

본 실시예에 있어서는 더미셀도 셀과 동일한 형태를 채용하고, 선택트랜지스터를 매개로, 일단을 비트선(BL0)에 타단을 쌍을 이루는 비트선(BLH0)에 접속하고 있다.

이 구성에 의해, 더미셀은 반드시 1데이터를 독출시키도록 하여, BLH0측에 $-(Ps'-Pr')$ 분, BL0측에 $+(Ps'-Pr')$ 분의 전하가 독출되고, 상술의 실시예의 더미셀에 비해, 약 2배의 독출전하량이 얻어진다. 그리고, 셀의 $Ps=Ps'-Pr'$ 로 되도록 더미셀 크기를 크게하면, 셀의 1데이터와 0의 중간값 데이터가 독출된다.

(제56실시예)

도 86은 본 발명의 제56실시예를 설명하기 위한 타이밍도이고, 도 85의 실시예의 동작의 일예를 나타내고 있다.

프리차아지시, BLH0을 V_{cc} , BL0을 V_{ss} 로 하여, 액티브시에 우선, BLH0, BL0를 플로팅으로 하고, 다음에 선택블록선(BS00)을 High, 워드선(WL02)을 Low로 하여, 셀 데이터(Q30, C30)를 독출한다. 동시에, DBS00을 상승, 0WL을 하강함으로써, 1의 더미셀 데이터가 BLH0측과, BL0측에 독출된다. 다만, 더미셀 크기가 통상의 셀보다 크고, 신호는 통상셀의 1과 0데이터의 중간치를 취한다((A)의 시간).

0데이터의 경우, BLH0측에 $-(Pr+Ps)$ 분, BL0측에 $+(Pr+Ps)$ 분의 전하가 독출되고, 상술한 실시예에 비해, 약 2배의 독출전하량이 얻어진다. 그 후, BLH0와 BL0의 전위차가 기준 비트선간 BLH1과 BLL1의 전위차

보다 크면 1데이터로 센스앰프로 증폭되고, 작으면 0데이터로 증폭된다(8)의 시간). 그 후, (C)의 시간에 라이트(리스토어)가 행해진다.

그리고, (D)의 시간에, 프리차아지 되고, 원래의 $BLH0=V_{cc}$, $BLL0=V_{ss}$, $BLH1=V_{cc}$, $BLL1=V_{ss}$ 로 되돌아가고, 더미셀은 원래의 1데이터가 기록된다. 도면중의 실선은 0데이터의 독출/재기록동작예를 나타내고, 점선은 1데이터의 독출/재기록동작예를 나타낸다.

(제57실시예)

도 87은 본 발명의 제57실시예에 따른 FRAM의 메모리셀구성을 나타낸 등가회로도이다.

도 83의 실시예에 비해, 셀의 직렬접속의 양단에 선택트랜지스터를 삽입하여, $BLH0$, $BLL0$ 에 접속하고 있다. 이 경우, 셀블록 크기는 커지지만, $BLH0$, $BLL0$ 의 양측에 셀 직렬접속 내의 강유전체 캐패시터의 용량을 제거 기생용량을 보이지 않게 할 수 있다.

(제58실시예)

도 88은 본 발명의 제58실시예에 따른 FRAM의 메모리셀구성을 나타낸 등가회로도이다.

도 83-도 87의 방식은 기준 비트선이 동일 셀어레이 메트에는 풀디드 BL구성이지만, 도 88의 구성은 기준 비트선이 센스앰프회로의 반대측의 셀어레이 메트로 있는 오픈 BL구성의 경우를 나타낸다. 이 경우, 선택트랜지스터수를 반감할 수 있다.

(제59실시예)

도 89는 본 발명의 제59실시예에 따른 FRAM의 메모리셀구성을 나타낸 등가회로도이다.

도 88과 마찬가지로, 기준 비트선이 센스앰프회로의 반대측의 셀어레이 메트에 있는 오픈 BL구성의 경우를 나타내고, 선택트랜지스터가 셀의 직렬접속의 양측에 배열설치된다. 이것에 의해, 비선택셀블록의 셀직렬접속 내의 기생용량이 BL용량으로 보이는 것을 없게할 수 있다.

(제60실시예)

도 90은 본 발명의 제60실시예에 따른 FRAM의 메모리셀부 구성을 나타낸 평면도 b와 단면도 a이다. 이 셀구조는 도 89의 회로와 등가이다.

셀블록과 BL의 BL콘택트를 셀블록의 양측에 도면으로 나타낸 바와 같이, 셀 1파치 비켜 놓으면, 용이하게 $BLH0$ 와 $BLL0$ 에 접속할 수 있다. 예컨대, 좌측의 선택트랜지스터를 생략하고, 우측의 선택트랜지스터를 4직렬로 하면, 도 83의 회로와 등가로 된다.

(제61실시예)

도 91은 본 발명의 제61실시예에 따른 FRAM의 메모리셀구성을 나타낸 등가회로도이다.

강유전체 캐패시터와 셀 트랜지스터의 병렬접속한 것을 직렬접속하고, 겨우 1개의 선택트랜지스터를 매개로, 일단을 비트선($BLL0$)에, 타단을 쌍을 이루는 비트선($BLH0$)에 접속하고 있다. 이 구성에 의해, 셀크기는 $8F^2$ 로 되는 오픈 BL구성이지만, 약 2배의 독출전하량이 얻어진다.

(제62실시예)

도 92는 본 발명의 제62실시예에 따른 FRAM의 메모리셀구성을 나타낸 등가회로도이다.

강유전체 캐패시터와 셀 트랜지스터의 병렬접속한 것을 직렬접속하고, 불과 1개의 선택트랜지스터를 매개로, 일단을 비트선($BLL0$)에, 타단도 불과 1개의 선택트랜지스터를 매개로, 쌍을 이루는 비트선($BLH0$)에 접속하고 있다. 이 구성에 의해, 셀크기는 $8F^2$ 로 되는 오픈 BL구성이지만, 약 2배의 독출전하량이 얻어지고, 더욱이 셀직렬 내의 기생용량에 의한 BL용량의 중대를 막는다.

(제63실시예)

도 93은 본 발명의 제63실시예에 따른 FRAM의 센스앰프 구성을 나타낸 등가회로도이다. 이 센스앰프회로는 도 85-도 86의 신호량 2배, 풀디드 BL구성의 실시예에 적용할 수 있는 일례를 나타낸다. 또한, 이 동작의 일례를 도 94에 나타낸다.

동작으로서는 /PREH를 High, PREL을 Low로 하고, 비트선을 플로팅으로 한다. 다음에, $WL02$ 를 하강 $BS00$ 을 상승, 셀 데이터를 $BLH0$, $BLL0$ 로 독출하고, 이것이 센스앰프 내의 $BLHA$, $BLLA$ 에 전해진다. 동시에 DWL 을 하강, $DBS00$ 을 상승, 더미셀 데이터를 $BLH1$, $BLL1$ 로 독출하고, 이것이 센스앰프 내의 $BLHB$, $BLLB$ 로 전해진다. 그 후, $\phi t00$, $\phi t01$ 을 하강, 센스앰프 내에 데이터를 가둔다.

이어서, PREL을 상승, $BLLA$, $BLLB$ 를 V_{ss} 로 저하시킨다. 이 때, 도 93에 나타낸 바와 같이, 센스앰프 내에 $BLLA-BLHA$ 간, $BLLB-BLHB$ 간에 접속된 캐패시터($C1$)의 효과로, $BLHA$, $BLHB$ 의 전위는 셀의 독출신호의 2배의 값만큼 하강한 값으로 된다. 그 후, /SAN, SAP를 하강/상승하고, 센스앰프를 활성화하며, 셀 독출측의 $BLHA$ 와 더미셀측의 $BLHB$ 의 차, 즉 독출신호를 증폭한다.

이어서, PREL을 하강, $BLLA$, $BLLB$ 를 플로팅하고, TRNA를 상승, 증폭된 $BLHB$ 의 데이터를 $BLLA$ 로 이동한다. 그 후, $\phi t00$ 을 상승, 센스앰프로 증폭한 데이터를 $BLL0$, $BLH0$ 로 이동, 셀에 재기록을 행한다. 이어서, $BS00$ 을 하강, $WL02$ 를 상승 셀을 닫고, /SAN, SAP를 비활성화로 하고, TRNA를 하강, /PREH를 하강, PREL을 상승, $BLH0=BLHA=BLH1=BLHB=V_{cc}$, $BLL0=BLLA=BLL1=BLLB=V_{ss}$ 로 한다. 이 때, 더미셀에는 1데이터가 재기록되고, 최후에 $DBS01$ 을 하강, DWL 을 상승, 더미셀을 닫는다.

(제64실시예)

도 95는 본 발명의 제64실시예에 따른 FRAM의 센스앰프 구성을 나타낸 등가회로도이다. 이 센스앰프회

로는 도 83-84, 도 87의 신호량 2배, 풀디드 BL구성의 실시예에 적용할 수 있는 일례를 나타낸다. 또한, 이 동작의 일례를 도 96에 나타낸다.

도 93과 다른점은 더미셀이 센스앰프 내의 커패시터로 대응하고 있는 점이다. 동작으로서는 /PREH를 High, PREL을 Low로 하고, 비트선을 플로팅으로 한다. 다음에, WL02를 하강 BS00을 상승, 셀 데이터를 BLH0, BLL0로 독출하고, 이것이 센스앰프 내의 BLHA, BLLA로 이동한다. 그 후, $\phi t00$, $\phi t01$ 을 하강, 센스앰프 내에 데이터를 가둔다.

이어서, PREL을 상승, BLHA, BLLB를 Vss로 저하시킨다. 이 때, 도 95에 나타낸 바와 같이, 센스앰프 내에 BLHA-BLHA간에 접속된 커패시터(C1)의 효과로, BLHA전위는 셀의 독출신호의 2배의 값만큼 하강한 값으로 된다. 그 후, /DWLA를 하강, BLHB측의 전위를 1, 0데이터의 중간치로 하강한다. 그 후, /SAN, SAP를 하강/상승하고, 센스앰프를 활성화 하고, 셀 독출측의 BLHA와 더미셀측의 BLHB의 차, 즉 독출신호를 증폭한다.

그 후, PREL을 하강, BLHA, BLLA를 플로팅으로 하고, TRNA를 상승, 증폭된 BLHB의 데이터를 BLHA로 이동한다. 그 후, $\phi t00$ 을 상승, 센스앰프로 증폭한 데이터를 BLLO, BLH0로 이동, 셀에 재기록을 행한다. 그 후, BS00을 하강, WL02를 상승 셀을 닫고, /SAN, SAP를 비활성화로 하고, TRNA를 하강, /PREH를 하강, PREL을 상승, BLH0=BLHA=BLH1=BLHB=Vcc, BLLO=BLLA=BLL1=BLLB=Vss로 한다. 이 때, 더미셀용 커패시터의 제어신호 High레벨로 되돌리고, 프리차이지 때로 되돌아 간다.

(제65실시예)

도 97은 본 발명의 제65실시예에 따른 FRAM의 센스앰프 구성을 나타낸 등가회로도이다. 이 센스앰프회로는 도 85-86의 신호량 2배, 풀디드 BL구성의 실시예에 적용할 수 있는 일례를 나타낸다. 이 동작의 일례를 도 98에 나타낸다.

도 93, 도 94와 다른점은 TRAN과 TRNB를 공용하여1개의 TRN에 변경한 점이다. 이 경우, 센스앰프 면적을 저감할 수 있다. 단점은 센스증폭후에 TRN을 상승하면, BLLB측도 리스토어되어 약간 소비전력이 증가하는 점이다.

(제66실시예)

도 99는 본 발명의 제66실시예에 따른 FRAM의 센스앰프 구성을 나타낸 등가회로도이다. 이 센스앰프회로는 도 85-86의 신호량 2배, 풀디드 BL구성의 실시예에 적용할 수 있는 일례를 나타낸다. 이 동작의 일례를 도 100에 나타낸다.

도 97, 도 98과 다른점은 $\phi t00$, $\phi t01$ 을 $\phi t0$ 로 합친점이다. 이 경우, 센스앰프 면적을 더욱 감소할 수 있다. 단점은 센스증폭후에 TRN을 상승하면, BLH0, BLL0측 뿐만 아니라, BLH1, BLL1측도 일단, 리스토어되어 소비전력이 증가하는 점이다.

(제67실시예)

도 101은 본 발명의 제67실시예에 따른 FRAM의 센스앰프 구성을 나타낸 등가회로도이다. 이 센스앰프회로는 도 88-92의 신호량 2배, 오픈 BL구성의 실시예에 적용할 수 있는 일례를 나타낸다.

도 93과 다른점은 BLH1, BLL1이 센스앰프의 무측에 오고, 셰어드(shared) 센스앰프가 폐지되고, 회로위치가 변경되었을 뿐, 나머지는 도 93과 등가이다.

(제68실시예)

도 102는 본 발명의 제68실시예에 따른 FRAM의 메모리셀부 구성을 나타낸 등가회로도이다.

메모리셀 트랜지스터에 병렬로, 항전압이 다른 강유전체 커패시터(Ca, Cb)를 접속한 것을 1셀로 하고, 이를 직렬접속하여 일단을 선택트랜지스터를 매개로 비트선(/BL, BL)에 접속하고, 타단을 플레이트(PL)에 접속하여 셀블록을 구성한다. 이 구성에 의해, 1셀에 1비트의 데이터를 갖게 할 수 있으며, 배치로서는 풀디드 BL구성을 된다.

(제69실시예)

도 103은 본 발명의 제69실시예에 따른 FRAM의 메모리셀부 구성을 나타낸 단면도이고, 도 102의 메모리셀의 등가회로를 실현하고 있다.

메모리셀 트랜지스터 상에 막 두께가 다른 강유전체 커패시터(Cb의 두께 > Ca의 두께)를 접속한 것을 1셀로 하고 있다. 두께를 변경하는 것은 강유전체 커패시터의 특징으로, 항전계는 막 두께에 의하지 않고 거의 일정하기 때문에, 강유전체 커패시터막의 막 두께를 얇게 하면, 항전압이 저하하기 때문이다. 더욱이, 잔류분극량은 막 두께에 의존하지 않기 때문에, Cb의 막 두께가 두꺼운 강유전체 커패시터의 1비트 데이터를 읽을 때도, Ca의 막 두께가 얇은 강유전체 커패시터의 1비트 데이터를 읽을 때도, 독출마진은 거의 변하지 않는 특징을 갖는 안정동작이 가능하다.

셀크기로는 W 과 L 교점의 $4F^2$ 크기 중에 셀 트랜지스터와, 2비트의 강유전체 커패시터를 갖기 때문에, 실질적으로 $2F^2$ 크기 셀로 될 수 있다. 트랜지스터를 증방향으로 4단 이상 쌓고 셀어레이를 3차원화 하면, 증래 방식에서도 $2F^2$ 셀을 실현할 수 있지만, 트랜지스터를 TFT와 같이 적층하는 것은 디바이스 구성, 특성, 프로세스, 신뢰성, 생산성 상의 관점으로부터 상당한 곤란을 수반한다.

이에 대해, 본 실시예에 있어서 트랜지스터는 벌크 상에 최소의 $4F^2$ 크기로 형성하기 때문에 용이하게 실현할 수 있으며, 트랜지스터 이외의 프로세스, 신뢰성의 관점으로부터 비교적 적층용이한 수동소자(강유전체 커패시터, 커패시터 저항, PN 접합 등)를 이 $4F^2$ 크기 상에 다중으로 적층함으로써, 1비트당 $2F^2$ 이하의 셀을 실현할 수 있다. 증래의 $8F^2$ 셀에서도 강유전체 커패시터를 병렬접속하고, 다층적층하여 셀크기 축

소효과를 얻을 수 있지만, 기본 스탠스(stance)로서는 우선, 할 수 있는한 셀크기를 축소하여($4F^2$ 로 하여), 그것으로부터 $1r$ 이외의 강유전체 캐패시터 등을 다중적층하고, 비트선을 증가하여 행하는 방법이 최적이라고 한다. 또한, 이 방법이 할 수 있는한 셀크기 축소에 대해, 랜덤 액세스를 유지할 수 있다.

강유전체 캐패시터의 항전압을 바꾸는 방법은 막 두께 뿐만 아니라, 재료를 바꾸는 예컨대, $(SrBiTaO)$ 와 $(PbZrTiO)$ 항전압이 최초와 다른 재료를 병렬접속해도 된다.

(제70 실시예)

도 104는 본 발명의 제70 실시예를 설명하기 위한 특성도이고, 도 102, 도 103의 메모리셀의 동작의 일례를 나타내고 있다.

도 104a는 병렬접속된 막 두께가 얇은 쪽의 강유전체 캐패시터(Ca)의 히스테리 드로우풋의 모식도(상유전체 성분을 제거한 도면)를 나타내고, 항전압을 V_{ca} , 잔류분극량을 P_{ra} , 포화분극량을 P_{sa} 로 한다. 도 104b는 병렬접속된 막 두께가 두꺼운 쪽의 강유전체 캐패시터(Cb)의 히스테리 드로우풋의 모식도(상유전체 성분을 제거한 도면)를 나타내고, 항전압을 V_{cb} , 잔류분극량을 P_{rb} , 포화분극량을 P_{sb} 로 한다. 그리고, 이들 2개의 강유전체 캐패시터를 병렬접속한 경우의 등가히스테리 드로우풋의 모식도(상유전체 성분을 제거한 도면)를 도 104c에 나타냈다.

기본동작으로는 강유전체 캐패시터 양단에 작은 전압을 인가하여 Ca데이터를 독출하고, 다음에 큰 전압을 인가하여 Cb의 데이터를 독출/재기록을 행하며, 최후에 작은 전압을 인가하여 Ca데이터의 재기록을 행한다. 좀더 구체적인 예에서는 강유전체 캐패시터 양단(즉, BL-BL간에)에 인가되는 전압을 V_1 으로 하면, 첫번째로 Cb의 분극반전이 일어나지 않고, Ca의 분극반전이 일어날 정도의 작은 $(-V_{cb}) < V_1 < (-V_{ca})$ 의 전압을 인가하여 Ca의 분극반전 정보를 독출하고, 일시적으로 셀머레이 밖에 기억한다. 다음에, 일단 $V_1=0V$ 로 리셋한다.

두번째로, Cb의 분극반전이 일어나는 큰 $V_1 < (-V_{cb})$ 의 전압을 인가하여 Cb의 분극반전 정보를 독출하고, 종속후 Cb의 분극반전을 따라 $V_1 < (-V_{cb})$ (0데이터) 또는 $(V_{cb}) < V_1$ (1데이터)의 전압으로, Cb에 셀 데이터를 재기록을 행하고, 다음에 일단 $V_1=0V$ 로 리셋한다.

세번째로, 일시기억된 데이터의 Ca로의 재기록을 행한다. 즉, Cb의 데이터가 파괴되지 않도록 Cb의 분극반전이 일어나지 않고, Ca의 분극반전이 일어나는 $(-V_{cb}) < V_1 < (-V_{ca})$ (0데이터) 또는 $(V_{ca}) < V_1 < (V_{cb})$ (1데이터)의 전압으로, Ca에 셀 데이터를 재기록을 행하고, 최후에 $V_1=0V$ 로 리셋하여 프리차이지 시간으로 한다.

도중의 조작으로 몇번인가 $V_1=0V$ 로 리셋하고 있지만, 이는 어느 일정 전압으로 리셋해도 된다. Ca, Cb의 독출/재기록의 구별을 마진을 갖게 행하는데는 $(V_{cb})/(V_{ca})$ 비 3배~5배정도가 필요한 것으로 생각된다. $(V_{cb})/(V_{ca})$ 비가 작으면 $V_{cb}-V_{ca}$ 차가 없게되어 오동작의 원인으로 되고, $(V_{cb})/(V_{ca})$ 가 너무 크면, V_{cc} 보다 V_{cb} 는 커질 수 없기 때문에, 결과로 V_{ca} 의 값이 너무 작게되어 노이즈로 Ca의 데이터가 파괴되기 때문이다.

보다 정확히 말하면, 항전압은 강유전체 캐패시터 내에 분포하기 때문에, 인가전압에 대해 경사져 분극반전을 행한다. 따라서, Ca가 거의 100% 반전하는 항전압을 V_{camax} , Cb가 반전하기 시작하는 최소의 항전압을 V_{cbmin} 으로 하면, 강유전체 캐패시터 Ca의 독출, 기록시의 전압은 $V_{camax} < V_1 < V_{cbmin}$ 로 해야 하고, $V_1 - V_{camax} > \alpha$, $V_{cbmin} - V_1 > \alpha$ 로 충분히 $\alpha > 0$ 로 되어 마진을 갖도록 강유전체 캐패시터의 막 두께를 설정할 필요가 있다. 예컨대, $V_{ca}=0.5V$, $V_{cb}=2V$, Cb독출의 $V_1=-3V$, Ca독출의 $V_1=-1V$ 로 설정하는 것이 하나의 예이다.

Ca독출의 $V_1=-1V$ 시, $V_1 - V_{ca}=0.5V$, $V_{cb} - V_1=1V$ 로 연발안으로 하는 것은 도 105a-c에 나타낸 바와 같이, 실제의 히스테리 드로우풋에서는 Ca, Cb에 항전계의 분포가 같지만, 전압환산에서는 Cb의 분포가 넓기 때문이다. 또한, 예컨대 Cb독출 인가전압을 $V_{cc}=3V$, Ca독출 인가전압을 $1/2V_{cc}=1.5V$ 의 제약하에서는 $V_{ca}=0.5-0.75V$, $V_{cb}=2-2.25V$ 정도로 설정해도 된다.

도 104, 105에 나타낸 바와 같이, 본 실시예에서는 11데이터(선두가 Cb의 데이터, 뒤가 Ca의 데이터)는 $Pr' (=2Pra=2Prb)$ 의 위치에 있고, 0데이터는 $-Pr' (= -2Pra = -2Prb)$ 의 위치에 있으며, 1, 10은 0V의 위치에 있다. 1, 10은 동일 위치에 있지만, 전압을 인가한 경우, 동작하는 기적이 다르기 때문에, 4종류의 상태를 갖고, 기준과의 동작마진을 고려하면, 도 103과 같은 2층의 강유전체 캐패시터 적층에서는 각층의 분극량은 상술의 $4F$ 셀의 경우와 동일하기 때문에, 마진은 $1/2Pr' (=Pra=Prb)$ 로 되고, 상술의 $4F$ 와 동등하게 될 수 있다.

이에 대해, 강유전체 캐패시터 면적을 2배로 하여 4치(値) 메모리를 구성한 경우, $-2Pr-2Pr$ 간을 3분할한 점에 정보를 기억하기 위하여($2Pr$, $2/3Pr$, $-2/3Pr$, $-2Pr$ 의 위치), 기준과의 동작마진을 고려하면, 마진은 $2/3Pr$ 로 되어 본 실시예에 비해, 열화하기 때문에, 센스앰프회로가 미세한 전압을 읽을 필요가 있고, 회로가 크기 때문에, 마진이 없게 된다. 이는 본 발명은 $4F^2$ 크기로, $nCap+1Tr$ 의 n 비트 데이터를 유지하고, 용량이 (적층 강유전체 캐패시터수: n)에 비례하게 되는 것에 대해, 다치(多値) 메모리는 용량이 ($\log_2(m)$ 값)에 비례하기 때문에 불리하게 된다.

구체적으로, 히스테리 드로우풋의 궤적(軌跡)을 추구하는 것으로 한다.

예컨대, 2비트의 셀 데이터가 11의 경우(E^- 점), $V_1=1/2V_{cc}$ 의 전압을 인가하면 (F^- 점)에 오고, Ca의 데이터가 독출된다. 일단 리셋하여, (G^- 점)에 온 후, $V_1=-V_{cc}$ 의 전압을 인가하여, (H^-)으로 오고, Cb의 데이터가 독출되고, 재기록후에는 (0^-)으로 되돌아 가고, 리셋후, (E^-)으로 되돌아 간다. 다음에, Ca의 재기록으로, (J^-)로 오고, 프리차이지로 (E^-)로 되돌아 간다.

예컨대, 2비트의 셀 데이터가 10의 경우(G^- 점), $V_1=1/2V_{cc}$ 의 전압을 인가하면 (F^- 점)에 오고, Ca의 데

미터가 독출된다. 일단 리셋하여, (G⁻ 점)에 온 후, V_I = -V_{CC}의 전압을 인가하여, (H⁻ 점)으로 오고, Cb의 데이터가 독출되고, 재기록후에는 (0⁻)으로 되돌아 가고, 리셋후, (E⁻)으로 되돌아 간다. 다음에, Ca의 재기록으로, (F⁻)로 오고, 프리차아지로 (G⁻)로 되돌아 간다.

예컨대, 2비트의 셀 데이터가 1의 경우(C⁻ 점), V_I = -1/2V_{CC}의 전압을 인가하면 (I⁻ 점)에 오고, Ca의 데이터가 독출된다. 일단 리셋하여, (A⁻ 점)에 온 후, V_I = -V_{CC}의 전압을 인가하여, (H⁻)으로 오고, Cb의 데이터가 독출되고, 재기록후에는 (H⁻)으로 되돌아 가고, 리셋후, (A⁻)으로 되돌아 간다. 다음에, Ca의 재기록으로, (B⁻)로 오고, 프리차아지로 (C⁻)로 되돌아 간다.

예컨대, 2비트의 셀 데이터가 0의 경우(A⁻ 점), V_I = -1/2V_{CC}의 전압을 인가하면 (I⁻ 점)에 오고, Ca의 데이터가 독출된다. 일단 리셋하여, (A⁻ 점)에 온 후, V_I = -V_{CC}의 전압을 인가하여, (H⁻ 점)으로 오고, Cb의 데이터가 독출되고, 재기록후에는 (H⁻)으로 되돌아 가고, 리셋후, (A⁻)으로 되돌아 간다. 다음에, Ca의 재기록으로, (I⁻)로 오고, 프리차아지로 (A⁻)로 되돌아 간다.

이와 같이, 위치적으로는 (G⁻ 점)과 (C⁻ 점)은 동일하지만, 다치 메모리와는 다르고, 동작하는 궤적은 다르고, 별도의 데이터로서 인식할 수 있다.

(제71실시예)

도 106은 본 발명의 제71실시예를 설명하기 위한 것으로, 도 102의 실시예에 플리드 BL구성의 센스앰프회로와 일시기억 레지스터를 배열설치한 경우를 나타내고 있다.

예컨대, BS00 및 WL02를 선택하고, 강유전체 캐패시터(C300, C301)를 /BL에 순으로 독출기록하는 경우, BL이 기준 비트선으로 되고, 우선 C300의 데이터를 독출한 시점에서 이 데이터를 도면중의 일시기억 레지스터에 저장하고, 다음에 C301의 데이터를 독출기록후, 일시기억 레지스터에 저장되어 있던 데이터를 C300에 기록하여 되돌리면 된다.

(제72실시예)

도 107은 본 발명의 제72실시예를 설명하기 위한 것으로, 도 106의 실시예에 강유전체 캐패시터의 더미셀을 더한 경우의 예를 나타내고 있다.

이는 통상셀과 동일한 구조로 실현할 수 있다. 프리차아지후에도 적은시간, DWL을 Low, DBS01을 High로 유지해 두면, 0데이터가 기록되고, 다음의 사이클 때에 0데이터가 독출되고, 더미셀의 면적을 크게 해두면, 통상셀의 1, 0데이터의 중간의 전위에 BL전위를 가져올 수 있다.

도 108은 도 107의 실시예의 더미셀을 복수적렬접속한 경우를 나타내고 있다. 도 40b, 도 42와 같은 효과가 있다.

(제73실시예)

도 109는 본 발명의 제73실시예를 설명하기 위한 것으로, 도 102로부터 도 108의 방식에 적용할 수 있는 센스앰프회로의 일예를 나타내고 있다. 이는 플레이트(PL) 전압 고정방식의 경우를 나타낸다.

통상의 강유전체 메모리용의 센스앰프회로와 다른점은 (1) 센스앰프 내 비트선(/BLSA, BLSA)을 V_{SS} 뿐만 아니라, VBLL로 프리차아지하는 회로를 갖고, (2) /SAN, SAP의 전위를 V_{CC}, V_{SS} 뿐 아니라, VBLL, VBLH로 하는 회로를 갖고, (3) 센스앰프 내에 셀 독출데이터를 일시기억하는 레지스터를 갖는 점이다.

(제74실시예)

도 110은 본 발명의 제74실시예를 설명하기 위한 것으로, 도 102로부터 도 107의 셀구성 및 도 109의 센스앰프회로 및 도 108에 적용할 수 있는 동작의 3가지 예를 나타내고 있다. 이는 플레이트(PL) 전압 고정방식의 경우를 나타낸다.

(케이스A)에서는 PL = 1/2V_{CC}로, 비트선을 VBLL로 프리차아지 해두고, WL02를 하강, BS00을 상승하면, 셀에는 (1/2)V_{CC}-VBLL의 전위가 인가되고, C300의 데이터가 독출된다. 이 후, 센스앰프를 활성화 하고, 비트선을 VBLL과 VBLH로 증폭하고, 이 데이터를 TR을 High로 하여 일시기억 레지스터에 기억한다.

다음에, /BL, BL을 VBLL로 떨어뜨리고, C300의 1데이터의 경우와, 0데이터의 경우에서의 분극량의 차이를 없애고, BS00을 하강, WL02를 상승, 강유전체 캐패시터간의 전위를 0V로 하고, /BL, BL을 V_{SS}로 프리차아지 하고, 다시 WL02를 BS00을 상승, C301의 데이터를 독출한다. 센스앰프로 증폭후, BS02를 하강, WL02를 상승, 강유전체 캐패시터간의 전위를 0V로 한다. /BL, BL을 미컬라이즈 하고나서, WL02를 하강, BS02를 상승, 비트선과 셀을 접속하고, 일시기억 레지스터의 C300의 데이터를 셀에 재기록하고, BS00을 하강, WL02를 상승, /BL, BL을 VBLL로 프리차아지하여 1사이클의 동작이 종료한다.

(케이스B)는 C300의 데이터의 독출후, ϕ_{t0} 를 하강, 센스앰프를 증폭하기 위하여, 쓸데없는 /BL, BL의 재기록이 일어나지 않는다. 그리고, /BL, BL의 VBLL로 끌어내릴 때, ϕ_{t0} 를 상승한다.

(케이스C)는 (케이스B)의 경우에, 게다가 도 107의 더미셀을 이용한 경우를 나타낸다. C301의 데이터를 셀에 재기록을 행하고, BS00을 하강, WL02를 상승한 후, /BL, BL을 V_{SS}까지 일단 하강한다. 이 때, DBS00은 High 그대로, DWL을 Low로 유지한 채, 더미셀에 0데이터가 기록된다. 그 후, 더미셀은 DBS00을 Low, DWL을 High로 하고, 다음 사이클의 동작에 대비할 수 있다.

(제75실시예)

도 111은 본 발명의 제75실시예를 설명하기 위한 것으로, 도 102로부터 도 107의 셀구성 및 도 108의 센스앰프회로에 적용할 수 있는 다른 동작의 2가지 예를 나타내고 있다.

이는 플레이트(PL) 전압 고정방식의 경우를 나타낸다. 도 110에 비해, 반드시 필요하지는 않고, WL02, BS00의 동작수를 감소하여 고속화가 도모된다.

(케이스A)에서는 $PL=1/2V_{cc}$ 로, 비트선을 V_{BL} 로 프리차아지 해두고, $WL02$ 를 하강, $BS00$ 를 상승하면, 셀에 $(1/2)V_{cc}-V_{BL}$ 의 전위가 인가되고, C300의 데이터가 독출된다. 이 후, 센스앰프를 활성화 하고, 비트선을 V_{BL} 과 V_{BLH} 로 증폭하고, 이 데이터를 TR 를 High로 하여 일시기억 레지스터에 기억한다.

다음에, $/BL$, BL 를 V_{BL} 로 떨어뜨리고, C300이 1데이터의 경우와, 0데이터의 경우에서의 분극량의 차이를 없애고, $BS00$ 를 하강, 셀과 비트선을 분리하고, $/BL$, BL 를 V_{ss} 로 프리차아지 하고, 다시 $BS00$ 를 상승, C301의 데이터를 독출한다. 센스앰프로 증폭하고, C301의 데이터의 재기록을 행한다. $/BL$, BL 를 이퀄라이즈 하고나서, 다시 TR 를 High로 하고, 일시기억 레지스터의 C300의 데이터를 셀에 재기록하고, $BS00$ 를 하강, $WL02$ 를 상승, $/BL$, BL 를 V_{BL} 로 프리차아지하여 1사이클의 동작이 종료한다.

(케이스B)는 C300의 데이터의 독출후, $\phi t0$ 를 하강, 센스앰프를 증폭하기 위하여, 쓸데없는 $/BL$, BL 의 재기록이 일어나지 않는다. 그리고, $/BL$, BL 의 V_{BL} 로 끌어내릴 때, $\phi t0$ 를 상승한다. 물론, C300을 읽는 경우와, C301을 읽는 경우로, PL구동방식을 이용하여, C300의 경우 $0V \leq PL \leq V_{cc}/3$, $0V \leq BL \leq V_{cc}/3$, C301의 경우 $0V \leq PL \leq V_{cc}$, $0V \leq BL \leq V_{cc}$ 의 범위로 동작시켜 실시해도 된다.

(제76실시예)

도 112는 본 발명의 제76실시예를 설명하기 위한 것으로, 도 102로부터 도 107의 방식에 적용할 수 있는 센스앰프회로의 일예를 나타낸다. 이는 플레이트(PL) 전압을 일부분 구동하는 경우를 나타내고 있다.

통상의 강유전체 메모리용의 센스앰프회로와 다른점은 센스앰프 내에 셀 독출데이터를 일시기억하는 레지스터를 갖는점만이고, 복잡하게 불안정한 동작으로 될 가능성이 있는 V_{BL} , V_{BLH} 의 프리차아지, 센스회로가 불필요하게 된다.

(제77실시예)

도 113은 본 발명의 제77실시예를 설명하기 위한 것으로, 도 102로부터 도 107의 셀구성 및 도 112의 센스앰프회로에 적용할 수 있는 동작의 3가지 예를 나타내고 있다. 이는 플레이트(PL) 전압 일부구동방식의 경우를 나타낸다.

간단히 말하면, 항전압이 작은 C300셀을 읽을 경우는 $(1/2)V_{cc}$ 고정 PL방식을 이용한다. 이에 의해, 셀에 인가되는 리드전압은 $(1/2)V_{cc}$ 로 된다. 항전압이 큰 C301셀을 읽는 경우, PL구동방식을 채용한다. 이것에 의해, 셀에 인가되는 리드전압은 V_{cc} 로 된다. 이들 동작에 의해, 비트선쌍($/BL$, BL)의 최대전폭은 V_{cc} 로 일정하게 유지되는 것이 가능하게 되고, 여분의 회로가 불필요하게 된다.

(케이스A)에서는 $PL=1/2V_{cc}$ 로, 비트선을 V_{ss} 로 프리차아지 해두고, $WL02$ 를 하강, $BS00$ 를 상승하면, 셀에 $-(1/2)V_{cc}$ 의 전위가 인가되고, C300의 데이터가 독출된다. 이 후, 센스앰프를 활성화 하고, 비트선을 V_{cc} 와 V_{ss} 로 증폭하고, 이 데이터를 TR 를 High로 하여 일시기억 레지스터에 기억한다. 다음에, $/BL$, BL 를 V_{ss} 로 떨어뜨리고, C300이 1데이터의 경우와, 0데이터의 경우에서의 분극량의 차를 없애고, $/BL$, BL 를 플로팅으로 한 후, PL전압을 V_{cc} 로 상승한다. 그러면, 비트선에 C301의 데이터가 독출된다. 센스앰프로 증폭하고, 비트선을 V_{ss} , V_{cc} 로 하면, C301이 0의 경우 재기록이 행해지고, 다음에 PL전압을 V_{ss} 로 하강하면, C301이 1의 경우 재기록이 행해진다.

다음에, PL전압을 $(1/2)V_{cc}$ 로 되돌리고, 비트선을 $(1/2)V_{cc}$ 로 이퀄라이즈 한다. 그렇게 하면, C301의 데이터에 대해, 역으로 분극반전되는 것이 없다. 다음에, $PL=(1/2)V_{cc}$ 그대로, TR 를 High로 하고, 일시기억 레지스터의 C300의 데이터를 셀에 재기록하고, $BS00$ 를 하강, $WL02$ 를 상승, $/BL$, BL 를 V_{ss} 로 프리차아지 한다. 동그라미 숫자 ②로 나타낸 바와 같이, $/BL$, BL 를 $(1/2)V_{cc}$ 로 하고나서, $BS00$ 를 하강, $WL02$ 를 상승해도 된다. 이것으로, 1사이클의 동작이 종료한다.

이와 관련하여, 일시기억 레지스터에 강유전체 캐패시터를 이용한 경우, V_{PL} 를 고정의 그대로 해두어도, 상유전 성분에 의한 전하로 일시기억할 수 있다.

(케이스B)는 C300의 데이터의 독출 후, $\phi t0$ 를 하강, 센스앰프를 증폭하기 위하여, 쓸데없는 $/BL$, BL 의 재기록이 일어나지 않는다. 그리고, $/BL$, BL 의 V_{BL} 로 끌어내릴 때, $\phi t0$ 를 상승한다.

(케이스C)는 (케이스B)의 경우에, 게다가 C301의 데이터 독출후, $\phi t0$ 를 하강하는 경우를 나타낸다. 이 케이스에서는 예컨대, 일시기억 레지스터를 C300, C301용에 2종류 구비하고, 일시기억 레지스터에 C300, C301의 양쪽 저장후, 일시기억 레지스터 매개로, C300, C301의 데이터를 외부로 독출하고, 외부로부터 일시기억 레지스터에 기록하는 경우의 방식에 적합하다. 다른의 데이터를 외부로 교환하는 High-Bnad FRAM의 방식에 적합하다.

(제78실시예)

도 114는 본 발명의 제78실시예를 설명하기 위한 것으로, 도 102로부터 도 107의 방식에 적용할 수 있는 센스앰프회로의 일예를 나타내고 있다.

이는 플레이트(PL) 전압을 일부분 구동하는 경우이다. 도 114에 나타낸 바와 같이, 도 112의 구성에 덧붙여, 캐핑형의 더미셀을 센스앰프회로 내에 구비한 구성으로 되어 있다.

(제79실시예)

도 115는 본 발명의 제79실시예를 설명하기 위한 것으로, 도 102로부터 도 107의 방식에 적용할 수 있는 센스앰프회로의 일예를 나타내고 있다. 이는 플레이트(PL) 전압을 일부분 구동하는 경우를 나타낸다.

도 114의 구성에 덧붙여, 캐핑형의 더미셀을 센스앰프회로 내에 2종류 구비하고 있다. 이는, 기본적으로 강유전체 캐패시터의 막 두께가 달라도, 잔류분극량은 변하지 않지만, 상유전체 성분이 다르기 때문에, 캐핑형의 더미셀을 이용하는 경우, 미묘하게 캐핑 용량을 바꾸고, 최적화 하는 경우에 편리하게 된다. 더욱이, 상기 도 43의 효과에 대응하여, 더욱이 캐패시터를 증가시켜도 된다.

(제80실시예)

도 116은 본 발명의 제80실시예를 설명하기 위한 것으로, 도 102로부터 도 107의 방식에 적용할 수 있는 센스앰프회로의 일예를 나타내고 있다. 이는 플레이트(PL) 전압을 일부분 구동하는 경우를 나타낸다.

도 115와 다른점은 일시기억 레지스터로서 강유전체 캐패시터 뿐만 아니라, 상유전체 캐패시터를 이용한 점이다. 그 외, 플립-플롭 등 다른 기억소자에서도 된다.

(제81실시예)

도 117은 본 발명의 제81실시예를 설명하기 위한 것으로, 도 102로부터 도 107의 방식에 적용할 수 있는 센스앰프회로의 일예를 나타내고 있다. 이는 플레이트(PL) 전압을 일부분 구동하는 경우를 나타낸다.

도 114와 다른점은 일시기억 레지스터가 2비트 데이터를 갖고 있는 점이다. 하나는 항전압이 작은 셀용이고, 하나는 항전압이 큰 셀용이다. 이는, 도 114(케이스C)와 같은 이용에 적용할 수 있다.

물론, 도 113에 나타난 바와 같은 플레이트 일부 구동법과, 도 109에 나타난 바와 같은 비트선 진폭을 바꾸는 방법을 조합시켜, 도 102-도 107의 데이터셀을 동작시킬 수 있다.

(1/2)V_{dd} 플레이트와 비트선 소전폭을 조합시켜, 최초의 비트를 독출하고, V_{dd}진폭 플레이트와 비트선 대전폭을 조합시켜, 다음의 비트를 독출하는 의미이다. 이 경우, 비트선 진폭의 비는 도 110, 도 111 값의 1/2로 저감할 수 있어 제어하기 쉽다. 또한, 도 109의 비트선 진폭을 바꾸는 방식에 있어서도, V_{dd}진폭 플레이트방식은 적용할 수 있다.

도 102-107의 셀에 대해, 도 113과 같은 동작을 적용한 경우, 센스앰프회로의 동작이 용이하게 되는 반면, 플레이트전극을 V_{ss}, V_{cc}, (1/2)V_{cc}로 변동할 필요가 있다. V_{ss}, V_{cc}로 하는 것은 V_{ss}, V_{cc}선에 접속하면, (1/2)V_{cc}로 함에는 칩 내부의 (1/2)V_{cc} 발생회로에서 발생된 (1/2)V_{cc}전원을 이용할 필요가 있고, 플레이트를 V_{ss}로부터 (1/2)V_{cc}로 되돌릴 경우, (1/2)V_{cc}전원이 하강하는 문제가 있다.

여기서, 도 118에 나타난 바와 같이, 2셀블록마다 존재하는 플레이트전극을 선택한 블록만 구동하면, 플레이트 부하용량이 크게 저감되고, (1/2)V_{cc}전원의 흔들림은 억제된다. 도 118에 있어서는 플레이트를 PL1으로부터 PLn의 n분할 하고 있으며, 디코더회로에 의해 선택한 셀블록의 플레이트만을 구동하고 있다.

도 119a는 플레이트 신호를 2종류로 나누고, PL구동회로에서는 PLA가 V_{cc}로 될 때, PLB를 V_{ss}로 하고, PLA가 V_{ss}로 될 때, PLB를 V_{cc}로 하고, PLA와 PLB를 쇼트하고, (1/2)V_{cc}를 자동적으로 발생시키고 있다. 셀어레이(A: 서브셀어레이에서도 된다)가 활성화되어 있는 경우, 셀어레이(B)는 플레이트만 더미로 구동하면 실현할 수 있다. 이 PL구동회로의 상세한 회로예를 도 120에 나타냈다. PLEQL을 High로 함으로써, PLA와 PLB는 쇼트되고, (1/2)V_{cc}가 자동발생된다. 더욱이, 소비전력도 반감할 수 있다.

도 119b는 도 119a에 더해, 플레이트를 어드레스로 디코딩하고, 더욱이 소비전력을 감소한 예를 나타내고, 이 경우에서도 (1/2)V_{cc}는 자동발생할 수 있다. 도 119b의 PL구동회로와 디코더회로의 상세한 회로예를 도 121에 나타냈다.

도 119에 있어서, (서브)어레이(A) 뿐만 아니라, (서브)어레이(B)도 활성화시켜, (서브)어레이(B)측을 도 122에 나타난 바와 같이, PLB 뿐만 아니라, BL도 V_{cc}로 프리차이지 하고, 어레이(A)와 역으로 움직이게 하면, 용이하게 PL을 (1/2)V_{cc}로 할 수 있다. 이 때의 센스앰프회로를 도 123에 나타낸다. 센스앰프(A)는 V_{ss} 프리차이지 회로가 탑재되고, 센스앰프(B)는 V_{cc} 프리차이지 회로가 탑재된다. 도 124는 2비트셀의 전반의 독출을 양셀어레이 공히 프리차이지로, 후반의 독출을 어레이(A)는 V_{ss} 프리차이지로, 어레이(B)를 V_{cc} 프리차이지로 동작을 행하고 있다.

(제82실시예)

도 125는 본 발명의 제82실시예를 설명하기 위한 것으로, 도 102의 메모리셀의 등가회로도를 실현하는 메모리셀구조의 단면도를 나타낸다. 이는 도 103의 구조의 변형예이다.

비트선 형성후, 막 두께가 다른 강유전체 캐패시터를 적층하고 있다.

(제83실시예)

도 126은 본 발명의 제83실시예를 설명하기 위한 것으로, 도 102의 메모리셀의 등가회로도를 실현하는 메모리셀구조의 단면도를 나타낸다. 이는 도 103의 구조의 변형예이다.

비트선 형성후, 막 두께가 다른 강유전체 캐패시터를 Si면에 수직으로 적층하고 있다. 도 125와 다르게, 강유전체 캐패시터막 사이에 전극을 끼울 필요가 없고, 쓸데없는 프로세스를 없앴다. SN의 전극은 확산층으로부터 확대하여 동시에 형성할 수 있다. SN간의 틈을 2종류로 나누어 SN을 형성하면, 그 사이에 강유전체 캐패시터막을 형성하면, 자발적으로 항전압이 다른 2개의 강유전체 캐패시터를 형성할 수 있다.

(제84실시예)

도 127은 본 발명의 제84실시예를 설명하기 위한 것으로, 도 102의 메모리셀의 등가회로도를 실현하는 메모리셀구조의 단면도를 나타낸다. 이는 도 103의 구조의 변형예이다.

하부전극에 2종류의 폭을 갖는 홈 또는 구멍을 형성하고, 강유전체 캐패시터막을 형성하고, 상부전극을 형성한 경우를 나타내고, 용이하게 강유전체 캐패시터 면적을 크게 취할 수 있다.

(제85실시예)

도 128은 본 발명의 제85실시예를 설명하기 위한 것으로, 도 102의 구성이 폴디드 BL구성인 것에 대하여, 이는 오픈 또는 2Tr+2Cap용의 셀구성의 등가회로도 a 및 단면도 b를 나타낸다.

이 경우, 셀의 직렬접속으로, 1개의 선택트랜지스터 접속하면 실현할 수 있다.

(제86실시예)

도 129는 본 발명의 제86실시예를 설명하기 위한 등가회로도이다.

도 102가 4F²셀에 2비트의 데이터를 유지하는 것에 대해, 본 실시예에 있어서는 3개의 항전압이 다른 강유전체 캐패시터와 셀 트랜지스터를 병렬접속한 것을 직렬접속하고, 일단을 선택트랜지스터를 매개로 비트선에 접속하고, 타단을 PL에 접속하고 있다. 1셀에 3비트의 데이터를 유지할 수 있으며, 기억용량을 증대할 수 있다.

(제87실시예)

도 130은 본 발명의 제87실시예를 설명하기 위한 것으로, 도 129의 등가회로를 실현하는 셀구조의 단면도를 나타내고 있다.

4F²크기에 셀 트랜지스터와, 상부에 3개의 항전압이 다른 강유전체 캐패시터를 적층함으로써, 4F²크기로 3비트의 데이터를 유지할 수 있다.

(제88실시예)

도 131은 본 발명의 제88실시예를 설명하기 위한 등가회로도이다.

도 102가 4F²셀에 2비트의 데이터를 유지하는 것에 대해, 본 실시예에 있어서는 4개의 항전압이 다른 강유전체 캐패시터와 셀 트랜지스터를 병렬접속한 것을 직렬접속하고, 일단을 선택트랜지스터를 매개로 비트선에 접속하고, 타단을 PL에 접속하고 있다. 1셀에 4비트의 데이터를 유지할 수 있으며, 기억용량을 증대할 수 있다. 더욱이, 강유전체 캐패시터의 병렬수를 증가시킴으로써, 용량증대가 도모된다.

(제89실시예)

도 132는 본 발명의 제89실시예를 설명하기 위한 것으로, 도 131의 등가회로를 실현하는 셀구조의 단면도를 나타내고 있다.

4F²크기에 셀 트랜지스터와, 상부에 4개의 항전압이 다른 강유전체 캐패시터를 적층함으로써, 4F²크기로 4비트의 데이터를 유지할 수 있다. 결과로, 종래의 8F²크기의 FRAM에 대해, 2배×4배=8배의 집적도를 실현할 수 있다.

(제90실시예)

도 133은 본 발명의 제90실시예를 설명하기 위한 것으로, 도 102의 nCAP+1Tr셀구성과 도 83의 구성을 조합시킨 경우를 나타내고 있다.

4F²크기에 2비트 이상의 정보를 저장하면서 폴딩드 BL로 저노이즈로, BL의 피치를 완화하고, 더욱이 센스 앰프수를 삭감하고, 칩크기를 저감하고 있다.

(제91실시예)

도 134는 본 발명의 제91실시예를 설명하기 위한 것으로, 도 134a는 등가회로도, 134b는 특성도이다.

도 102의 항전압이 다른 강유전체 캐패시터를 병렬접속하는 nCap+Tr셀구성과 다르고, 동일한 항전압의 셀을 접속하고 있다. 단지, 셀 트랜지스터에 가까운 강유전체 캐패시터는 셀 트랜지스터에 직접 병렬접속하고 있지만, 안쪽의 강유전체 캐패시터는 전압강하소자를 직렬로 접속하고나서, 셀 트랜지스터에 병렬접속하고 있다.

이 전압강하소자는 도 134b에 나타낸 바와 같이, 일정의 바이어스 값 이상으로 되면, 양방향의 전류가 흐르는 특성을 나타낸 것이 이용된다. 이것에 의해, 안쪽의 셀은 셀 트랜지스터에 인가된 전압으로부터 일정한 전압을 이끄는 작은 전압이 인가됨으로써, 외관상, 안쪽의 강유전체 캐패시터의 항전압이 큰 경우와 거의 동일한 동작을 한다.

(제92실시예)

도 135a는 본 발명의 제92실시예를 설명하기 위한 것으로, 도 134의 등가회로를 실현하는 디바이스 구조를 나타낸다. 여기서, Ca의 항전압=Cb 항전압을 실현할 수 있다.

전압강하소자(Da)로서는 도 135b~e까지 각종 구성을 갖는다. 도 135b는 pnp 또는 npn의 접합으로 구성되고, n을 통과하는 p에서 p로 n을 통과하는 n에서 n으로의 펀치스루(punch through)로 실현하고 있다. 도 135c는 고농도 pn접합을 이용한 제너다이오드로 실현하고 있다. 도 135d는 pn접합, np접합의 병렬접속으로 실현하고 있다. 도 135e는 상유전체 캐패시터와 강유전체 캐패시터를 병렬접속하면, 용량비로, 외관상의 항전압이 상승하는 것을 이용하고 있다. 특히, 도 135e에 있어서는 도 135와 같은 구성이 아니라, 도 24의 강유전체 캐패시터의 일부에 상유전체 캐패시터가 삽입되면, 실현할 수 있다.

(제93실시예)

도 136은 본 발명의 제93실시예를 설명하기 위한 등가회로도이다.

도 102의 항전압이 다른 강유전체 캐패시터를 병렬접속하는 nCap+Tr셀구성과 다르고, 동일 항전압의 셀을 접속하고 있다. 다만, 셀 트랜지스터에 가까운 강유전체 캐패시터(Ca)는 셀 트랜지스터에 직접 병렬접속하고 있지만, 안쪽의 강유전체 캐패시터(Cb)는 저항소자(Ra)를 직렬로 접속하고나서, 셀 트랜지스터에 병렬접속하고 있다. 이것에 의해, 저항소자(Ra)의 저항을 충분히 크게 설정해두면, 데이터

독출/기록시, 강유전체 캐패시터(Ca)의 데이터는 직접 독출할 수 있지만, 강유전체 캐패시터(Cb)의 데이터는 저항소자(Ra)와 강유전체 캐패시터(Cb) 자신의 용량에 의한 RC시정수로 서서히 독출기록된다.

이 효과에 의해, 동작으로서는 우선, 강유전체 캐패시터(Ca)를 독출하고, 일시기억 레지스터에 저장하고, 그 후에 충분히 시간을 걸어 강유전체 캐패시터(Cb)의 데이터의 독출기록을 행하고, 최후에 일시기억 레지스터의 데이터를 Ca로 재기록 하면, 2강유전체 캐패시터+1셀 트랜지스터 셀을 실현할 수 있다.

(제94실시예)

도 137은 본 발명의 제94실시예를 설명하기 위한 것으로, 도 136의 등가회로를 실현하는 디바이스 구조를 나타내고 있다.

도면에 나타난 위치에 저항소자를 구비하면, 도 136의 등가회로를 실현할 수 있다. 예컨대, Ca의 독출 기록을 50ns 미만으로 행하는 것을 고려하면, Ca용량을 100fF로 하면, t-RC로부터 $R=C/t=100\text{fF}/50\text{ns}=2\text{M}\Omega$. 따라서, Ra로서 2MΩ보다 충분히 마진을 갖는 큰 저항소자를 이용하면 된다.

(제95실시예)

도 138은 본 발명의 제95실시예를 설명하기 위한 등가회로도이다.

도 136의 실시예에 센스앰프로, Ca의 독출데이터를 일시기억해두고, 일시기억 레지스터회로를 구비하고 있다. 본 실시예는 풀디드 BL구성에이다.

(제96실시예)

도 139는 본 발명의 제96실시예를 설명하기 위한 타이밍도이고, 도 138의 구성의 동작의 일예를 나타내고 있다. 이는, 플레이트(PL) 전압고정방식의 경우를 나타낸다.

(케이스A)에서는 $P_L=1/2V_{CC}$ 로, 비트선을 V_{SS} 로 프리차이지 해두고, WL02를 하강, WL02를 하강, BS00을 상승하면, 강유전체 캐패시터(C300)의 데이터가 비트선(/BL)으로 독출된다. 이 후, 강유전체 캐패시터(C301)의 데이터는 저항소자(R30)에 의해, 직접적으로는 독출되지 않는다. 그 후, 센스앰프가 활성화되고, C300의 데이터는 일시기억 레지스터에 보존된다. 그 후, /BL, BL을 V_{SS} 로 떨어뜨리고, C300이 1데이터의 경우와 0데이터의 경우에서의 분극량의 차를 없애고, WL02를 상승, BS00을 하강, 강유전체 캐패시터간의 전위를 0V로 하고, /BL, BL을 V_{SS} 로 프리차이지 하고, 다시 WL02를 하강, BS00을 상승, C301의 데이터를 독출한다. 이 때, 센스앰프 활성화까지 충분히 시간을 취하고, 센스앰프로 증폭후, 재기록을 행하고, 이 재기록 시간도 충분한 시간을 취한다.

다음에, /BL, BL을 미컬라이즈하고, 일시기억 레지스터의 데이터로, C301에 데이터의 재기록을 행한다. 다음에, /BL, BL을 미컬라이즈하고, BS02를 하강, WL02를 상승, 강유전체 캐패시터간의 전위를 0V로 하고, /BL, BL을 V_{SS} 로 프리차이지 하여 1사이클을 종료한다. 미컬라이즈하고나서, WL02를 하강, BS02를 상승, 비트선과 셀을 접속하고, 일시기억 레지스터의 C300의 데이터를 셀에 재기록하고, BS00을 하강, WL02를 상승, /BL, BL을 V_{BL} 로 프리차이지하여 1사이클의 동작이 종료한다.

(케이스B)는 C300의 데이터의 독출후, ϕt_0 를 하강, 센스앰프를 증폭하기 때문에, 쓸데없는 /BL, BL의 재기록이 일어나지 않는다. 그리고, /BL, BL의 V_{BL} 로 끌어내릴 때, ϕt_0 를 상승한다.

(케이스C)는 (케이스B)의 경우에, 게다가 C301의 데이터 독출 후, ϕt_0 를 하강하는 경우를 나타낸다. 이 케이스에서는 예컨대, 일시기억 레지스터를 C300, C301용에 2종류 구비하고, 일시기억 레지스터에 C300, C301의 양쪽을 저장한 후, 일시기억 레지스터를 매개로, C300, C301의 데이터를 외부로 독출하고, 외부로부터 일시기억 레지스터에 기록하는 경우의 방식에 적합하다. 다량의 데이터를 외부와 교환하고, High-Bnnd FRAM의 방식에 적합하다.

(제97실시예)

도 140은 본 발명의 제97실시예를 설명하기 위한 등가회로도 a와 단면도 b이다.

도 136의 등가회로, 도 137의 디바이스 구조가 풀디드 BL구성이었던 것에 대해, 도 140은 오픈 BL구성을 나타낸다.

(제98실시예)

도 141은 본 발명의 제98실시예를 설명하기 위한 등가회로도 a와 단면도 b이다.

도 140에 비해, 각 노드의 전극의 위치가 교환된 격자로 되고, 저항소자도 강유전체 캐패시터 상에 형성되고, 더욱이 도 140에 비해, 저항소자와 강유전체 캐패시터의 직렬의 순서가 역으로 되어 있는 예를 나타낸다. 물론 이 구성도, 도 136, 도 137의 풀디드 BL구성에서도 실현할 수 있다.

(제99실시예)

도 142는 본 발명의 제99실시예를 설명하기 위한 등가회로도 a와 단면도 b이다.

도 141에 비해, 강유전체 캐패시터(Cb)의 양측에 저항소자가 접속되어 있다. 물론, 이 구성도 도 136, 도 137의 풀디드 구성에서도 실현할 수 있다.

(제100실시예)

도 143은 본 발명의 제100실시예를 설명하기 위한 등가회로도이다.

1메모리셀 트랜지스터에 대해, 3개의 강유전체 캐패시터(Ca, Cb, Cc)를 구비한 경우를 나타내고, 저항소자(Rb)를 Cc와 직렬접속, 저항소자(Ra)를 Cb와 직렬접속하고, Ca, Cb, Cc의 순으로 읽고, Cc, Cb, Ca순으로 재기록을 행한다.

(제101 실시예)

도 144는 본 발명의 제101 실시예를 설명하기 위한 것으로, 도 143의 셀구성의 등가회로를 실현하는 셀구조의 일례를 나타내고 있다.

이것에 의해, 4F2크기로, 벌크의 셀 트랜지스터와, 상부에 3층의 강유전체 캐패시터와 2개의 저항소자를 적층하고, 3비트의 데이터 유지를 실현한다. 이는, 폴딩드 BL구성예이다. 물론, 오픈 BL구성도 용이하게 실현할 수 있고, 비트선 룰 2배 완화형도 실현할 수 있다.

(제102 실시예)

도 145는 본 발명의 제102 실시예를 설명하기 위한 등가회로도이다.

도 143의 셀구성의 등가회로에 비해, 일부 저항소자의 삽입위치가 다른 예를 나타낸다. 더욱이, 도면에는 나타내지는 않았지만, 도 136~145 방식의 각 캐패시터를 복수의 캐패시터의 병렬접속으로 하면, 도 102~133의 조합으로 되고, 더욱 기억용량이 증대할 수 있다.

그런데, 상술한 모든 실시예에서 말했지만, 종래의 8F²의 구성에 비해, 상대적으로 워드선용량이 크게되는 결정이 있다. 이는 본 발명에서는 워드선과 비트선의 교점 모두에 셀 트랜지스터가 존재하기 때문에, 워드선, 블록선택선의 RC 지연의 증가를 의미한다. 다만, 본 발명에서는 DRAM과 같은 리프레쉬가 불필요하게 되기 때문에, 상기 도 300에 나타난 바와 같이, 계층워드선방식을 채용하여 셀어레이를 워드선방향으로 세분화하고, 액티브영역을 할 수 있는한 작게할 수 있다. 즉, 서브워드선의 길이를 짧게할 수 있다. 이것에 의해, 워드선 지연을 작게할 수 있다.

다만, 종래의 8F²셀에도 계층워드선방식을 채용한 경우는 본 방식이 워드선 지연의 점에서 불리하게 된다. 종래의 계층워드선방식은 메인워드선에 금속배선을 이용하고, 서브로우디코더에 연결, 서브로우디코더로부터 서브셀어레이에 서브워드선으로서 게이트배선을 이용하여 배열설치하고, 각 메모리셀 트랜지스터의 게이트전극을 구성한다. 서브로우디코더 4개에 1개, 8개에 1개 메인워드선을 접속함으로써, 메인워드선의 금속피치를 종래의 섀트(shunt)방식의 4~8배로 완화할 수 있어, 가공이 곤란한 금속 룰의 완화, 셀 단차에 의한 금속가공의 DOF의 완화를 실현할 수 있다.

그러나, 이와 같은 구성으로 해도, 서브워드선은 금속이 아니라, 폴리Si, WSi, MSi, TiSi 등의 고저항배선을 이용하기 때문에, 서브워드선에 연결되는 셀수를 증가시키면, RC지연이 크게되는 점이 문제가 된다. 특히, 상기 본 발명의 실시예에서는 이 RC지연이 2배정도 되버린다.

이하의 실시예에서는 이와 같은 문제도 해결하고 있다.

(제103 실시예)

도 146은 본 발명의 제103 실시예에 따른 FRAM의 기본구성을 나타낸 블록도이고, 상기 모든 실시예에 적용할 수 있는 것이다.

본 실시예는 상기 RC지연을 1/4로 저감할 수 있으며, 결과로서 본 발명의 워드선지연을 종래의 8F²의 1/2(=1/4×2)로 저감할 수 있다. 이와 같은 생각을 종래의 DRAM에 적용한 예를 본 발명자들은 이미 제안하고 있다(일본특허 제7-87211호, 일본특허 제7-108691호). 본 실시예는 이를 FRAM에 적용한 것이다.

M-R/D는 메인로우디코더, S-R/D는 서브로우디코더, MWL은 메인워드선을 나타낸 금속배선이다. 종래의 계층워드선과 다른점은 종래 서브워드선은 게이트배선을 직접 확대한 것에 대해, 본 실시예는 서브셀어레이의 중앙까지 금속배선으로 행하고, 그 부분에 게이트배선과 섀트하고 있는점이다. 이 때, 서브워드선용 금속은 서브어레이의 양측으로부터 배열설치해도 교차하지 않는다. 금속저항은 게이트배선저항에 비해, 상당히 저항이 작기 때문에, 결과로서 서브셀어레이 내의 서브워드선의 RC지연은 ROI 1/2, C가 1/20이기 때문에, 1/4로 저감할 수 있다.

본 발명의 강유전체 메모리에 적용하면, ROI 1/2로, C가 거의 동일하기 때문에, RC지연이 1/2로 적용할 수 있다. 도 146의 예에서는 MWL 1개에 대해, 서브워드선 4개이기 때문에, 서브워드선 4개에 대해, MWL 1개, 서브워드선용 금속배선 2개의 합계 3개로 되고, 도 146 우측아래의 단면도에 나타난 바와 같이, 금속의 배선 룰은 섀트방식의 4/3배로 완화할 수 있다.

(제104 실시예)

도 147은 본 발명의 제104 실시예에 따른 FRAM의 기본구성을 나타낸 블록도이고, 상기한 모든 실시예에 적용할 수 있는 것이다.

이는 도 146에 비해, RC지연을 작게 유지하면서, 금속피치를 더욱 완화하고 있다. MWL 1개에 대해, 서브워드선 8개이기 때문에, 서브워드선 8개에 대해, MWL 1개, 서브워드선용 금속배선 4개의 합계 5개로 되고, 도 147 우측아래의 단면도에 나타난 바와 같이, 금속의 배선 룰은 섀트방식의 8/5배로 완화할 수 있다.

(제105 실시예)

도 148은 본 발명의 제105 실시예에 따른 FRAM의 기본구성을 나타낸 블록도이고, 상기한 모든 실시예에 적용할 수 있는 것이다.

상기 도 146의 예에서는 RC지연을 작게 유지하면서 금속피치를 완화하고 있는 반면, 서브워드선 섀트영역에 있어서, 게이트배선은 피치(2F) 한계로 배열설치되고, 이 위에 금속으로부터 섀트용 콘택트를 취할 필요가 있고, 기본적으로 콘택트크기는 F, 콘택트에 대한 게이트배선의 하지(下地)여유가 0인 문제점이 있었다.

도 148은 이 문제를 해결하고 있다. 도 148a에 나타난 바와 같이, 서브워드선은 2개에 1개의 비율로 다

를 접속을 한다. 금속배선과 서브로우다코더의 구동회로 근처에 선폭하고, 더욱이 서브어레이 중앙에 일단 비트선 배선으로 절환하고, 서브로우다코더로부터 먼 쪽의 게이트배선과 선폭한다. 이렇게 하면, 게이트배선을 서브어레이 중앙에 분단할 수 있고, 나머지 1개는 서브워드선용 금속배선을 서브어레이 중앙까지 확대하여 게이트배선에 여유가 가능한 장소에 게이트배선으로 선폭한다. 도 148b의 경우는 상기 2종류의 위치를 교환한 경우를 나타낸다.

(제106실시예)

도 149는 본 발명의 제106실시예를 설명하기 위한 것으로, 도 148a, 148b의 구성을 취한 경우의 서브어레이 중앙부분에서의 레이아웃 배선예의 2개를 나타낸다.

도 149a는 도 148a에 대응하고, 도 149b는 도 148b에 대응한다. 도 149는 금속, 게이트, 비트선, 금속 비트선간 콘택트, 비트선-게이트간 콘택트를 나타낸다.

본 실시예에서는 게이트배선-콘택트 여유, 콘택트크기가 클 뿐만 아니라, 그 외의 배선, 콘택트크기, 콘택트크기 여유가 있는 것을 알 수 있다.

도 150a, 150b는 도 149a, 149b 내의 게이트, 게이트선-게이트간 콘택트만을 나타낸다. 도 151a, 151b는 도 149a, 149b 내의 게이트, 비트선, 비트선-게이트간 콘택트만을 나타낸다. 도 152a, 152b는 도 149a, 149b 내의 금속, 비트선, 금속-비트선간 콘택트만을 나타낸다.

(제107실시예)

도 153은 본 발명의 제107실시예를 설명하기 위한 것으로, 서브로우다코더회로의 일예를 나타낸 CMOS회로를 나타내고 있다. 본 실시예도, 상기 모든 실시예에 적용할 수 있다.

예컨대, BS00을 상승하는 경우, MBS를 하강, BS00을 상승, /BS00을 하강하면 되고, WL01을 하강하는 경우, MWL0를 상승, /WSL00을 하강, WSL00을 상승하면 된다.

(제108실시예)

도 154는 본 발명의 제108실시예를 설명하기 위한 것으로, 셀어레이 배치 및 스페어 셀어레이 배치의 일예를 나타내고 있다. 본 실시예도, 상기 모든 실시예에 적용할 수 있다.

본 발명의 이미 하나의 결정은 종래 완전히 1Tr+1Cap로 구성되는 방식에 비해, 1개의 셀블록의 구성이 크고, 예컨대 스페어 셀블록을 셀어레이마다 넣는 경우, 큰 면적 패널티로 된다. 도 154는 이 문제를 해결한다. 이 도면에서는 스페어 블록을 함유한 스페어 셀어레이를 행, 열 모두 1개의 큰, 또는 1칩의 셀어레이군단으로 합쳐 배열설치되어 있으며, 큰 단위로 스페어 셀의 치환을 행한다. 이것에 의해, 스페어 셀어레이의 단위를 자유롭게 설정할 수 있으면서 구체효율이 상승한다.

(제109실시예)

도 155는 본 발명의 제109실시예를 설명하기 위한 것으로, 칩 내부의 리던던시 스페어회로를 포함한 블록도이다.

로우, 칼럼 불량에 대해, 각각 로우 스페어메모리와 칼럼 스페어메모리를 갖추고 있으며, 로우어드레스 및 칼럼어드레스가 이 로우 스페어메모리 및 칼럼 스페어메모리에 각각 들어가고, 스페어메모리와 비교된다. 그리고, 리던던시와 치환이 없는 어드레스의 경우, 이 스페어메모리로부터 통상의 로우디코더 및 칼럼디코더에 인에이블신호가 발신된다.

리던던시의 치환이 있는 경우, 이 스페어메모리로부터 통상의 로우디코더 및 칼럼디코더에는 디스에이블신호가 발신되고, 통상의 로우디코더 및 칼럼디코더는 동작되지 않고, 스페어 로우디코더 및 스페어 칼럼디코더에 인에이블 신호 및, 매핑된 스페어 로우와 스페어 칼럼이 선택된다. 이 스페어메모리는 종래와 같이, 퓨즈를 이용한 메모리에서도 되고, 강유전체 캐패시터를 이용한 메모리이어도 된다.

(제110실시예)

도 156은 본 발명의 제110실시예에 있어서의 불량 메모리셀의 리페어방법을 나타낸 도면이다.

도 155의 회로를 이용하면, 도 154에 설명한 바와 같이, 도 156에 나타낸 바와 같은 셀블록 그대로 치환을 실현할 수 있다. 이 경우, 스페어의 매핑은 셀블록 이상의 상위 어드레스로 지정할 수 있으며, 구체효율은 하강하지만 스페어 메모리용량이 작아진다. 이 치환은 복수의 셀에 걸치는 불량이나, WL-셀노드간의 쇼트와 같은 DC불량에 대해 대응가능하다.

(제111실시예)

도 157은 본 발명의 제111의 실시예에 있어서의 불량 메모리셀의 리페어방법을 나타낸 도면이다.

이는 도 155의 블록구성으로 실현할 수 있다. 예컨대, 통상셀의 WL03에 연결되는 강유전체 캐패시터 파괴와 같은 불량에 대해서는 그 WL03를 항상 High로 한 채로 셀 트랜지스터를 쇼트시켜두면, 동일 셀블록 내의 다른 셀 데이터의 독출, 기록에는 영향이 없고, WL03선택시만 스페어의 동일 워드선인 SWL03를 선택하면, 치환이 가능하게 된다. 이 경우, 스페어메모리로서는 치환을 행하는 선택블록의 어드레스조차, 스페어의 SWL03에 대응하는 스페어메모리에 기억해두는 것으로 된다.

(제112실시예)

도 158은 본 발명의 제112실시예에 있어서의 불량 메모리셀의 리페어방법을 나타낸 도면이다.

이는 도 155의 블록구성으로 실현할 수 있다. 복수의 워드선을 조로 하여 예컨대, 통상셀의 WL03, WL02에 걸쳐, 또는 WL03단독, WL02단독의 강유전체 캐패시터 파괴와 같은 불량에 대해서는 그대로, 스페어의 동일 워드선군(SWL03, SWL02)으로 치환한다. 이 경우, 스페어메모리로서는 치환을 행하는 선택블록의

어드레스조차, 스페어의 SWL군에 대응하는 스페어메모리에 기억해두는 것만으로 된다. 도 157에 비해, 군으로 합친만큼 스페어메모리수를 저감할 수 있다.

(제113실시예)

도 159는 본 발명의 제113실시예에 있어서의 불량 메모리셀의 리페어방법을 나타낸 도면이다.

이는 도 155의 블록구성으로 실현할 수 있다. 복수의 워드선을 조로하여 예컨대, 통상셀의 WL05, WL04에 걸쳐, 또는 WL05단독, WL04단독의 강유전체 캐패시터 파괴와 같은 불량에 대해서는 스페어의 임의의 워드선군(예컨대, SWL03, SWL02)으로 치환한다. 이 경우, 스페어메모리로서는 치환을 행하는 선택블록의 어드레스 및, 셀블록 내의 군을 나타낸 어드레스를 스페어의 SWL군에 대응하는 스페어메모리에 기억해두는 것만으로 된다. 도 157~도 158에 비해, 스페어메모리수가 증가하지만, 그 만큼, 다른 셀블록에 셀블록 내의 동일군의 위치의 셀이 다수 불량해도 구제할 수 있는 등, 구제효율은 크게 높아진다.

더욱이, 당연히 도 156~도 159에 나타낸 스페어어레이는 통상셀과 동일 셀어레이 내에 있어도 되고, 구제효율을 상승하기 때문에, 별도 셀어레이로 합쳐도 된다.

(제114실시예)

도 160은 본 발명의 제114의 실시예를 설명하기 위한 것으로, 셀구조를 나타낸 단면도이다.

상술의 구성에서는 셀크기 4F²에 대해, 캐패시터 크기도 4F²로 되고, 강유전체 캐패시터 면적의 저하가 부인되었다. 도 160의 셀구조에서는 강유전체 캐패시터 면적을 3F²로 할 수 있어, 종래 8F²셀과 동등 또는, 그 이상도 면적을 늘릴 수 있다. 상기 도 61, 도 62의 구성에서도 늘릴 수 있지만, 강유전체 캐패시터 3단 겹쳐지게 되고, 본 실시예의 2단 겹쳐지는 쪽이 만들기 쉽다. 상기 도 53의 다단 겹침에서도 용량이 늘어나지만, 강유전체 캐패시터를 미세하게 자를 필요가 있다.

도 160의 예에서는 1개의 강유전체 캐패시터를 분단하지 않고 형성할 수 있어, 제조가 용이하게 된다. 도 161의 변형예는 비트선을 강유전체 캐패시터보다 앞서 형성한 경우를 나타낸다.

도 160, 도 161의 등가회로를 도 162에 나타낸다. 이는 이제까지의 구성과 다르다. 줄디드 BL구성을 위하여, 블록 선택트랜지스터는 2개 직렬로 된다. 동작으로서는 일부 랜덤액세스성이 없어진다. 예컨대, 일시기억 레지스터에 기억한다. 이 때, WL3, WL4를 선택하는 경우, WL4를 선택한 것으로 셀 데이터를 독출하고, 이를 일시기억 레지스터에 기억한다. 이 때, WL5의 셀은 쇼트하고 있으며, 셀 데이터는 파괴되지 않는다. 다음에, WL5를 선택하고, WL5의 셀 정보의 독출, 기록동작을 한다. 최후에, WL4를 선택하고, 일시기억 레지스터의 정보를 WL4의 셀에 기록한다.

마찬가지로, WL0~1, WL2~3, WL6~7선택시는 WL0, WL3, WL7으로부터 독출되면, 임의의 셀 데이터의 독출기록이 가능하다. 이 2비트 단위의 동작예를 도 163에 나타낸다. PL은 (1/2)V_{cc} 고정에서도 V_{ss}~V_{cc} 구동 어느쪽에서도 선택할 수 있다.

(제115실시예)

도 164는 본 발명의 제115실시예에 따른 FRAM의 셀구성을 나타낸 평면도이다. 강유전체 캐패시터와 셀 트랜지스터의 병렬접속을 1셀로서 이를 직렬접속하여 메모리셀 블록을 구성하면 등가회로는 동일하지만, 셀구조가 다른 4종류 셀의 레이아웃 도 a~d를 나타내고 있다.

이들은 이제까지 기술한 4F²크기보다 크지만, 저비용, 1M비트 FRAM ~ 16M비트 FRAM 등의 저집적 FRAM에 적용할 수 있다. 셀크기는 크지만, 물론 본 발명의 특징인 (1/2)V_{dd} 고정플레이트로 고속동작 가능하고, 게다가 리프레쉬 불필요 등의 특징은 유지된다.

도 164는 워드선층, 비트선층, 확산층, 확산층-비트선층간 콘택트, 비트선층-금속층간 콘택트, 비트선층-하부전극간 콘택트, 금속층-상부전극간 콘택트, 금속층-하부전극간 콘택트, 상부비트선층을 나타내고 있다.

도 165는 이 중, 워드선층, 비트선층, 확산층, 확산층-비트선층간 콘택트만을 나타내고 있다. 더욱이, 도 166은 비트선층-금속층간 콘택트, 비트선층-하부전극간 콘택트, 금속층-하부전극간 콘택트, 금속층-하부전극간 콘택트, 상부비트선층만을 나타내고 있다.

도 164a에 있어서는 강유전체 캐패시터의 위치와 셀 트랜지스터의 위치가 워드선 방향에 반피치 벗어나 배치되고, 강유전체 캐패시터의 아래에 비트선으로서의 비트선층이 배열설치되어 있다. 셀 트랜지스터의 소스 또는 드레인의 확산층의 노드는 일단, 확산층-비트선층간 콘택트를 매개로, 비트선층(비트선과 동일층이지만, 비트선에는 없는)으로 상승되고, 그 위에 비트선층-금속층간 콘택트를 매개로 금속층에 연결된다. 금속층은 워드선방향으로 확대되고, 금속-상부전극간 콘택트, 금속-하부전극간 콘택트를 매개로, 상부전극 및 합전극에 접속된다.

도 167a는 도 164a의 셀을 워드선방향으로부터 본 이미지도를 나타내고, 도 167a의 A-A'에서의 단면도를 도 167b에, B-B'에서의 단면도를 도 167c에 나타낸다. 도 167b는 확산층의 노드에서 하부전극으로의 접속을 나타내고, 도 167c는 확산층의 노드에서 상부전극으로의 접속을 나타낸다. 도 167d에 나타낸 바와 같이, 도 167a와 다르게, 비트선층을 매개로 직접확산층과 금속층을 접속해도 된다.

도 164a의 셀구조에 있어서의 특징은 확산층으로부터 Si플래그, Ti, TiN 등을 매개로, 그 위에 직접 하부전극을 형성할 필요가 없고, 하부전극 형성후에, 위로부터 금속 등에 전극노드를 접속하고 있는 점이다. 이것에 의해, Si플래그의 평탄화의 문제나, 열처리에 의한 하부전극 Pt와 Si가 반응하여 실리사이드가 형성되는 문제나, 강유전체 캐패시터막 형성시에 Ti가 산화하고, Si플래그와 Ti, TiN 등의 사이에 산화막이 형성하는 등의 문제를 회피할 수 있다. 또한, 비트선이 셀에 덮여 있기 때문에, 비트선간 용량에 의한 비트선간 컵링 노이즈를 저감할 수 있다.

도 164b의 셀은 강유전체 캐패시터의 아래에 셀 트랜지스터가 배열설치되고, 비트선은 이들의 사이에 위

드선방향에 반피치 벗어나 배열설치되어 있다. 도 164b의 단면방향의 이미지도 도 168에 나타낸다. 셀 트랜지스터의 소스 또는 드레인의 노드로부터 비트선층을 매개로, 또는 직접 금속층에 접속되고, 금속층은 비트선방향으로 확대되어 위로부터 강유전체 캐패시터의 상부전극 또는 하부전극에 콘택트가 취해진다.

도 164c의 셀은 상기 도 4와 거의 동일하고, 강유전체 캐패시터와 셀 트랜지스터가 상하로 배치되고, 그 둘에 반피치 벗어나, 강유전체 캐패시터보다 아래에 비트선을 배열설치하고 있는 예이다. 도 4와 다른 점은 확산층에서 전극으로의 접속을 비트선과 동일 배선층(비트선층)을 매개로 하고 있는 점과, 강유전체 캐패시터 크기가 크게 설정되어 있는 점이다. 비트선층을 매개로 함으로써, 콘택트의 깊이를 저감하고 있다.

도 164d의 셀은 상기 도 3과 거의 동일하고, 강유전체 캐패시터와 셀 트랜지스터가 상하에 배치되고, 그 위에 비트선(상부 비트선층)을 배열설치하고 있는 예이다. 도 3과 다른 점은 확산층에서 전극으로의 접속을 일단 비트선층을 매개로 하고 있는 점과, 강유전체 캐패시터 크기가 크게 설정되어 있는 점이다. 비트선층을 매개로 함으로써, 콘택트의 깊이를 저감하고 있다. 이와 같이, 강유전체 캐패시터 크기를 크게하면, 비트선용량이 증가하지만, 원래 본 발명은 비트선용량이 작기 때문에, 이들은 거의 문제되지 않는다.

(제116 실시예)

도 169는 본 발명의 제116 실시예에 따른 FRAM의 셀구조를 나타낸 평면도이다.

도 169는 도 164와 마찬가지로, 워드선층, 비트선층, 확산층, 확산층-비트선층간 콘택트, 비트선층-금속층간 콘택트, 비트선층-하부전극간 콘택트, 금속층-상부전극간 콘택트, 금속층-하부전극간 콘택트, 상부 비트선층을 나타내고 있다. 도 170은 이 중, 워드선층, 비트선층, 확산층, 확산층-비트선층간 콘택트만을 나타내고 있다. 더욱이, 도 171은 비트선층-금속층간 콘택트, 비트선층-하부전극간 콘택트, 금속층-상부전극간 콘택트, 금속층-하부전극간 콘택트, 상부비트선층만을 나타내고 있다.

도 164-도 171에 나타낸 셀의 장소로서 PL구동방식에서도 고속동작이 가능하다. 이는 PL부의 전극도 금속층으로 위로부터 콘택트를 취하기 때문에, PL의 RC지연을 작게 억제할 수 있다.

종래의 셀에서는 상부전극과 Si를 금속으로 접속하면, PL측의 하부전극은 금속과 어레이 내는 접속할 수 없기 때문에, RC가 크다.

(제117 실시예)

도 172는 본 발명의 제117 실시예에 따른 메모리셀구조의 예를 나타낸 등가회로도 및 단면도이다.

본 실시예에서는 상기 도 55a의 개량이고, 하부전극의 표면을 테이퍼형상으로 형성하고, 인접한 하부전극 간에 단면 V자형의 상부전극을 배치하고 있다. 즉, 모든 셀노드에 있어서, 하부전극 형성후에, 강유전체막을 형성하고, 그 후에 인접 셀노드 서로를 상부전극으로 접속하고 있다.

이 경우에도, 도 172a에 나타낸 바와 같이, 등가회로적으로 2개의 강유전체 캐패시터를 직렬접속한 형으로 되고, 셀용량이 반감하지만, 상부전극은 강유전체 막에만 접속하면 되고, 제작하기 쉬운 이점이 있다. 특히, 이 구조는 MOCVD법으로 제작하는 것으로 제작하기 쉬운 것이다.

더욱이, 본 발명은 상술한 각 실시예에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위에서 다양하게 변형하여 실시할 수 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 의하면, 트랜지스터와 강유전체 캐패시터를 병렬접속하여 FRAM의 메모리셀을 구성함으로써, 증형트랜지스터 등을 이용하지 않고, 8F 크기보다 작은(예컨대, 4F) 크기의 메모리셀을 실현할 수 있으면서 랜덤액세스 기능도 유지할 수 있다.

또한, $(1/2)V_{cc}$ 고정플레이트방식이면서, DRAM과 동등한 고속화를 유지하면서 리프레쉬동작을 불필요하게 할 수 있다.

더욱이, 비트선용량의 저감이 가능하고, 변경예에 의해, 노이즈의 저감, 비트선 물, 센스앰프의 물의 완화, 센스앰프수의 저감, 독출신호량의 증대, 4F 크기에 다수 비트데이터의 기억 등이 가능하게 된다.

또한, 본 발명의 강유전체 메모리는 리프레쉬가 불필요하여 고속동작이 가능하기 때문에, 저소비전력으로 고속용도용의 시스템이나, 고온동작이 필요한 고속용도용의 시스템에 적용할 수 있고, 더욱이 고밀도화가 필요한 환경이 엄격한 시스템이나 대용량의 메모리가 필요한 시스템에 적용할 수 있다.

(57) 청구의 범위

청구항 1

각종의 연산처리를 행하는 마이크로프로세서와, 이 마이크로프로세서에 접속되고, 외부기기와의 데이터 교환을 행하는 입출력장치 및, 상기 마이크로프로세서에 접속되어 데이터의 기억을 행하는 반도체기억장치를 구비한 컴퓨터시스템에 있어서,

상기 반도체기억장치는 트랜지스터와 이 트랜지스터의 소스-드레인단자간에 병렬접속된 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수개 직렬접속함과 더불어, 그 직렬접속부의 적어도 일단에 선택트랜지스터를 접속하여 메모리셀 블록을 구성하고, 이 메모리셀 블록을 복수개 배치하여 셀어레이를 구성한 것을 특징으로 하는 컴퓨터시스템.

청구항 2

반도체기억장치를 탑재한 IC카드칩을 구비한 IC카드에 있어서,

상기 반도체기억장치는 트랜지스터와 이 트랜지스터의 소스·드레인단자간에 병렬접속된 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수개 직렬접속함과 더불어, 그 직렬접속부의 적어도 일단에 선택트랜지스터를 접속하여 메모리셀 블록을 구성하고, 이 메모리셀 블록을 복수개 배치하여 셀어레이를 구성한 것을 특징으로 하는 IC카드.

청구항 3

화상데이터를 입력하기 위한 화상입력장치와, 상기 입력된 화상데이터를 압축하는 데이터압축장치, 상기 압축된 화상데이터를 기억하는 반도체기억장치, 상기 압축된 화상데이터를 출력하는 출력장치 및, 상기 입력된 화상데이터 또는 압축된 화상데이터를 표시하는 표시장치를 구비한 디지털 화상취입시스템에 있어서,

상기 반도체기억장치는 트랜지스터와 이 트랜지스터의 소스·드레인단자간에 병렬접속된 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수개 직렬접속함과 더불어, 그 직렬접속부의 적어도 일단에 선택트랜지스터를 접속하여 메모리셀 블록을 구성하고, 이 메모리셀 블록을 복수개 배치하여 셀어레이를 구성한 것을 특징으로 하는 디지털 화상취입시스템.

청구항 4

데이터를 기억하기 위한 반도체기억장치와, 이 반도체기억장치에 접속되어 외부기기와의 데이터 교환을 행하는 입출력장치를 구비한 메모리시스템에 있어서,

상기 반도체기억장치는 트랜지스터와 이 트랜지스터의 소스·드레인단자간에 병렬접속된 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수개 직렬접속함과 더불어, 그 직렬접속부의 적어도 일단에 선택트랜지스터를 접속하여 메모리셀 블록을 구성하고, 이 메모리셀 블록을 복수개 배치하여 셀어레이를 구성한 것을 특징으로 하는 메모리시스템.

청구항 5

각종의 처리를 행하기 위한 코어와, 데이터의 기억을 행하기 위한 반도체기억장치에 있어서,

상기 반도체기억장치는 트랜지스터와 이 트랜지스터의 소스·드레인단자간에 병렬접속된 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수개 직렬접속함과 더불어, 그 직렬접속부의 적어도 일단에 선택트랜지스터를 접속하여 메모리셀 블록을 구성하고, 이 메모리셀 블록을 복수개 배치하여 셀어레이를 구성한 것을 특징으로 하는 시스템 LSI칩.

청구항 6

각종의 연산처리 행하는 마이크로프로세서와, 이 마이크로프로세서에 접속되어 데이터의 입력을 행하기 위한 입력장치, 상기 마이크로프로세서에 접속되어 외부기기와의 데이터 교환을 행하는 전파송수신기, 이 송수신기에 접속된 안테나, 상기 마이크로프로세서에 접속되어 필요한 정보를 표시하는 표시장치 및, 상기 마이크로프로세서에 접속되어 데이터의 기억을 행하는 반도체기억장치를 구비한 휴대컴퓨터시스템에 있어서,

상기 반도체기억장치는 트랜지스터와 이 트랜지스터의 소스·드레인단자간에 병렬접속된 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수개 직렬접속함과 더불어, 그 직렬접속부의 적어도 일단에 선택트랜지스터를 접속하여 메모리셀 블록을 구성하고, 이 메모리셀 블록을 복수개 배치하여 셀어레이를 구성한 것을 특징으로 하는 휴대컴퓨터시스템.

청구항 7

트랜지스터와, 이 트랜지스터의 소스·드레인단자간에 병렬접속된 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수배치하여 셀어레이를 구성한 것을 특징으로 하는 반도체기억장치.

청구항 8

트랜지스터와, 이 트랜지스터의 소스·드레인단자간에 병렬접속된 강유전체 캐패시터로부터 메모리셀을 구성하고, 이 메모리셀을 복수개 직렬접속하여 메모리블록을 구성하고, 이 메모리블록을 복수개 배치하여 셀어레이를 구성한 것을 특징으로 하는 반도체기억장치.

청구항 9

트랜지스터와, 이 트랜지스터의 소스·드레인단자간에 병렬접속된 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수개 직렬접속함과 더불어, 그 직렬접속부의 일단에 선택트랜지스터를 접속하여 메모리블록을 구성하고, 이 메모리블록을 복수개 배치하여 셀어레이를 구성한 것을 특징으로 하는 반도체기억장치.

청구항 10

트랜지스터와, 이 트랜지스터의 소스·드레인단자간에 병렬접속된 강유전체 캐패시터로 메모리셀을 구성하고, 그 메모리셀을 복수개 직렬접속함과 더불어, 그 직렬접속부의 적어도 일단에 선택트랜지스터를 접속하여 메모리블록을 구성하고, 이 메모리블록의 일단은 비트선에 접속되고, 타단이 플레이트전극에 접속되어 있는 것을 특징으로 하는 반도체기억장치.

청구항 11

트랜지스터와, 이 트랜지스터의 소스·드레인단자간에 병렬접속된 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수개 직렬접속함과 더불어, 그 직렬접속부의 적어도 일단에 제1 및 제2선택트랜지스터를 직렬로 접속하여 메모리블록을 구성하고, 이 메모리블록의 일단은 비트선에 접속되고, 타단이 플레이트전극에 접속되어 있는 것을 특징으로 하는 반도체기억장치.

청구항 12

트랜지스터와, 이 트랜지스터의 소스·드레인단자간에 각각 병렬접속된 항전압이 다른 복수의 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수개 직렬접속함과 더불어, 그 직렬접속부의 적어도 일단에 제1 및 제2선택트랜지스터를 직렬로 접속하여 메모리블록을 구성하고, 이 메모리블록을 복수개 배치하여 셀어레이를 구성한 것을 특징으로 하는 반도체기억장치.

청구항 13

트랜지스터와, 이 트랜지스터의 소스·드레인단자간에 병렬접속된 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수개 직렬접속함과 더불어, 그 직렬접속부의 적어도 일단에 제1, 제2, 제3 및 제4선택트랜지스터를 직렬로 접속하여 메모리블록을 구성하고, 2개의 그 메모리블록의 각 일단은 동일한 비트선에 접속되고, 타단이 플레이트전극에 접속되어 있는 것을 특징으로 하는 반도체기억장치.

청구항 14

제1트랜지스터와, 이 제1트랜지스터의 소스·드레인단자간에 병렬접속되어 제1데이터를 기억하는 제1강유전체 캐패시터, 상기 제1트랜지스터에 직렬접속된 제2트랜지스터 및, 상기 제1 및 제2트랜지스터의 직렬접속부에 병렬접속되어 제2데이터를 기억하는 제2강유전체 캐패시터로 2비트의 메모리셀을 구성하고, 이 메모리셀을 복수개 직렬접속함과 더불어, 그 직렬접속부의 적어도 일단에 1개 이상의 선택트랜지스터를 접속하여 메모리블록을 구성하고, 이 메모리블록을 복수개 배치하여 셀어레이를 구성한 것을 특징으로 하는 반도체기억장치.

청구항 15

제7항 내지 제14항중 어느 한항에 있어서, 메모리셀 블록에 대한 더미셀 블록으로써,

트랜지스터와, 이 트랜지스터의 소스·드레인단자간에 병렬접속된 강유전체 또는 상유전체 캐패시터로 더미셀을 구성하고, 이 더미셀을 복수개 직렬접속함과 더불어, 그 직렬접속부의 일단에 제1 및 제2의 1개 이상 직렬접속된 선택트랜지스터를 접속하여 더미셀 블록을 구성하고, 제1선택트랜지스터의 타단을 제1비트선에 접속하고, 제2선택트랜지스터의 타단을 제2비트선에 접속하여 이루어지는 것을 특징으로 하는 반도체기억장치.

청구항 16

트랜지스터와, 이 트랜지스터의 소스·드레인단자간에 병렬접속된 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수개 직렬접속하여 메모리셀 블록을 구성하고, 이 메모리셀 블록을 복수개 배치하여 셀어레이를 구성한 랜덤액세스 기능을 갖춘 반도체기억장치에 있어서,

상기 메모리셀 블록 내의 복수의 메모리셀의 각 트랜지스터를 도통시켜두는 제1단계와, 상기 메모리셀 블록 내의 복수의 메모리셀 중 어느 하나가 1개의 메모리셀의 트랜지스터를 비도통상태로 하여 이 메모리셀을 선택하고, 그 선택 메모리셀에 대해 데이터의 기록 또는 독출을 행하는 제2단계를 포함하여 이루어진 것을 특징으로 하는 반도체기억장치의 구동방법.

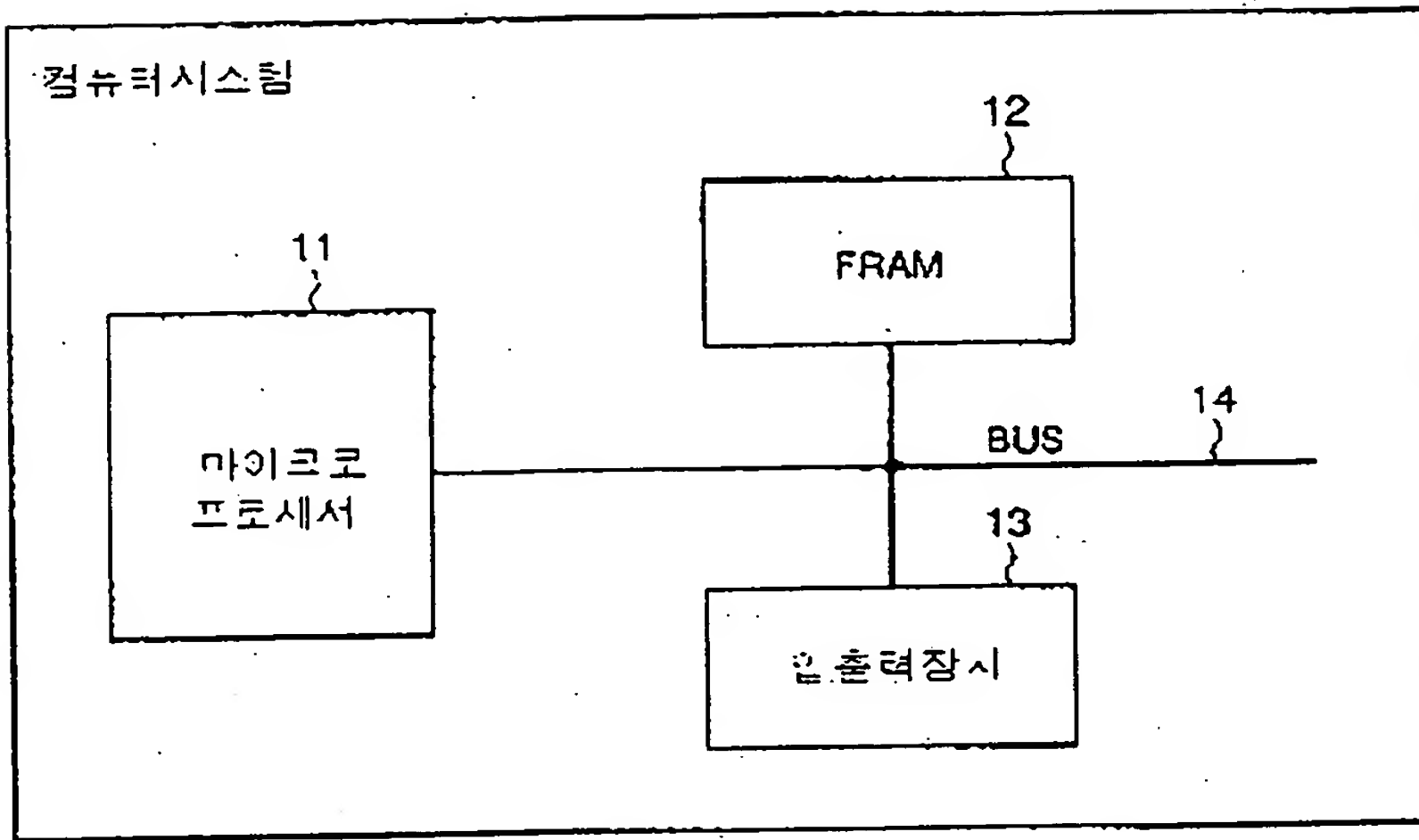
청구항 17

트랜지스터와, 이 트랜지스터의 소스·드레인단자간에 각각 병렬접속된 항전압이 다른 복수의 강유전체 캐패시터로 메모리셀을 구성하고, 이 메모리셀을 복수개 직렬접속하여 메모리셀 블록을 구성하고, 이 메모리셀 블록을 복수개 배치하여 셀어레이를 구성한 랜덤액세스 기능을 갖춘 반도체기억장치에 있어서,

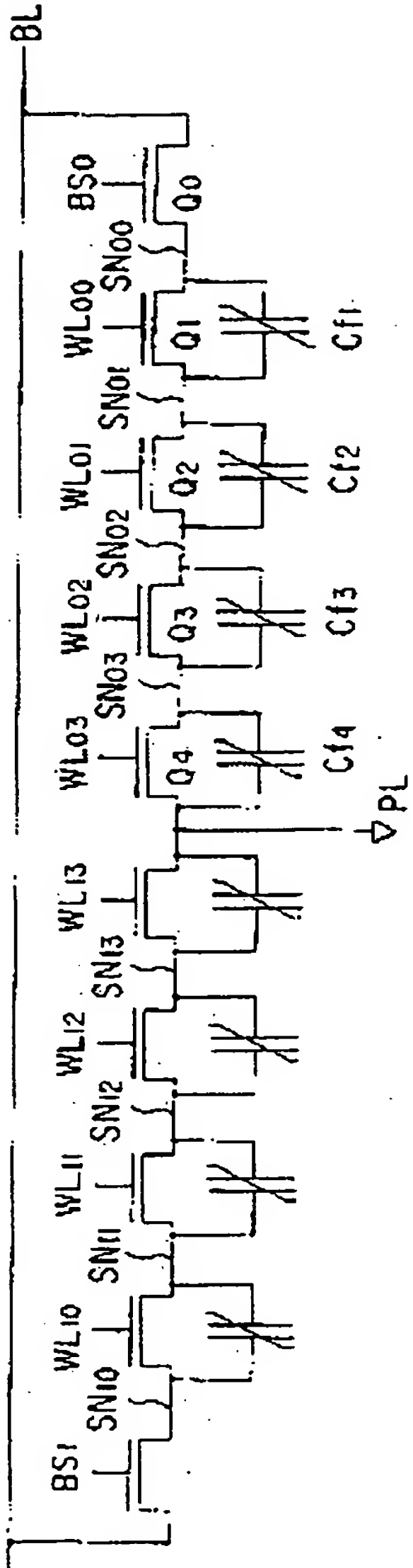
상기 메모리셀 블록 내의 복수의 메모리셀의 각 트랜지스터를 도통시켜두는 제1단계와, 상기 메모리셀 블록 내의 복수의 메모리셀 중 어느 하나가 1개의 메모리셀의 트랜지스터를 비도통상태로 하여 이 메모리셀을 선택하고, 그 선택메모리셀에 상기 강유전체 캐패시터의 항전압 내의 최소의 제1항전압을 초과하는 전압을 인가함으로써, 제1항전압을 갖는 상기 강유전체 캐패시터의 축적정보를 독출하는 제2단계, 상기 선택메모리셀에 제1항전압을 초과하는 전압을 기록하는 제3단계, 상기 선택메모리셀에 제1항전압보다 큰 제2항전압을 초과하는 전압을 인가함으로써, 제2항전압을 갖는 상기 강유전체 캐패시터의 축적정보를 독출하는 제4단계 및, 상기 선택메모리셀에 제2항전압을 초과하는 전압을 기록하는 제5단계를 구비하여 이루어진 것을 특징으로 하는 반도체기억장치의 구동방법.

도면

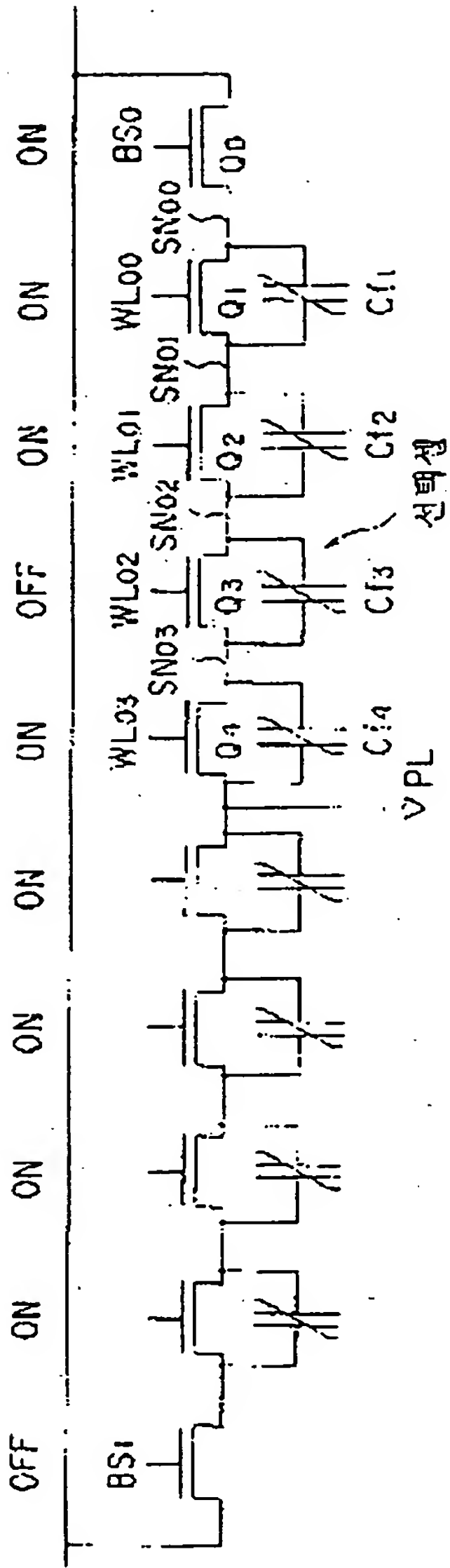
도면



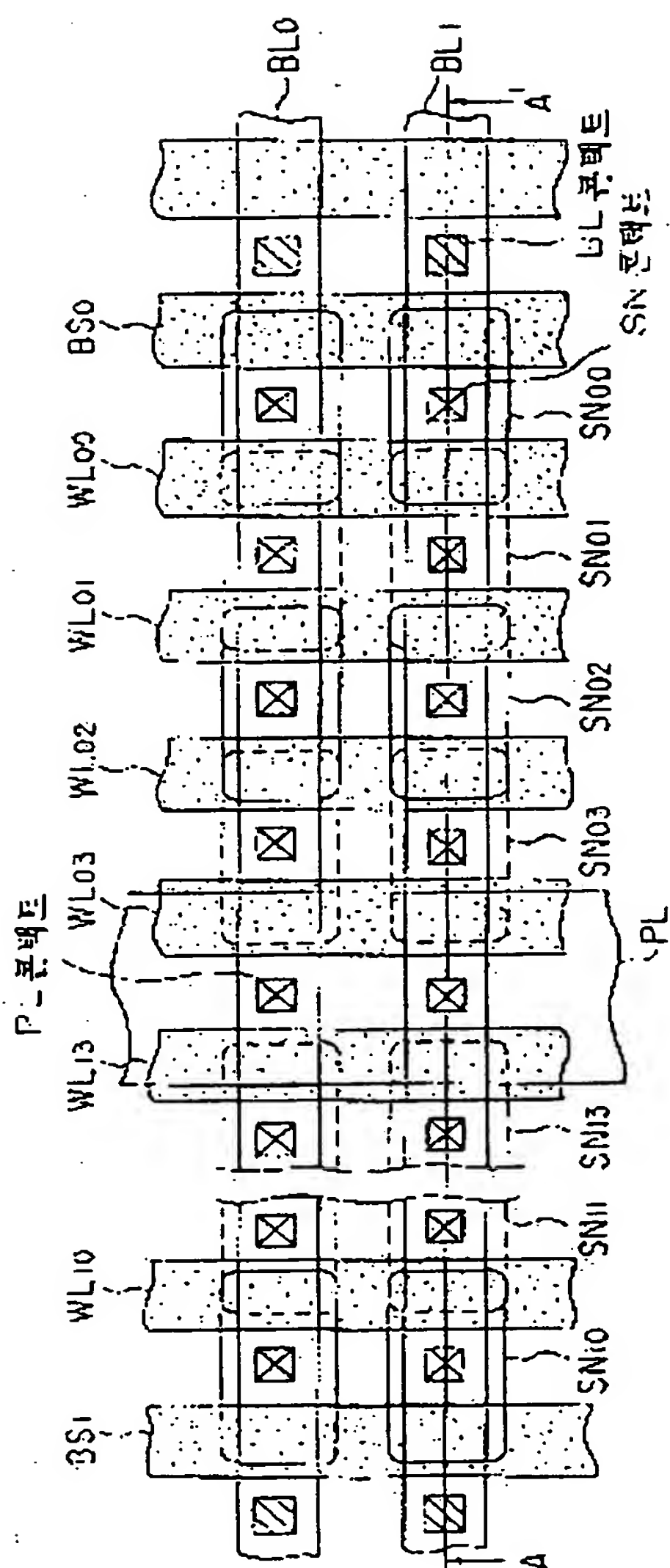
5B28



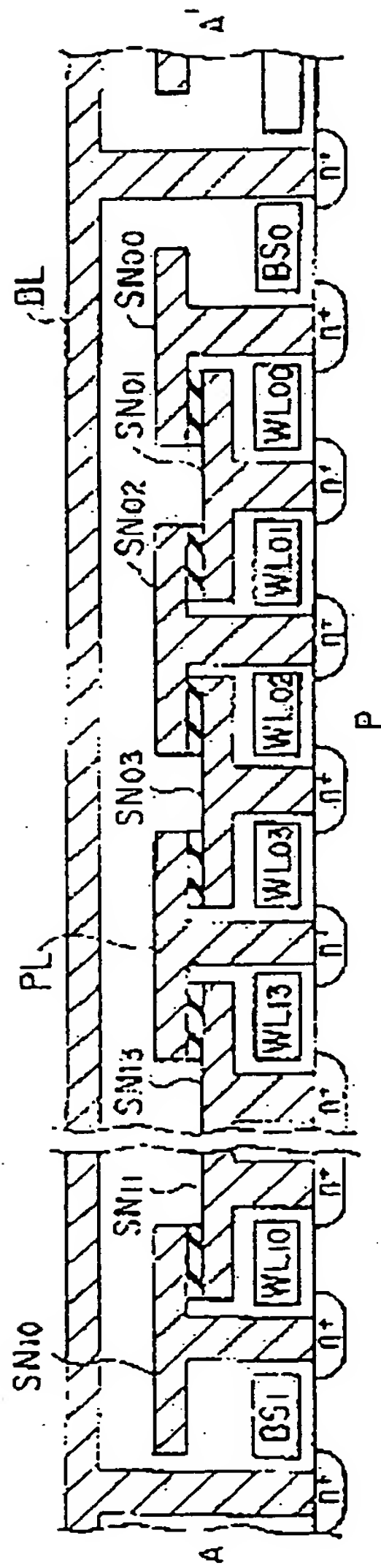
257-47



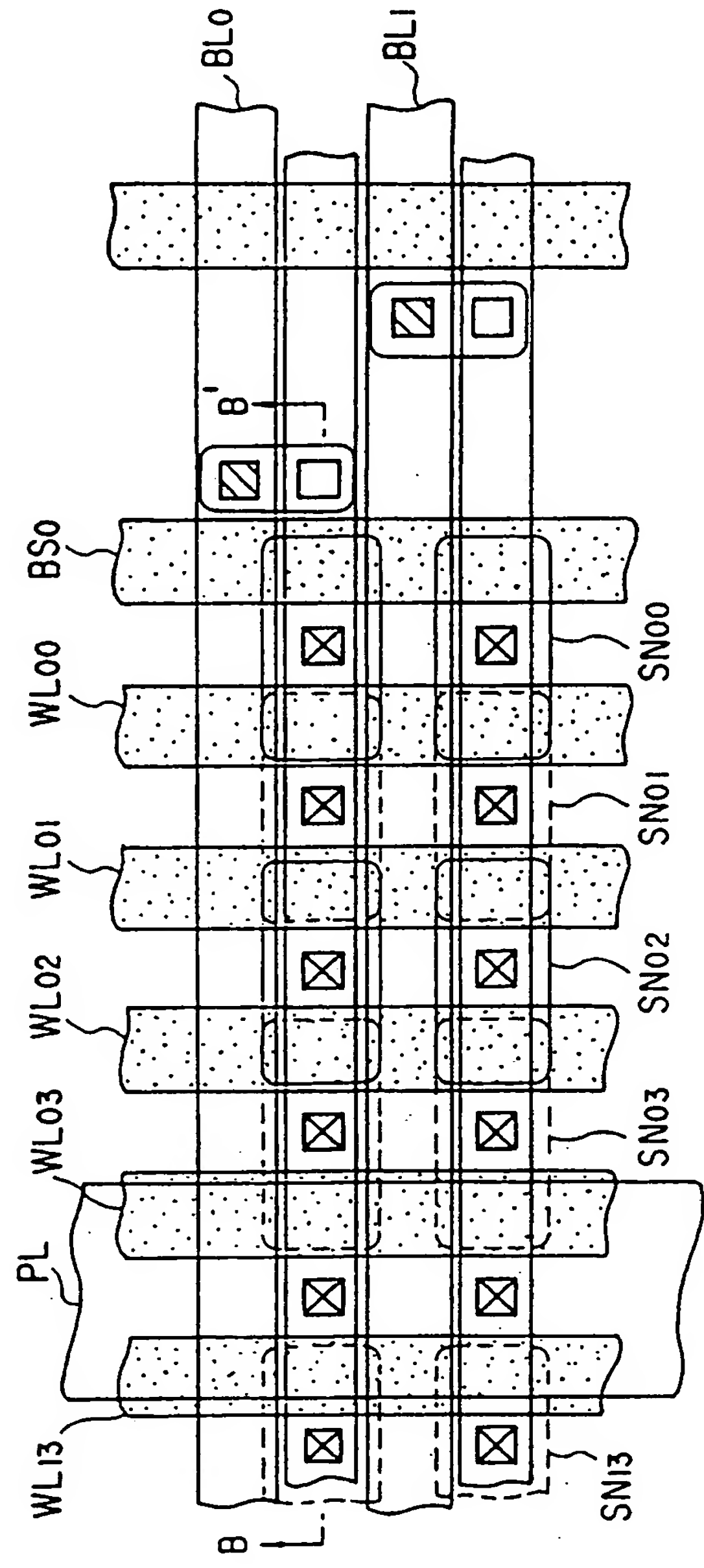
도면38



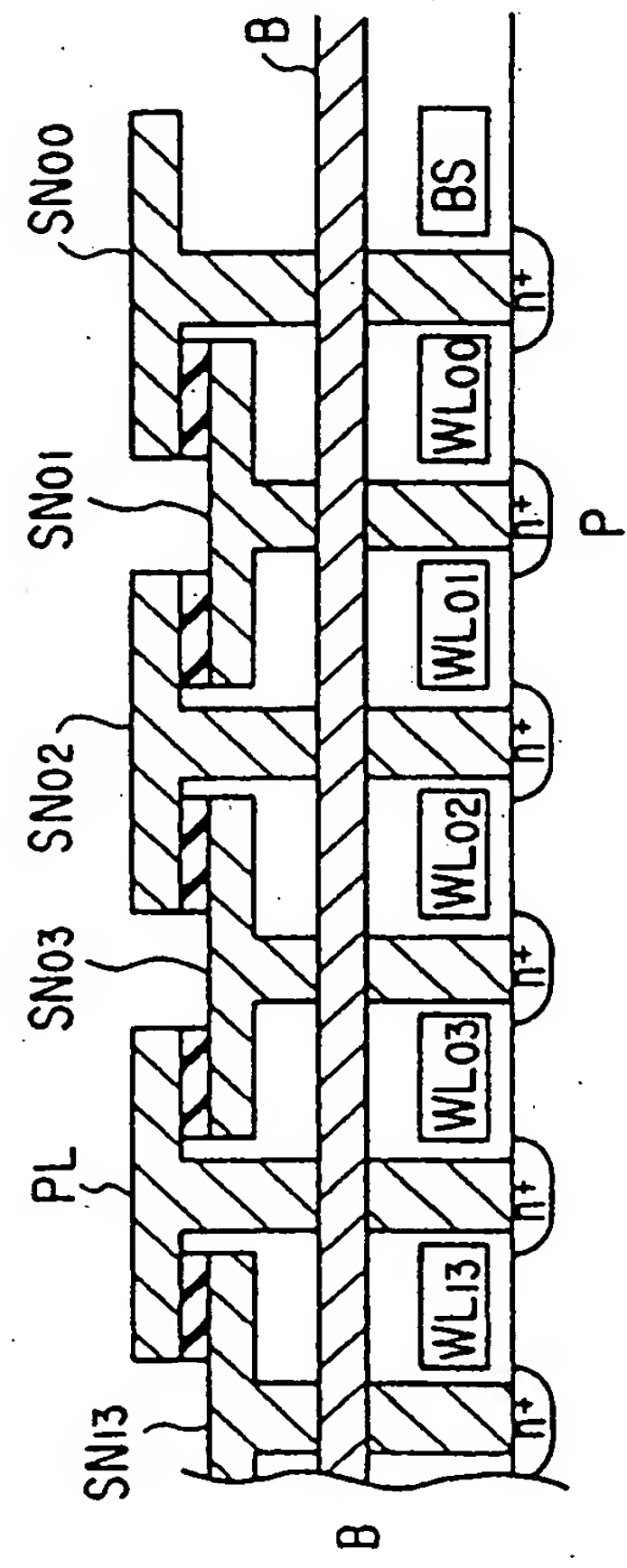
도 36



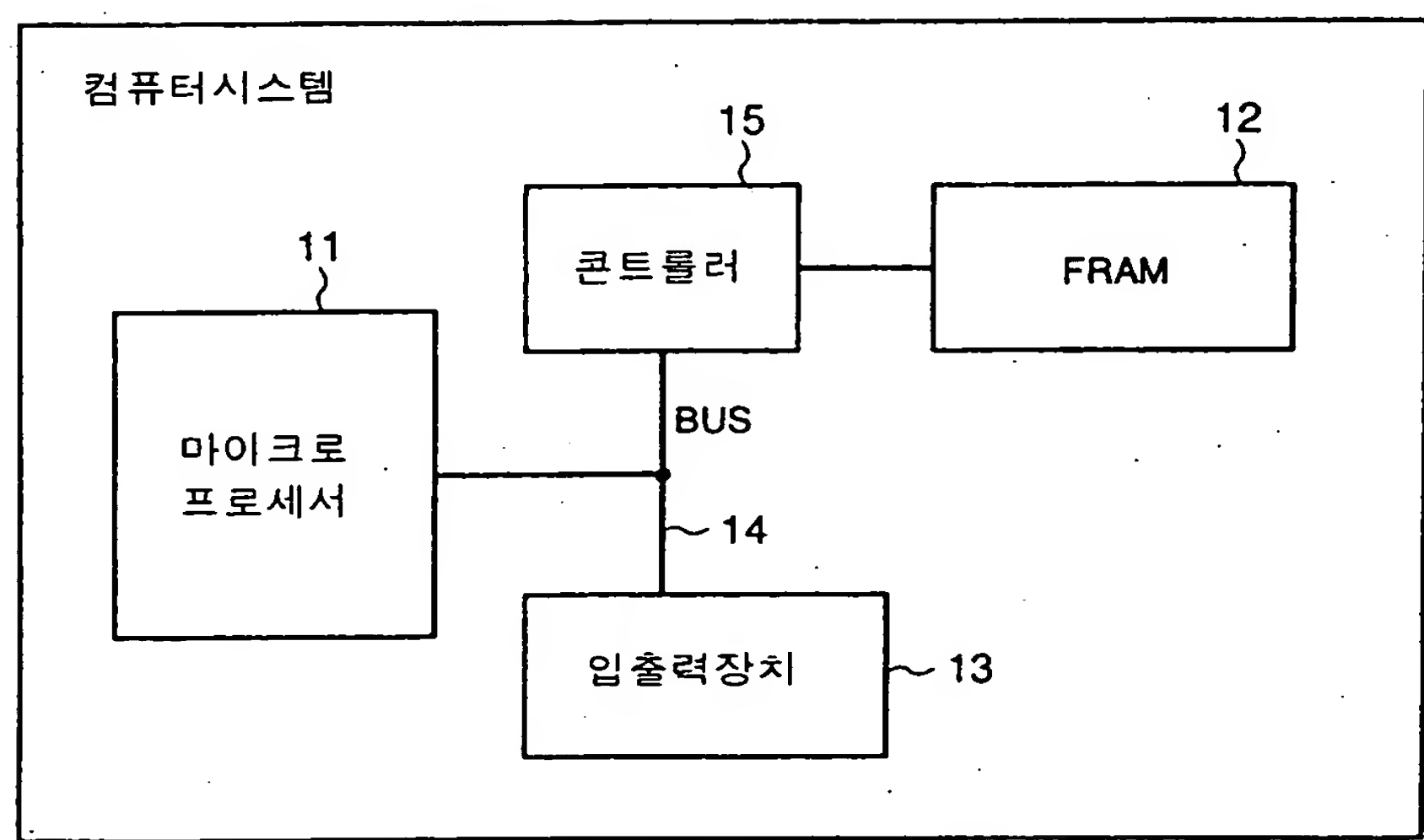
도면 4a



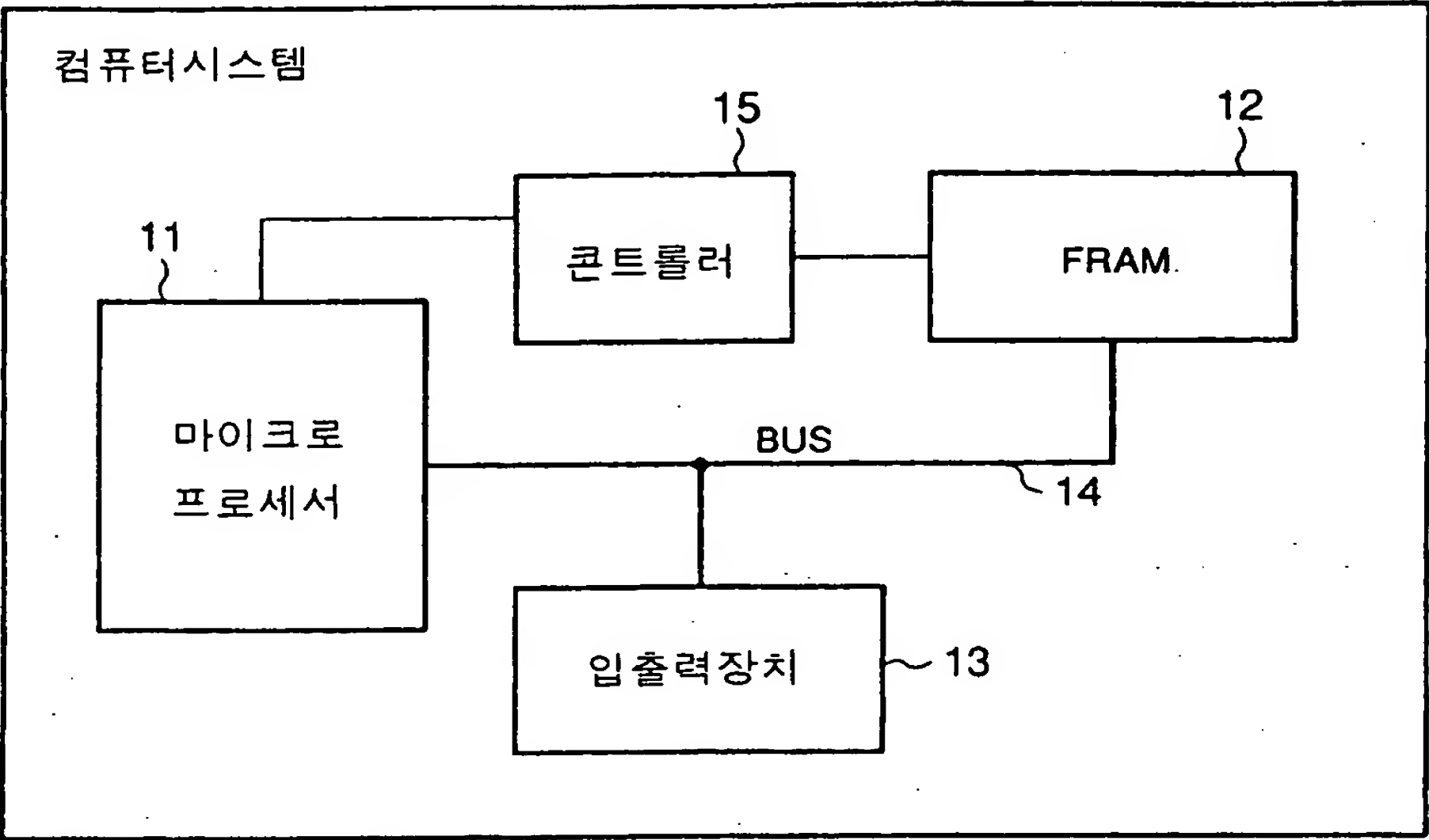
도면 4b



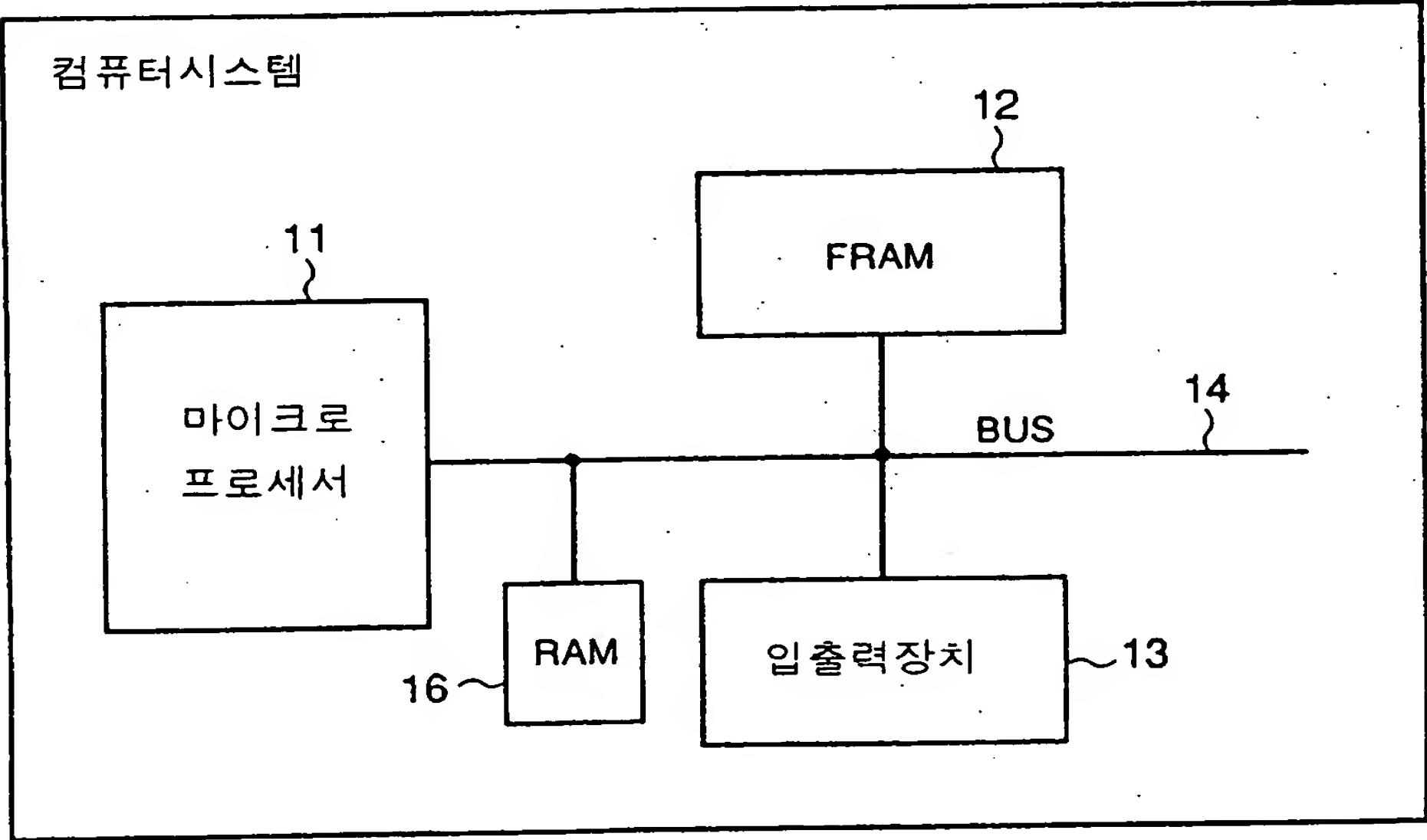
도면 5



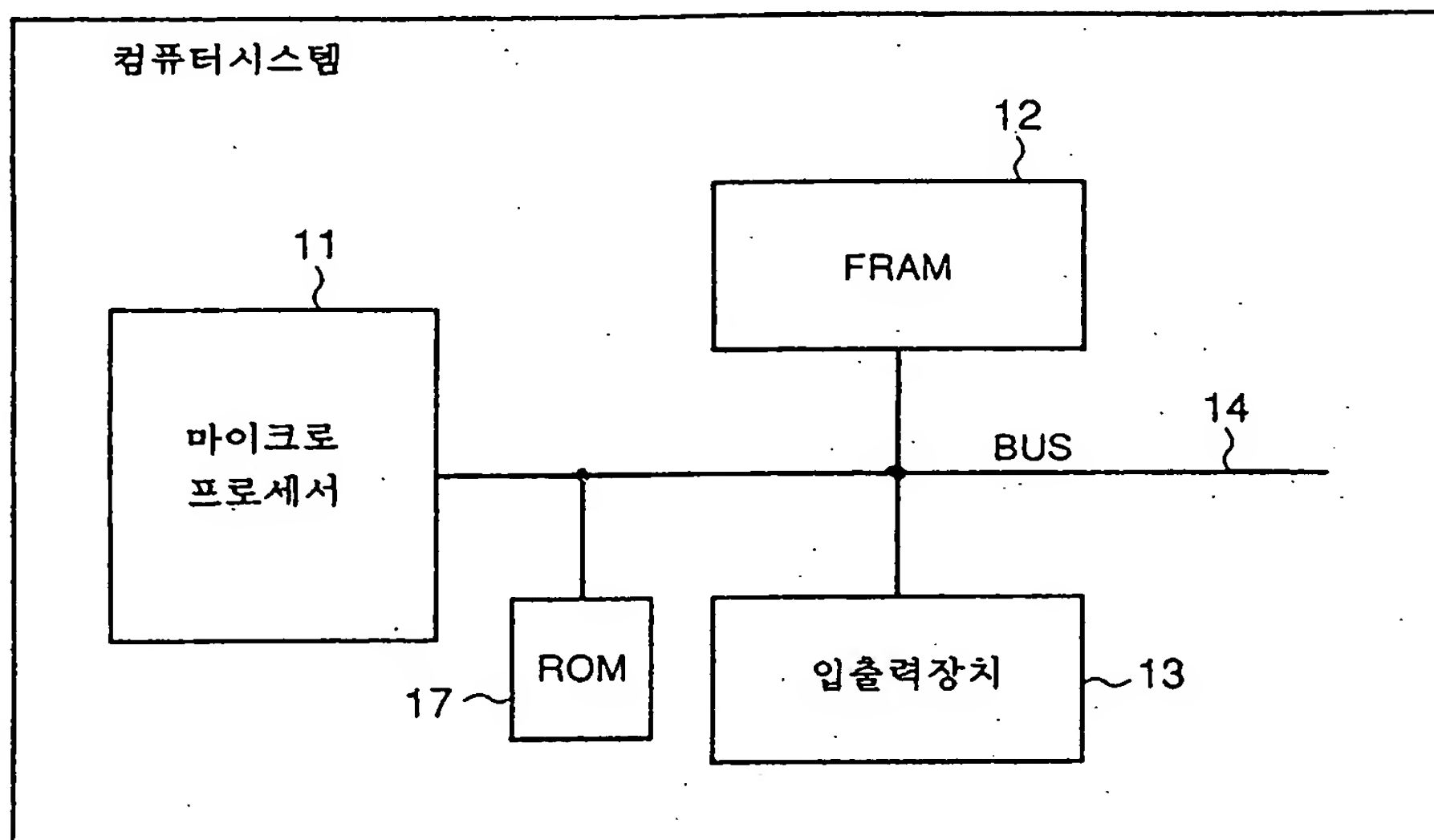
도면 6



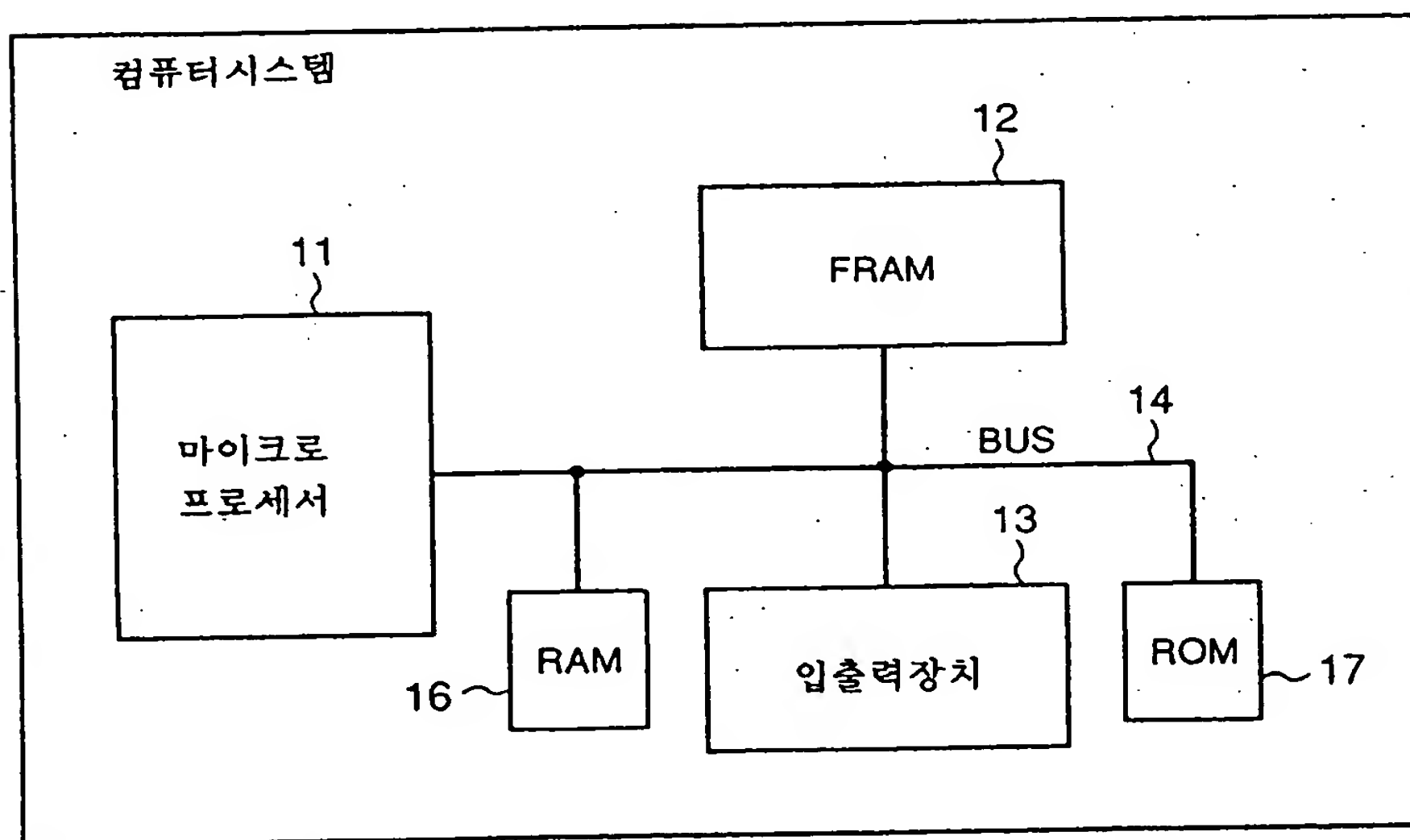
도면 7



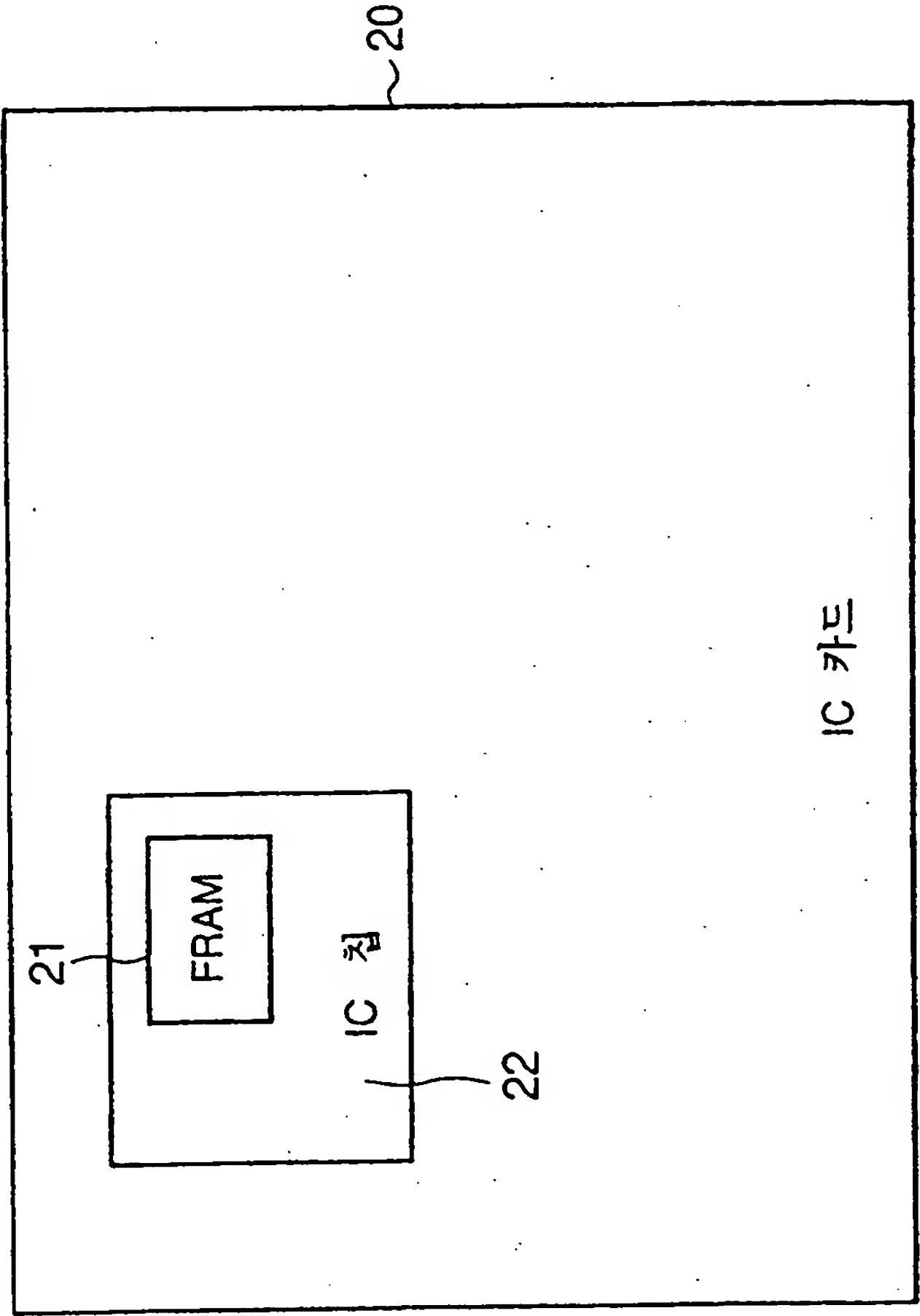
도면 8

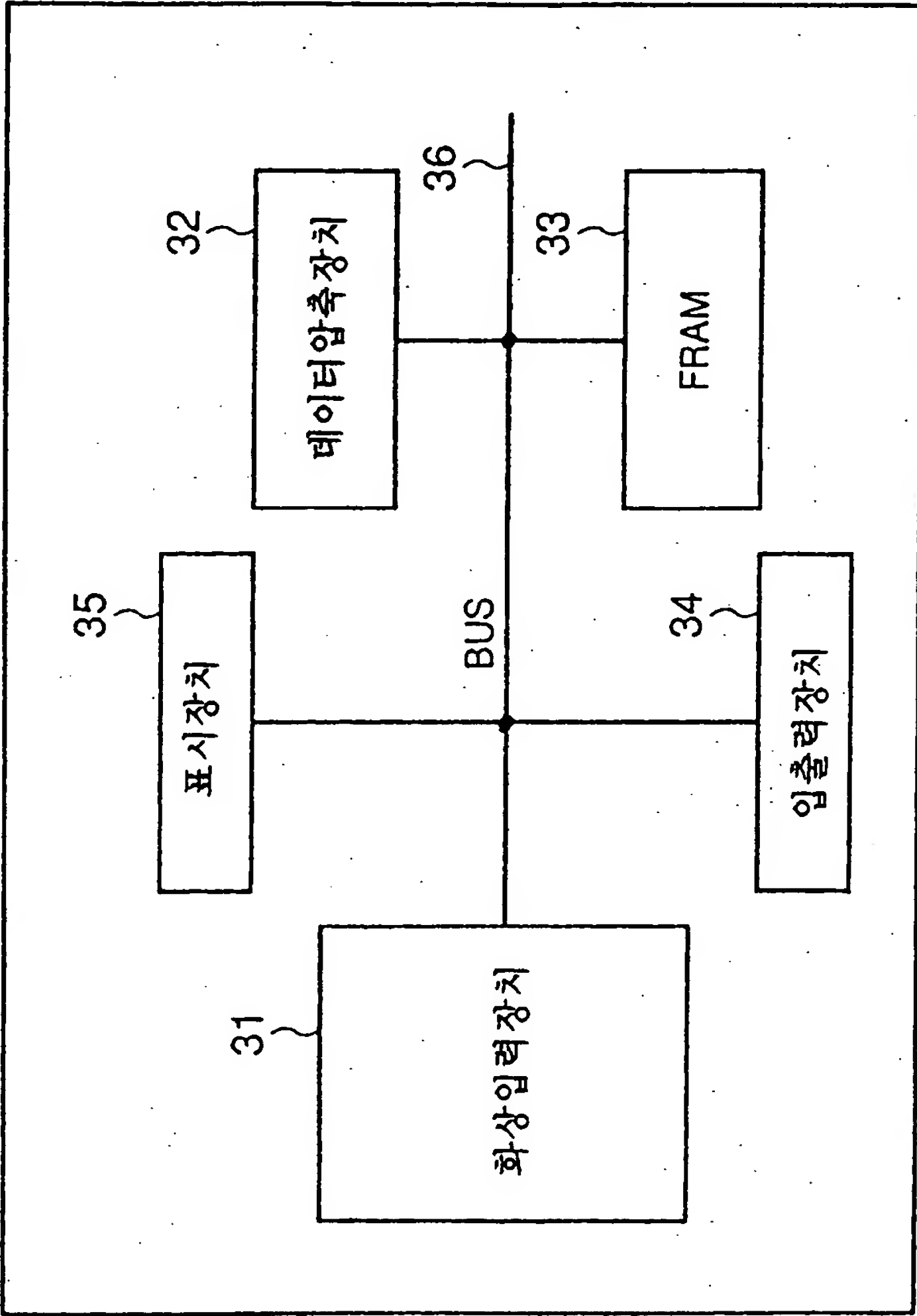


도면 9



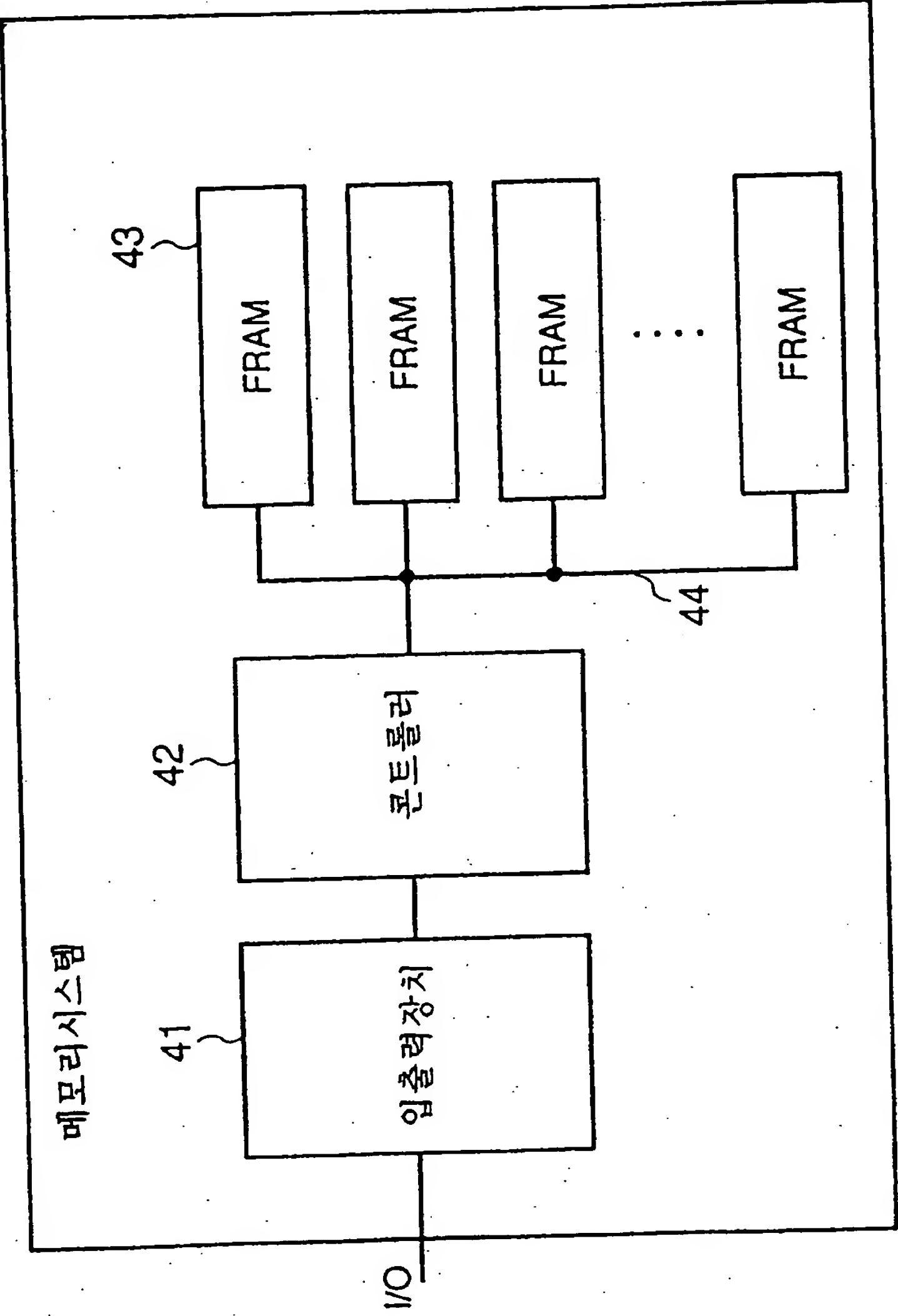
도면 10



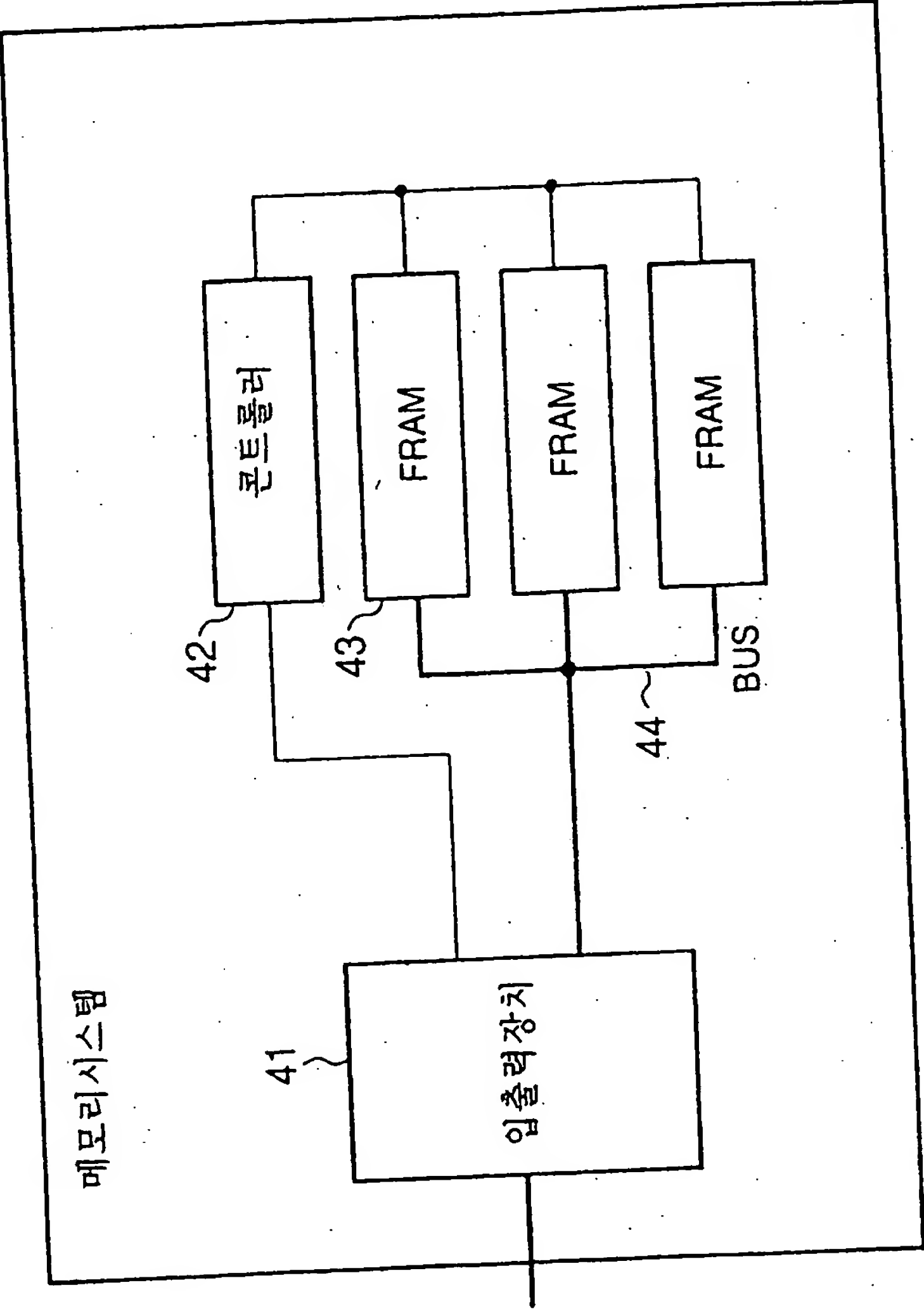


디지털화상취입장치

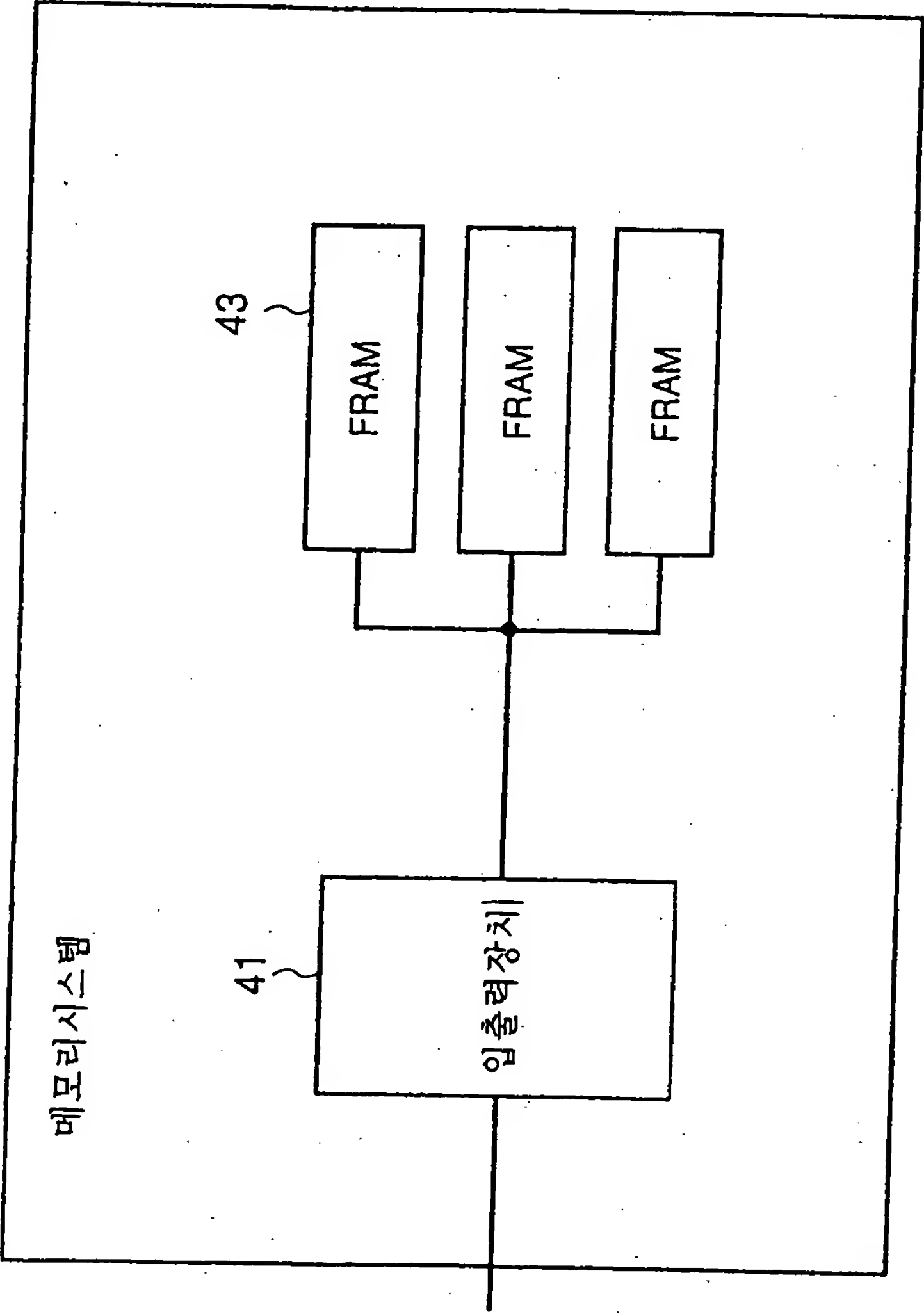
도면 12

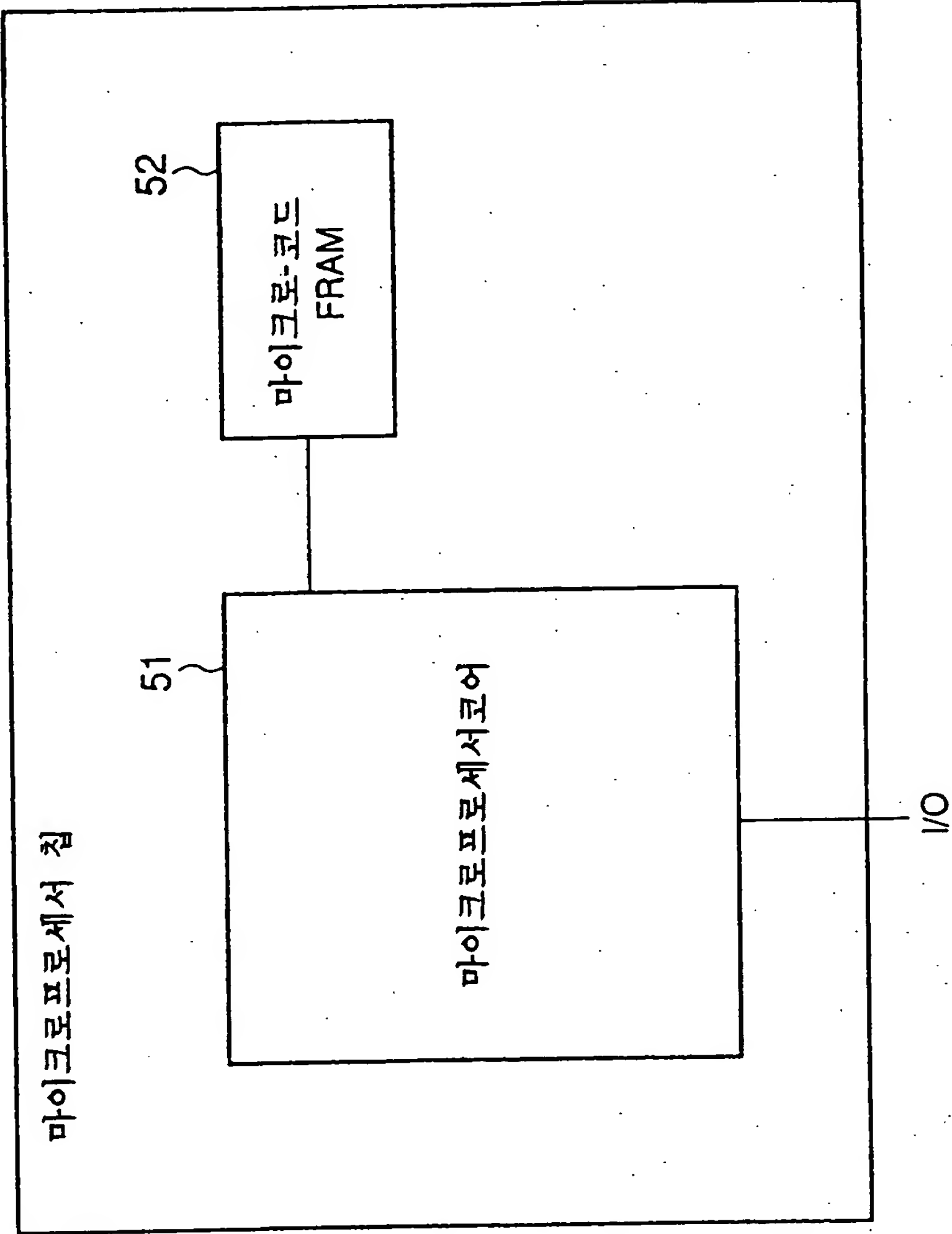


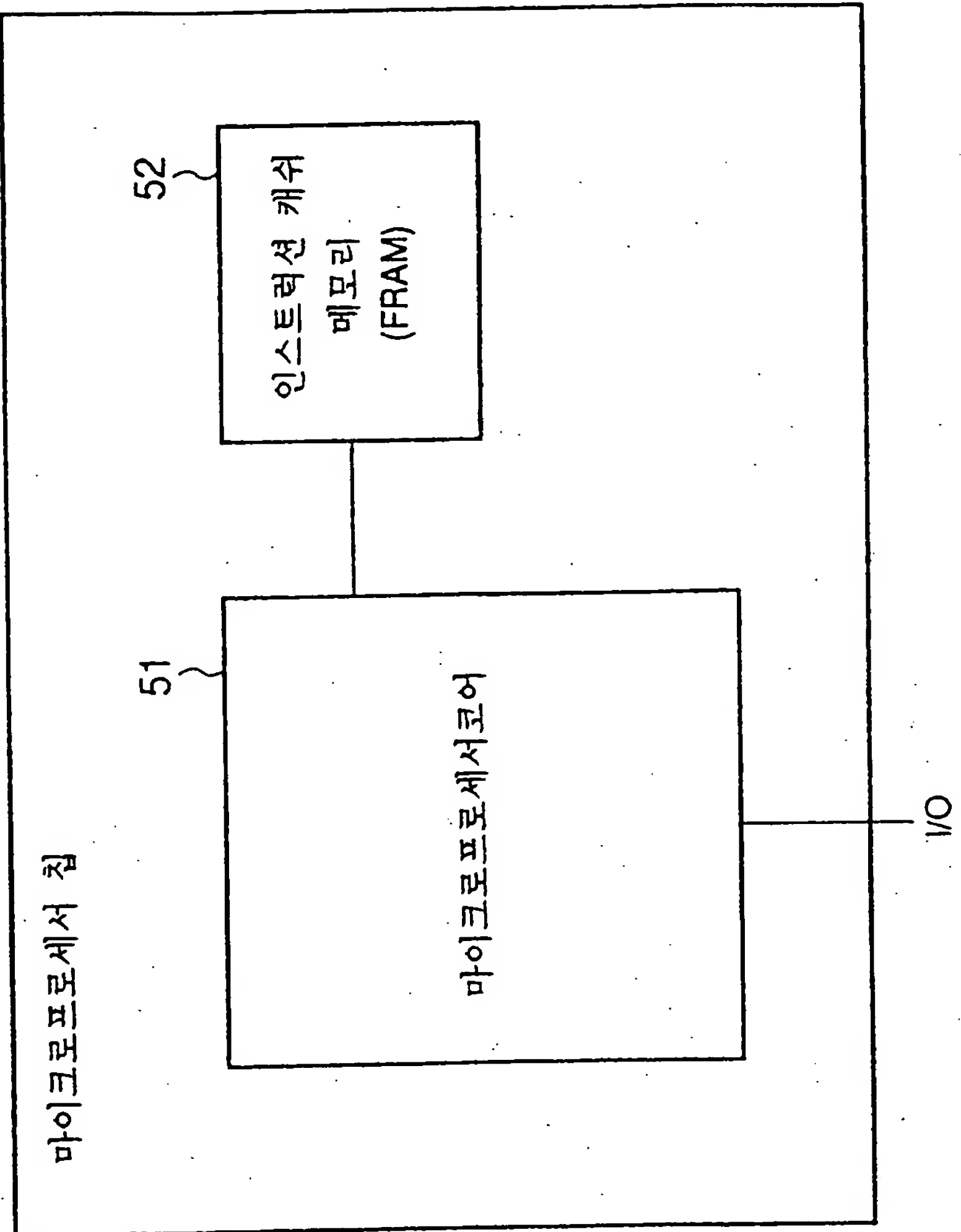
도면 13



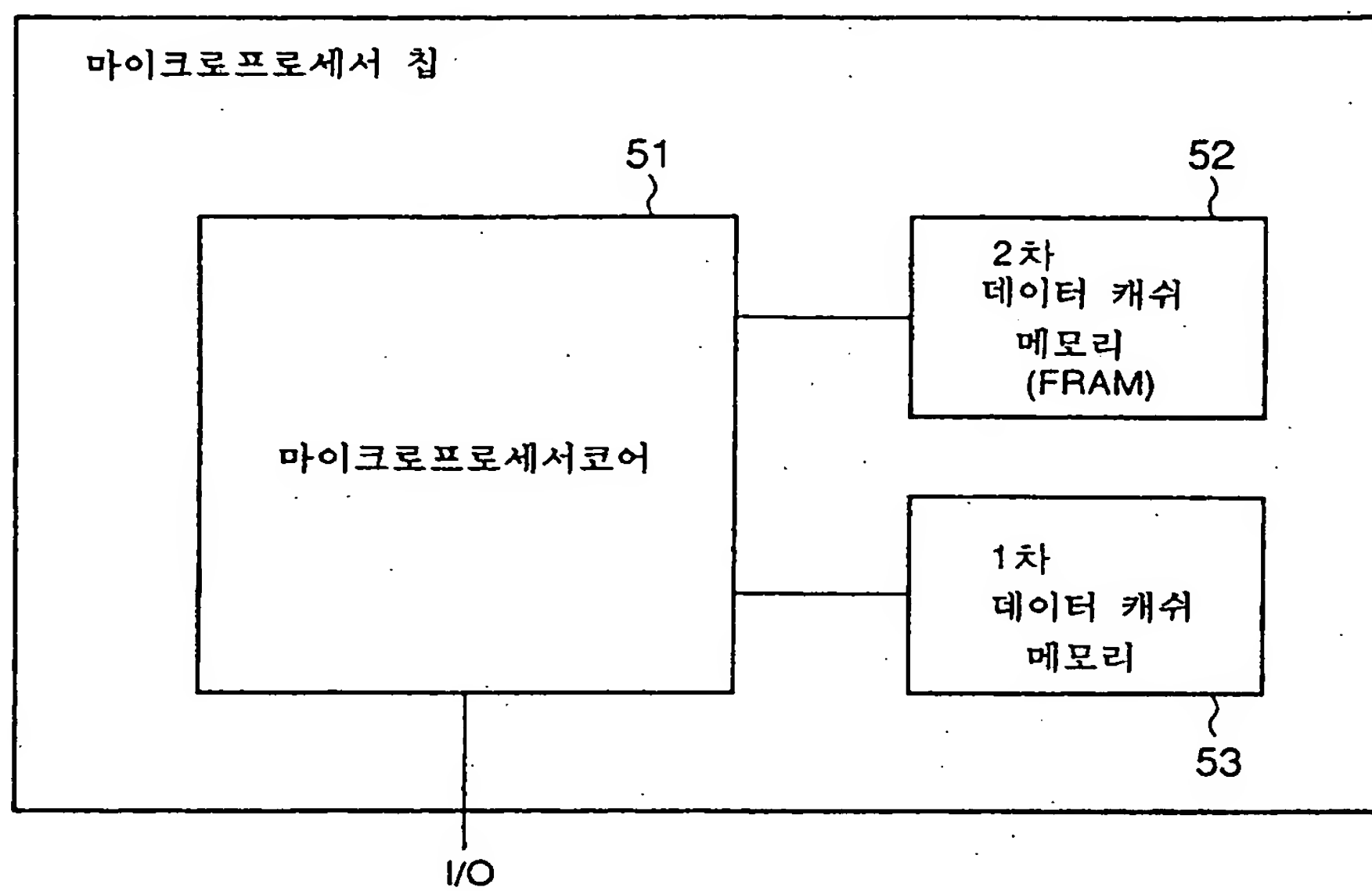
도면 14

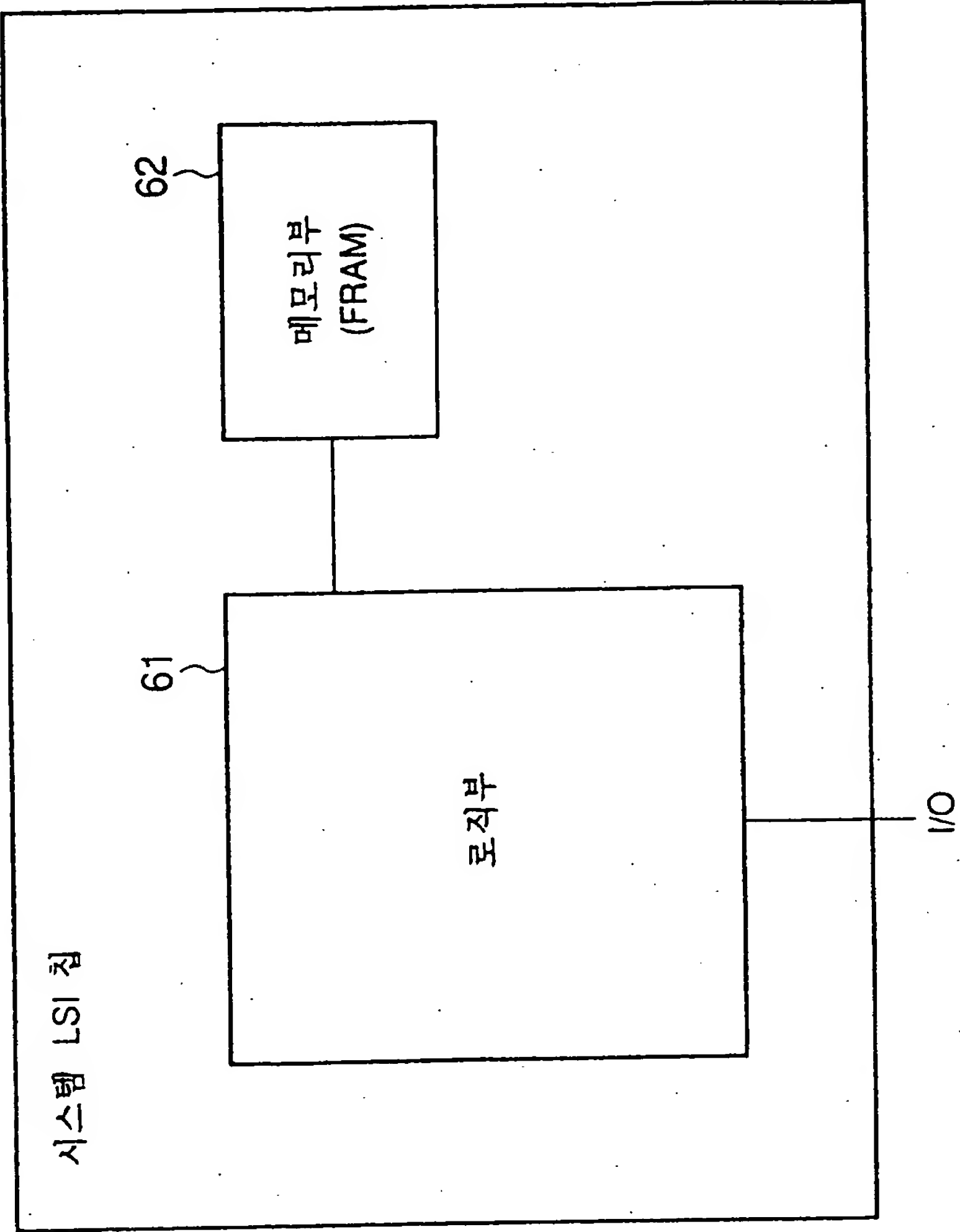




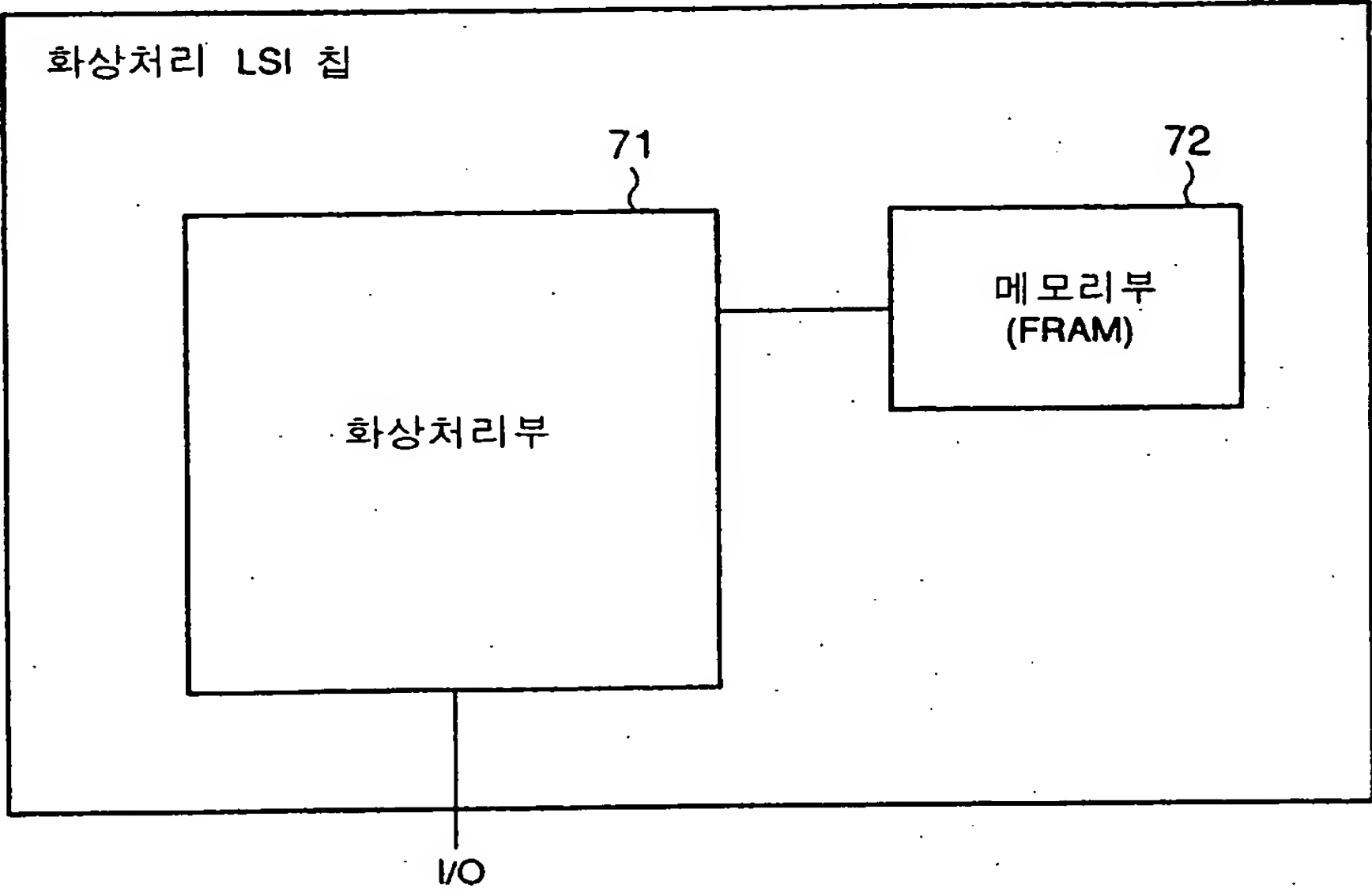


도면 17

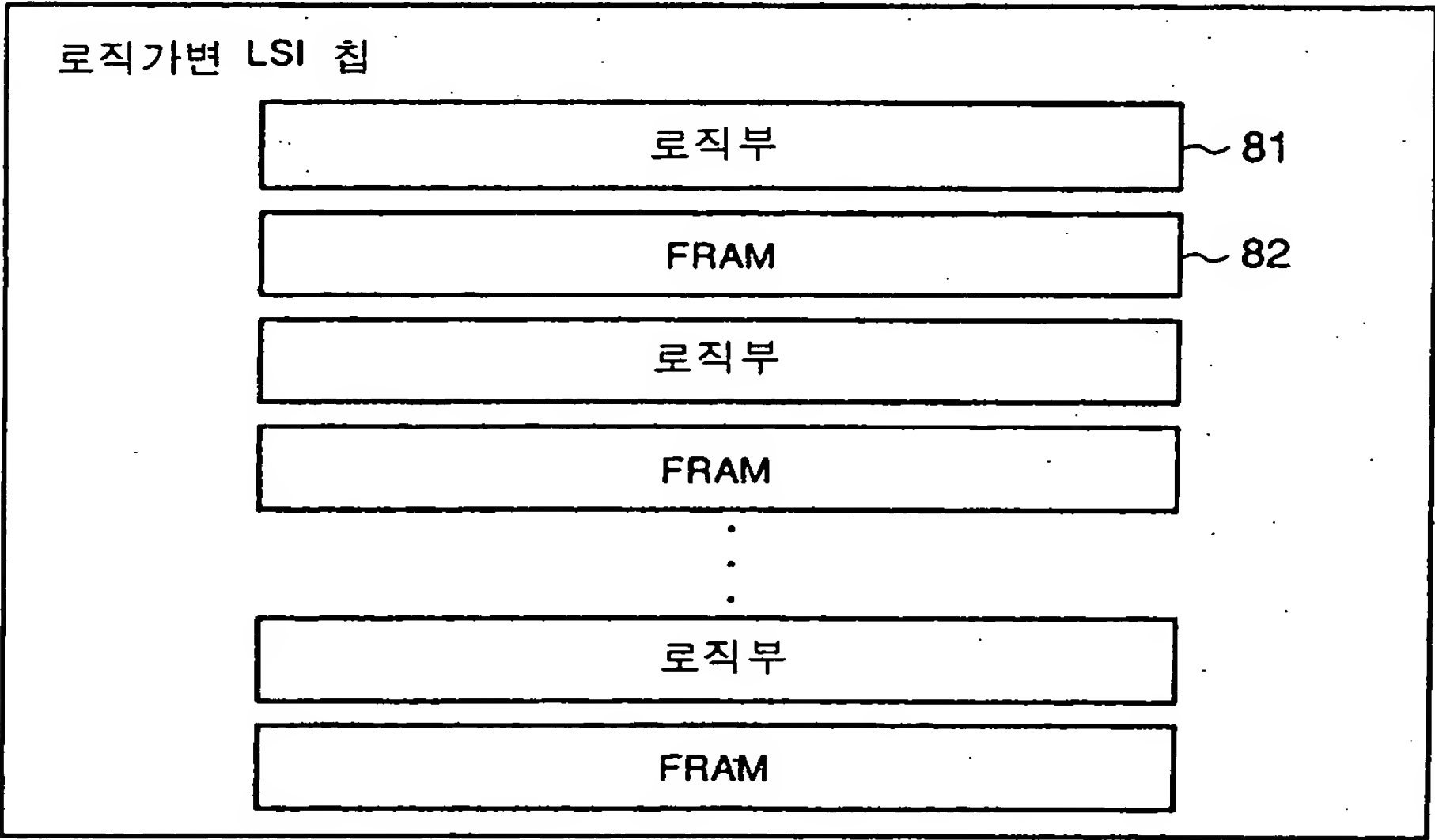




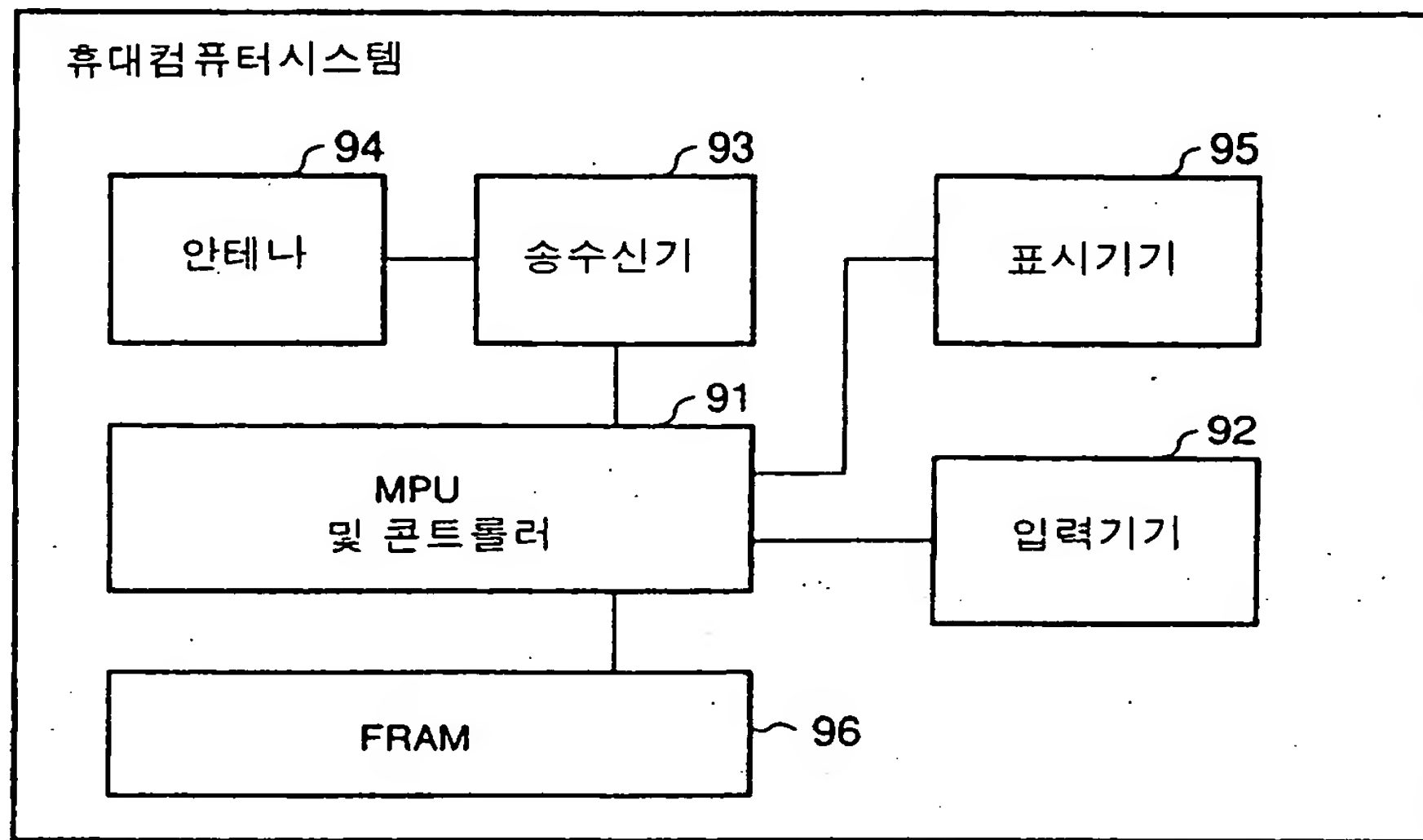
도면 19

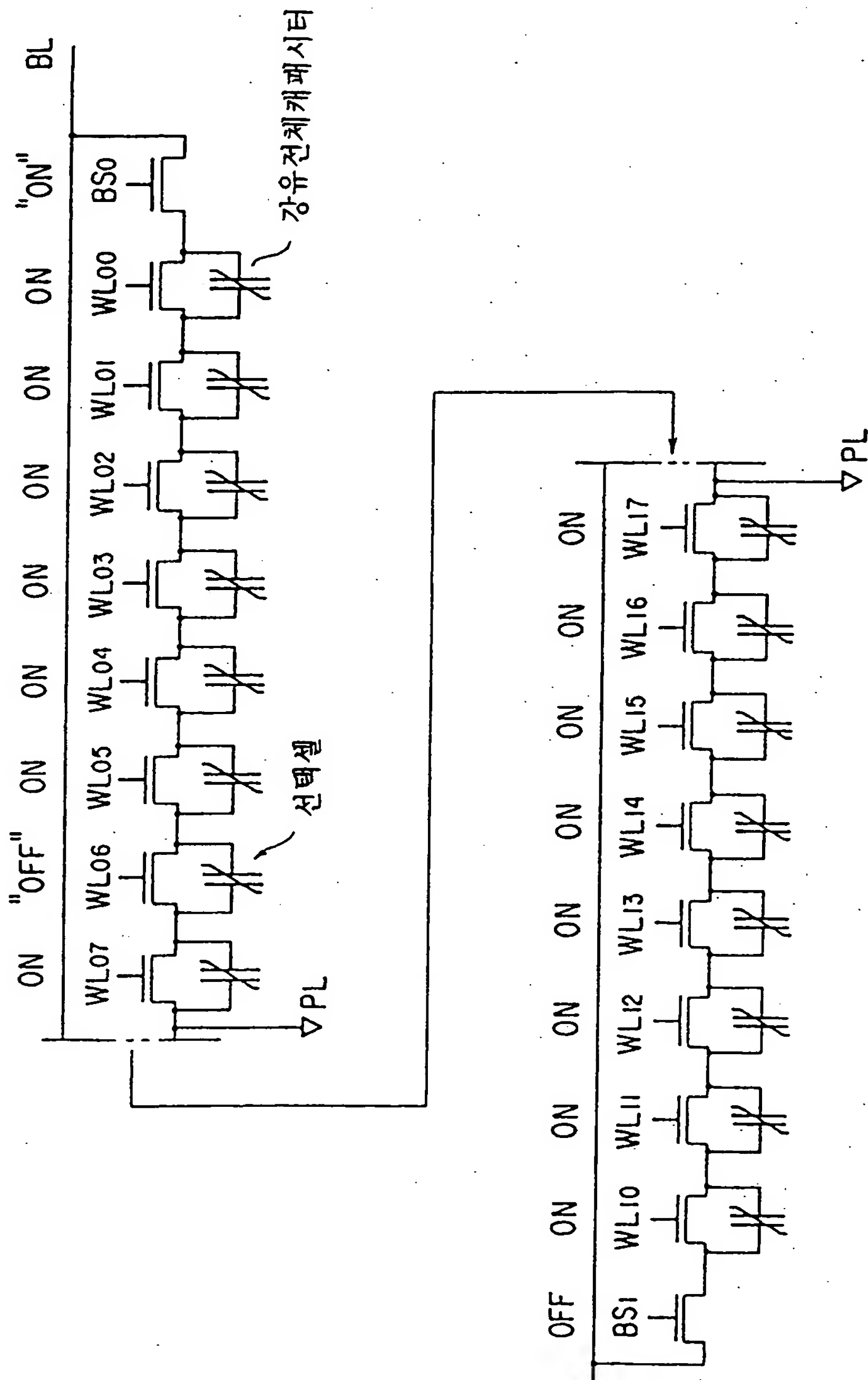


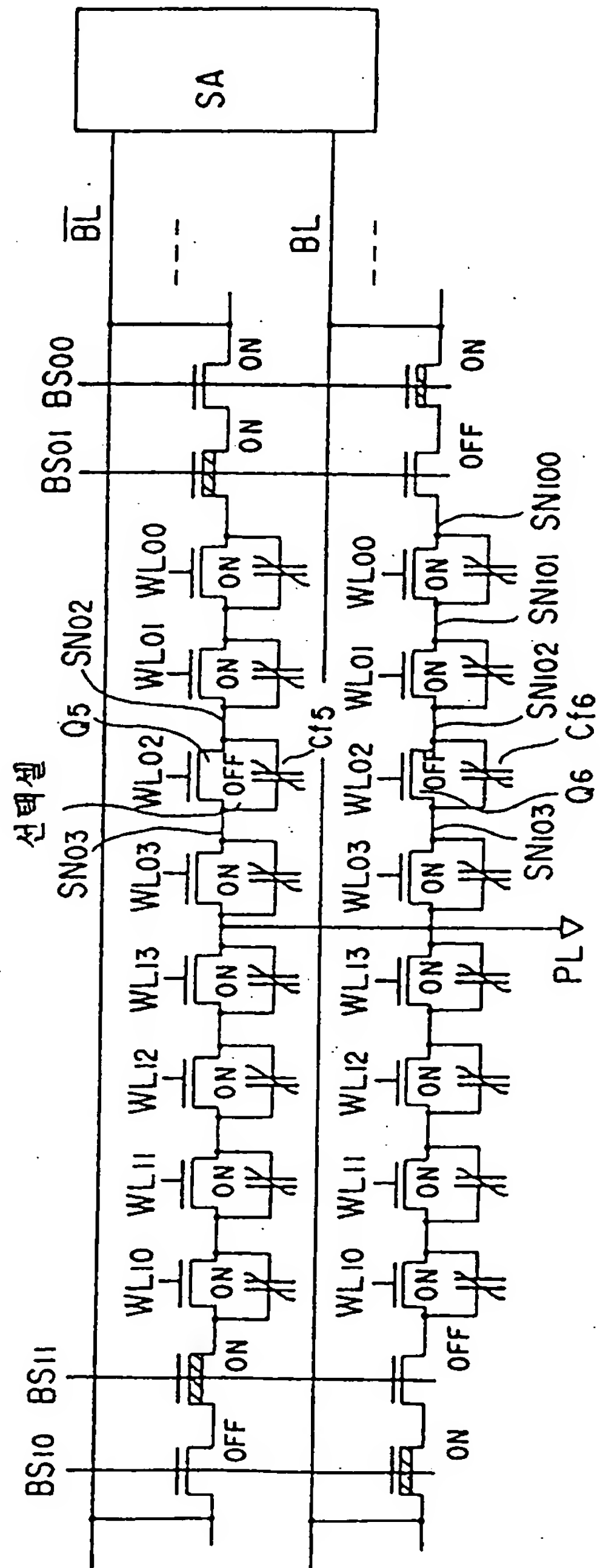
도면 20



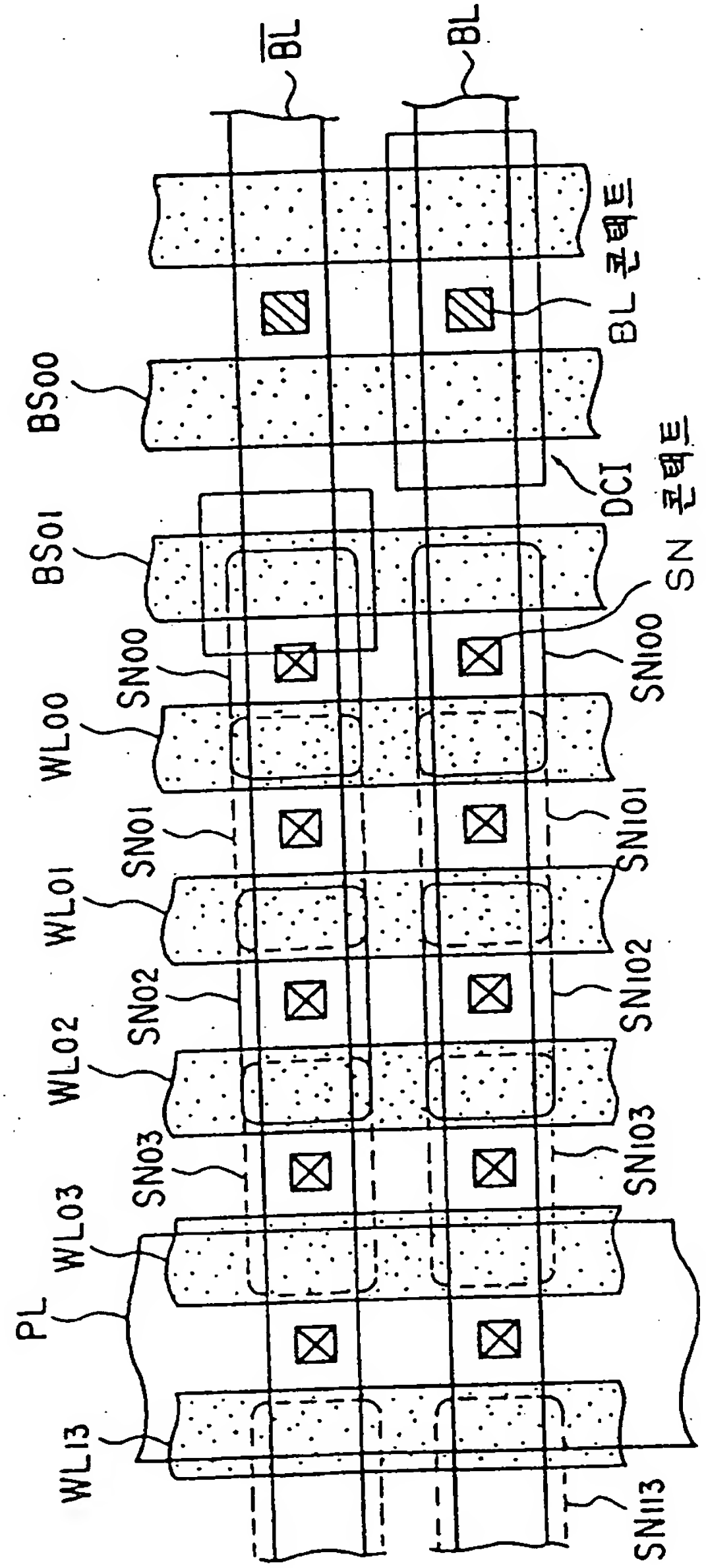
도면 21



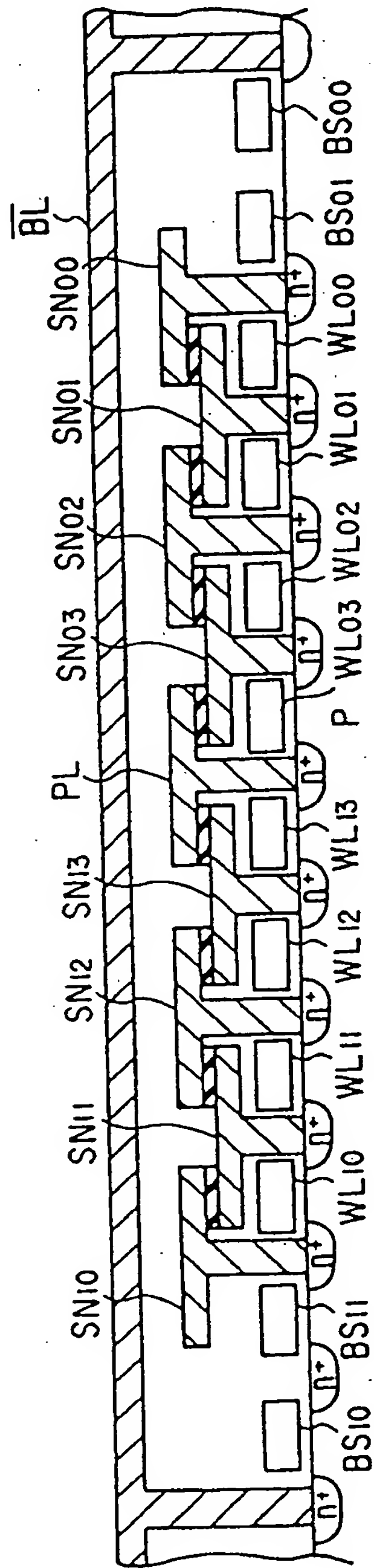




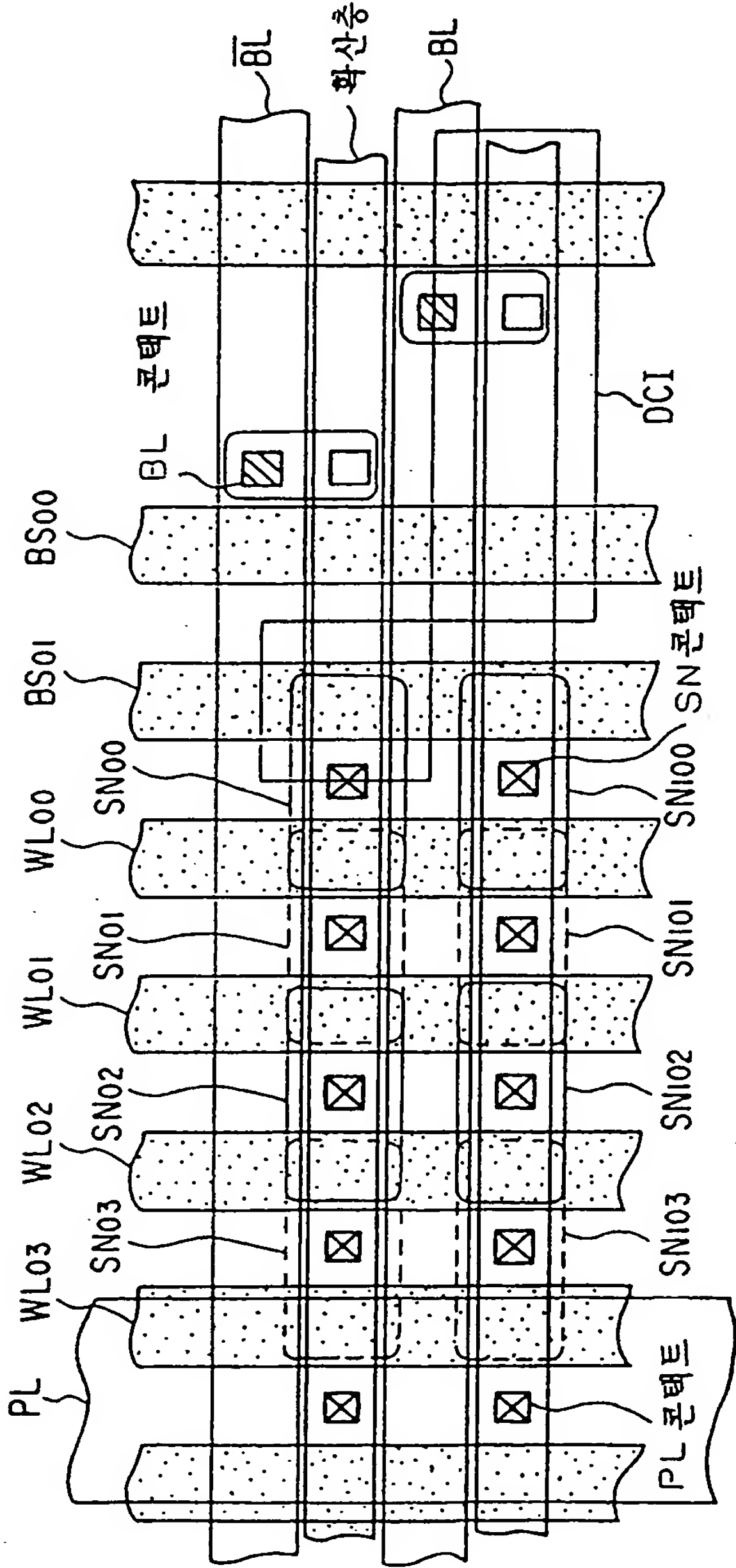
도면 24a



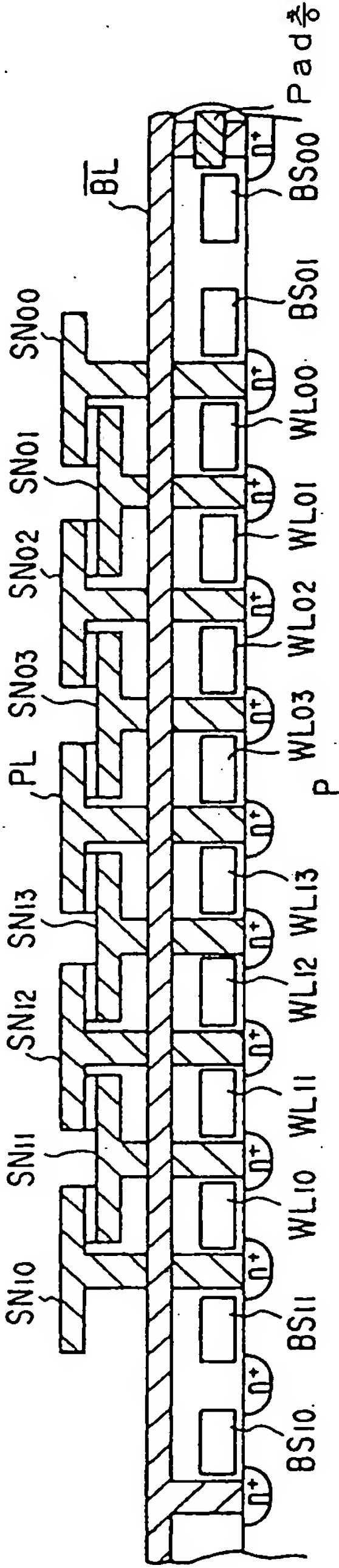
도면 24b



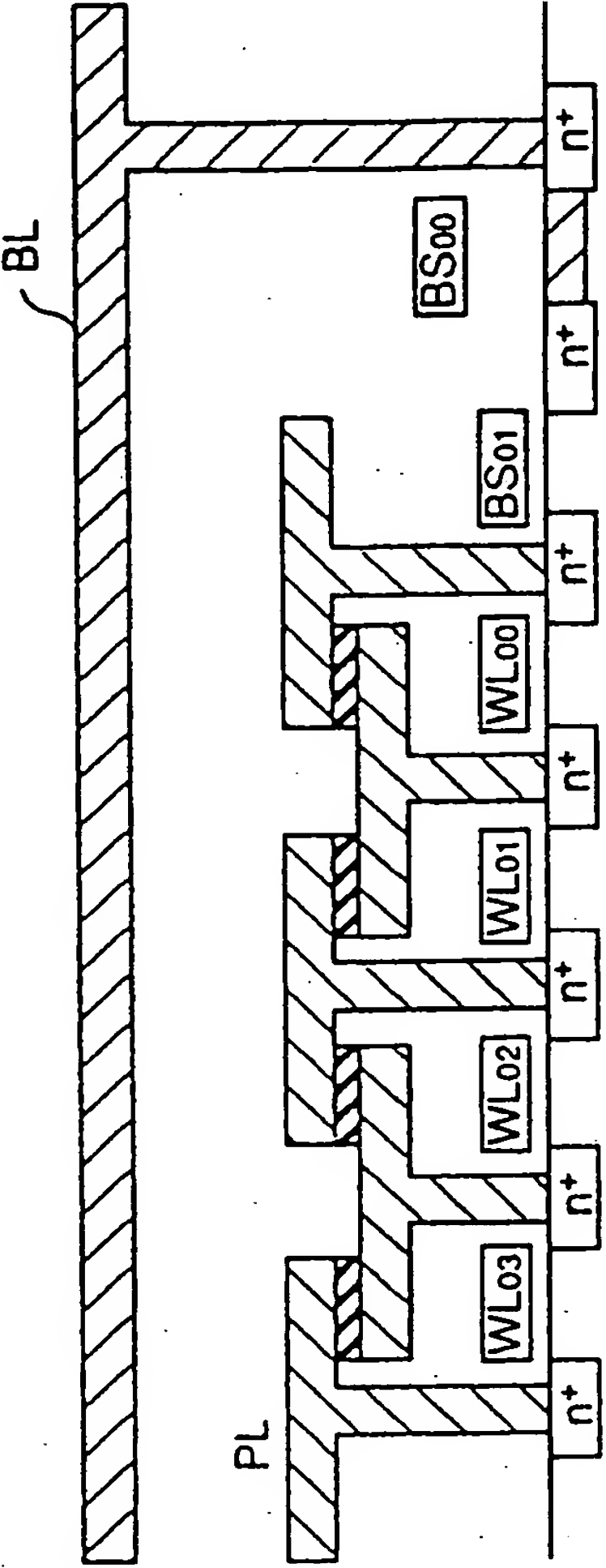
도면 25a



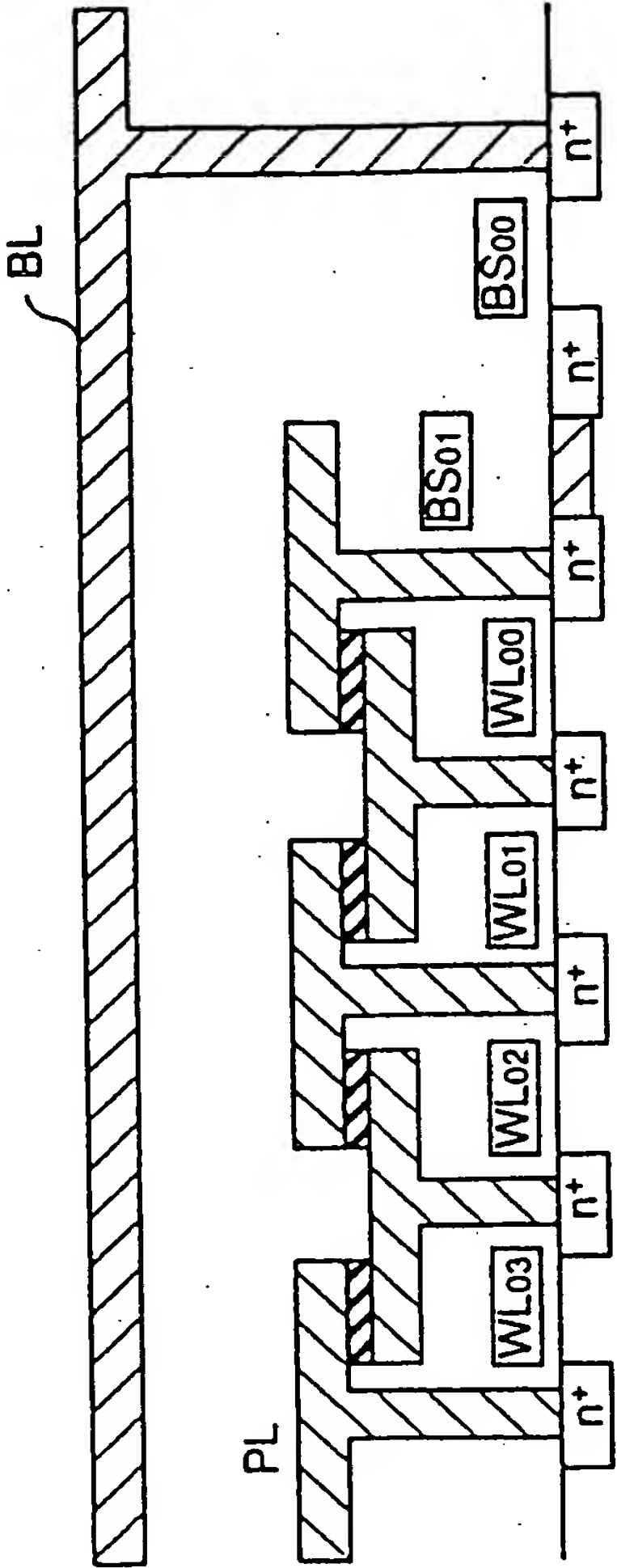
도면 25b



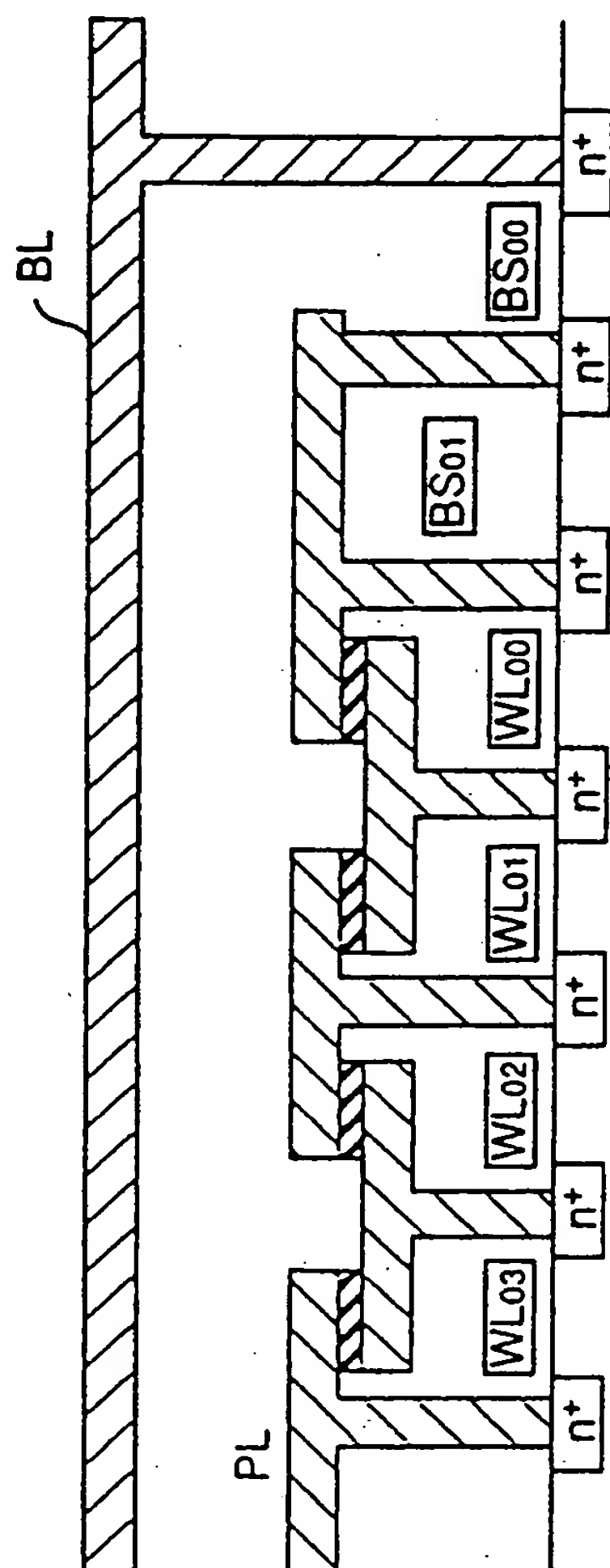
도면 26a



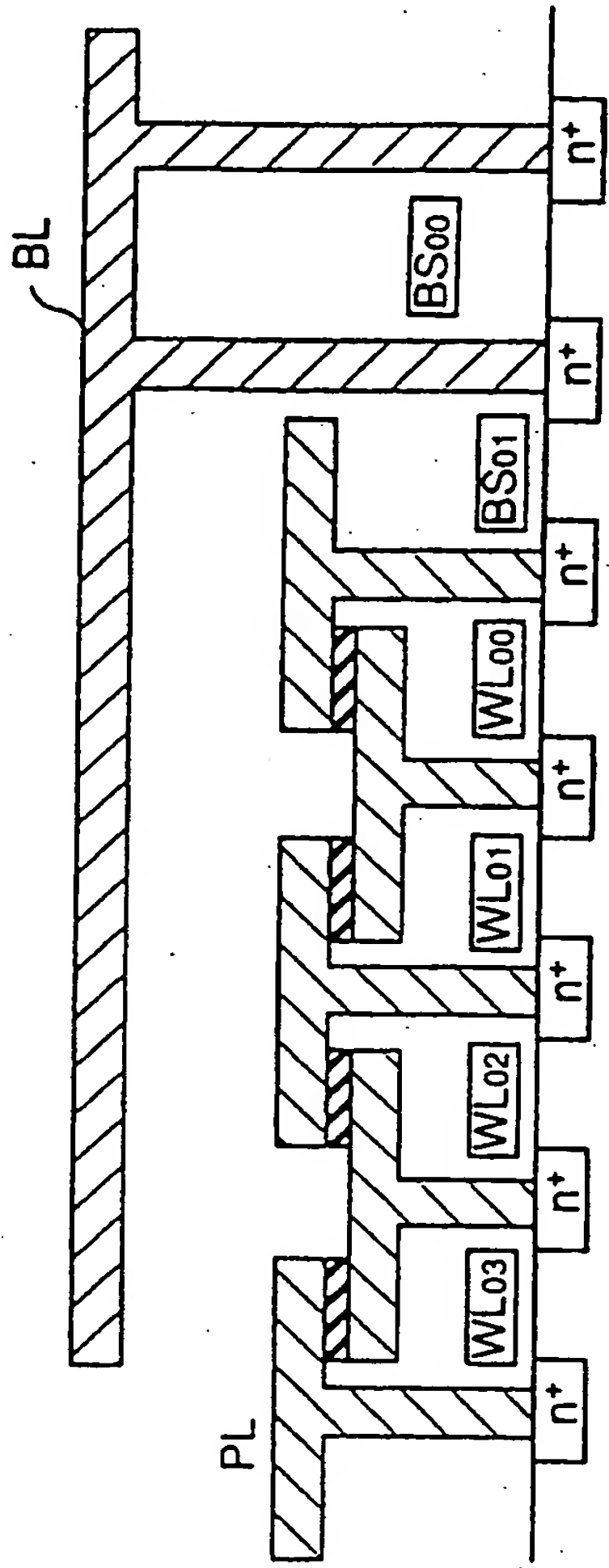
도면 26b



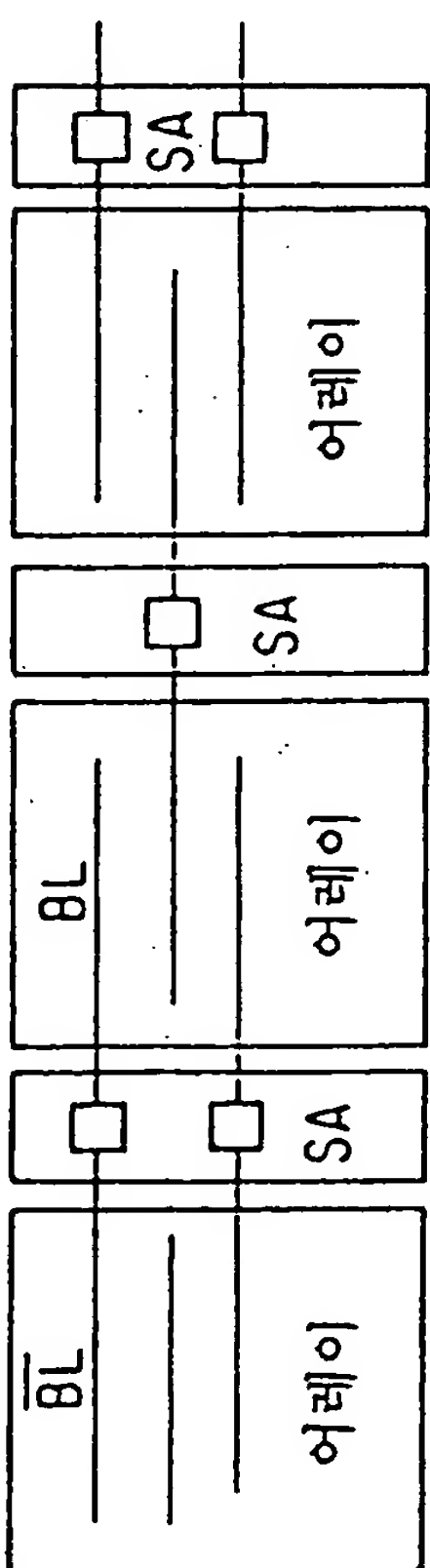
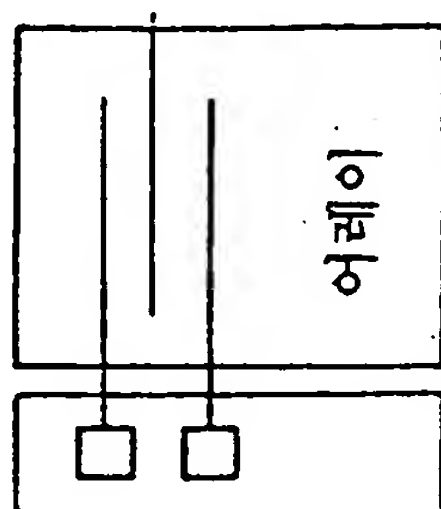
도면 27a



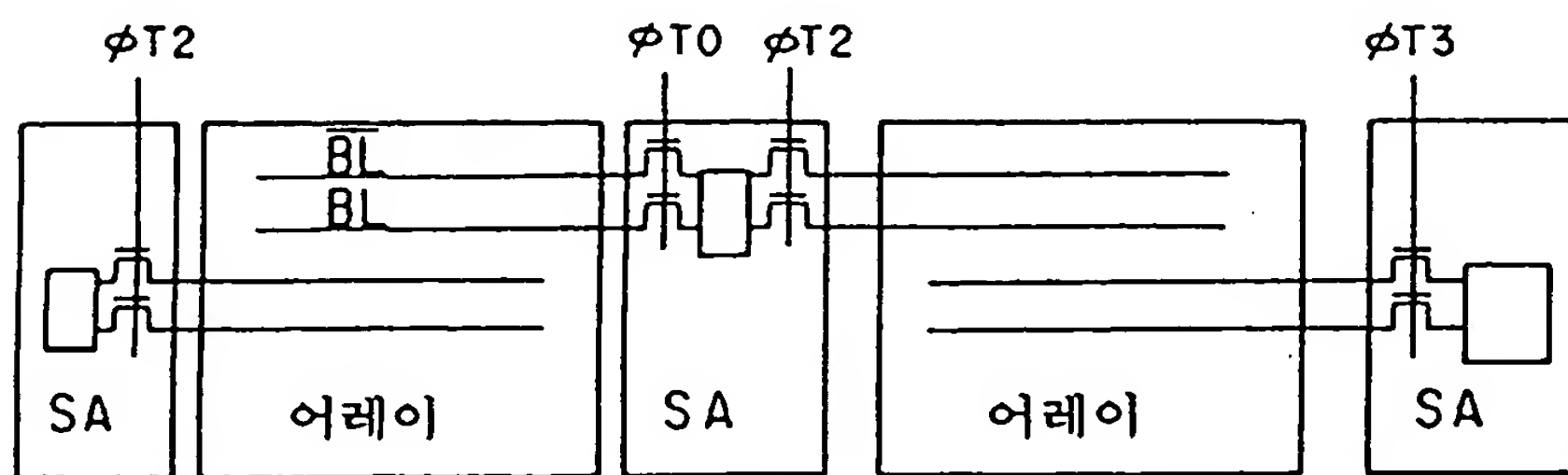
도면 27b



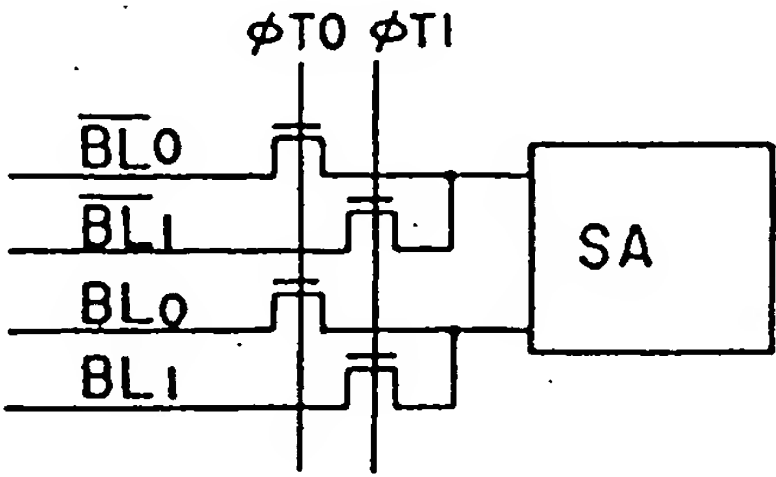
도면 28a

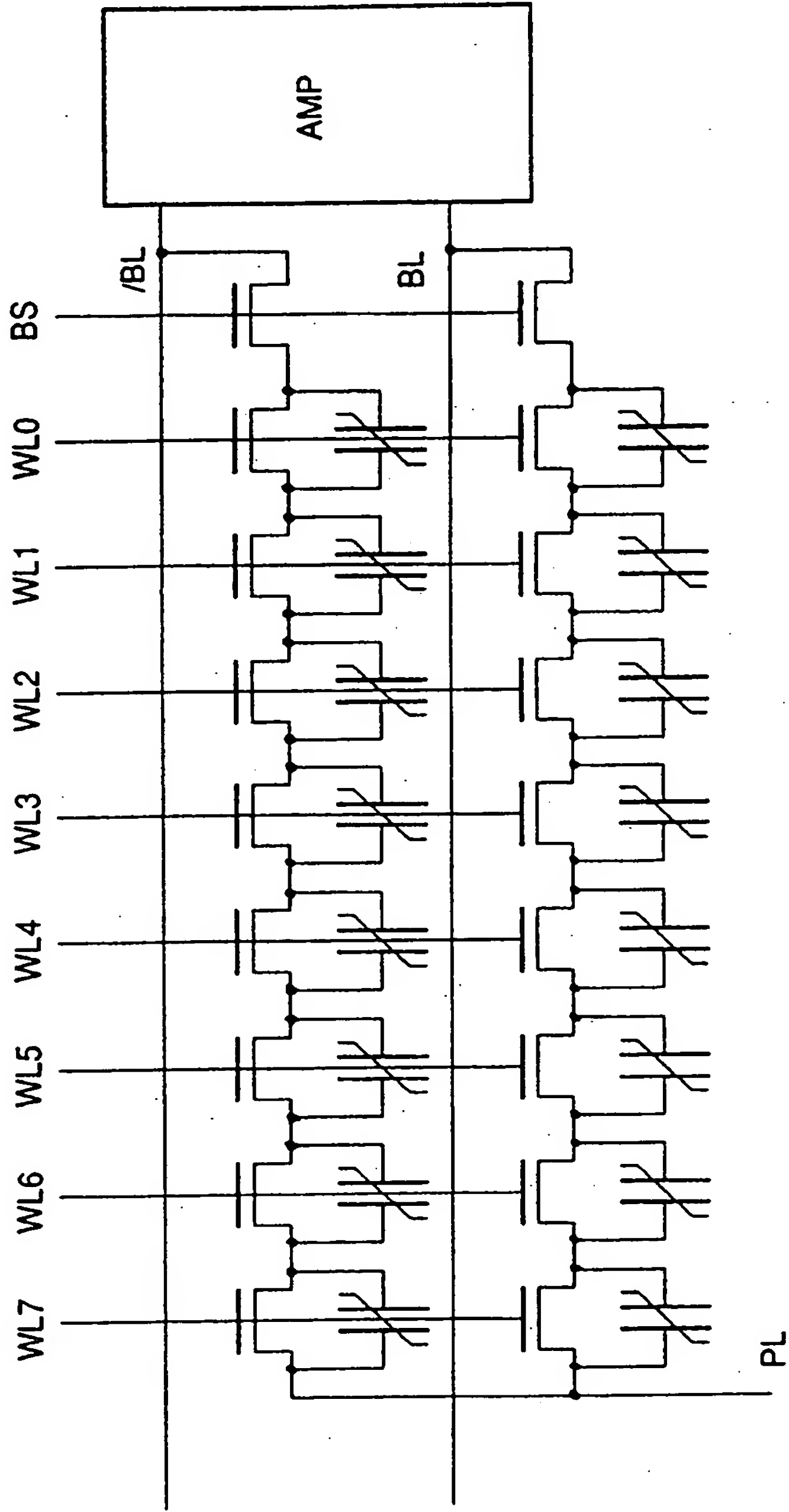


도면 28b

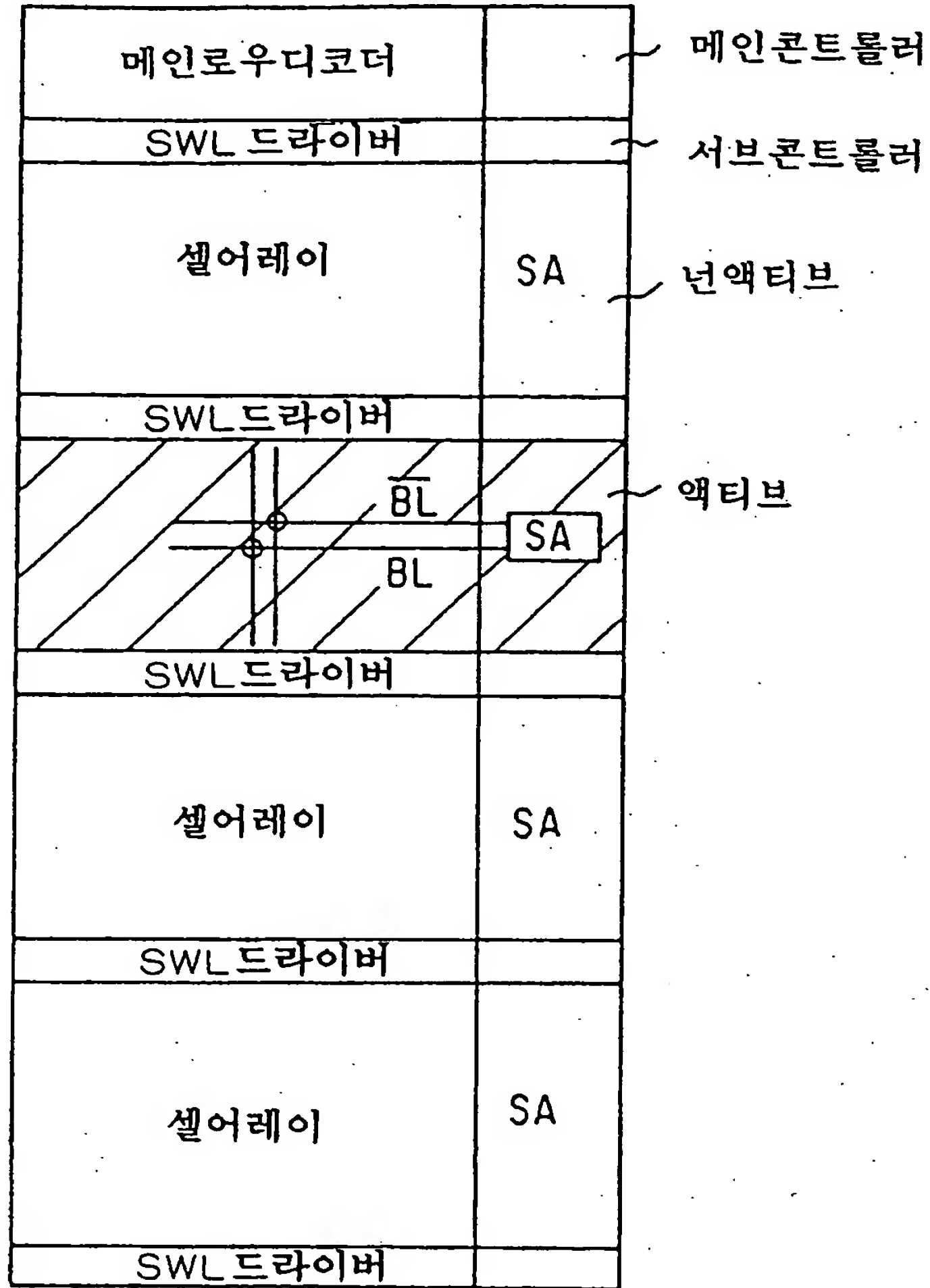


도면 28c

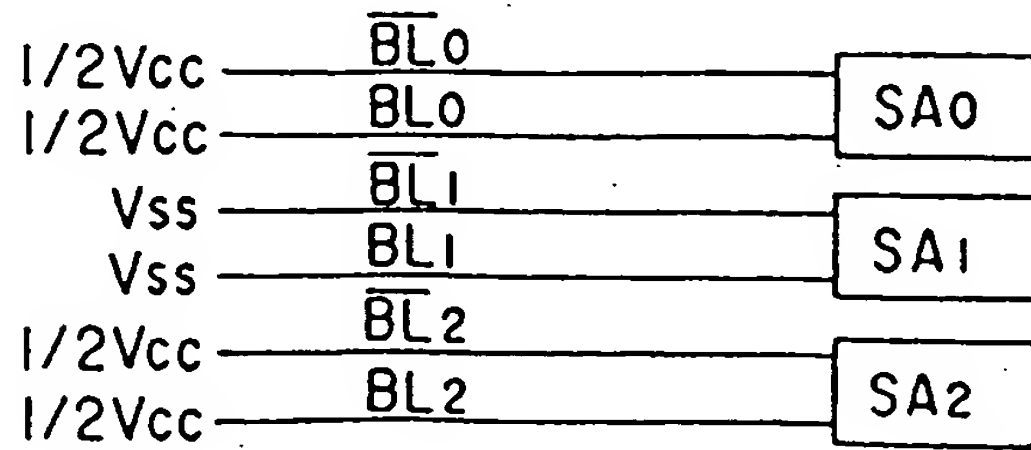




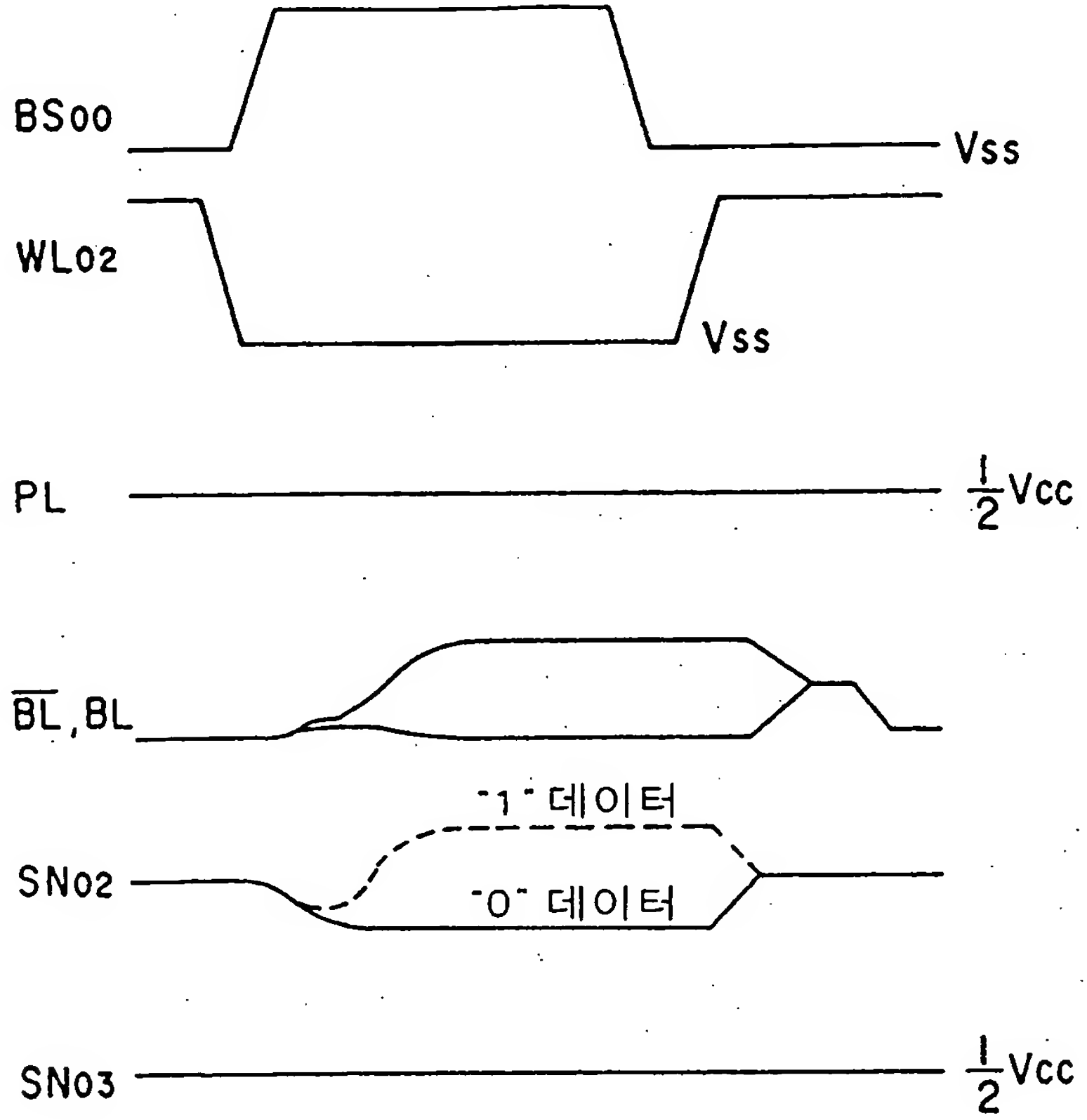
도면 30a



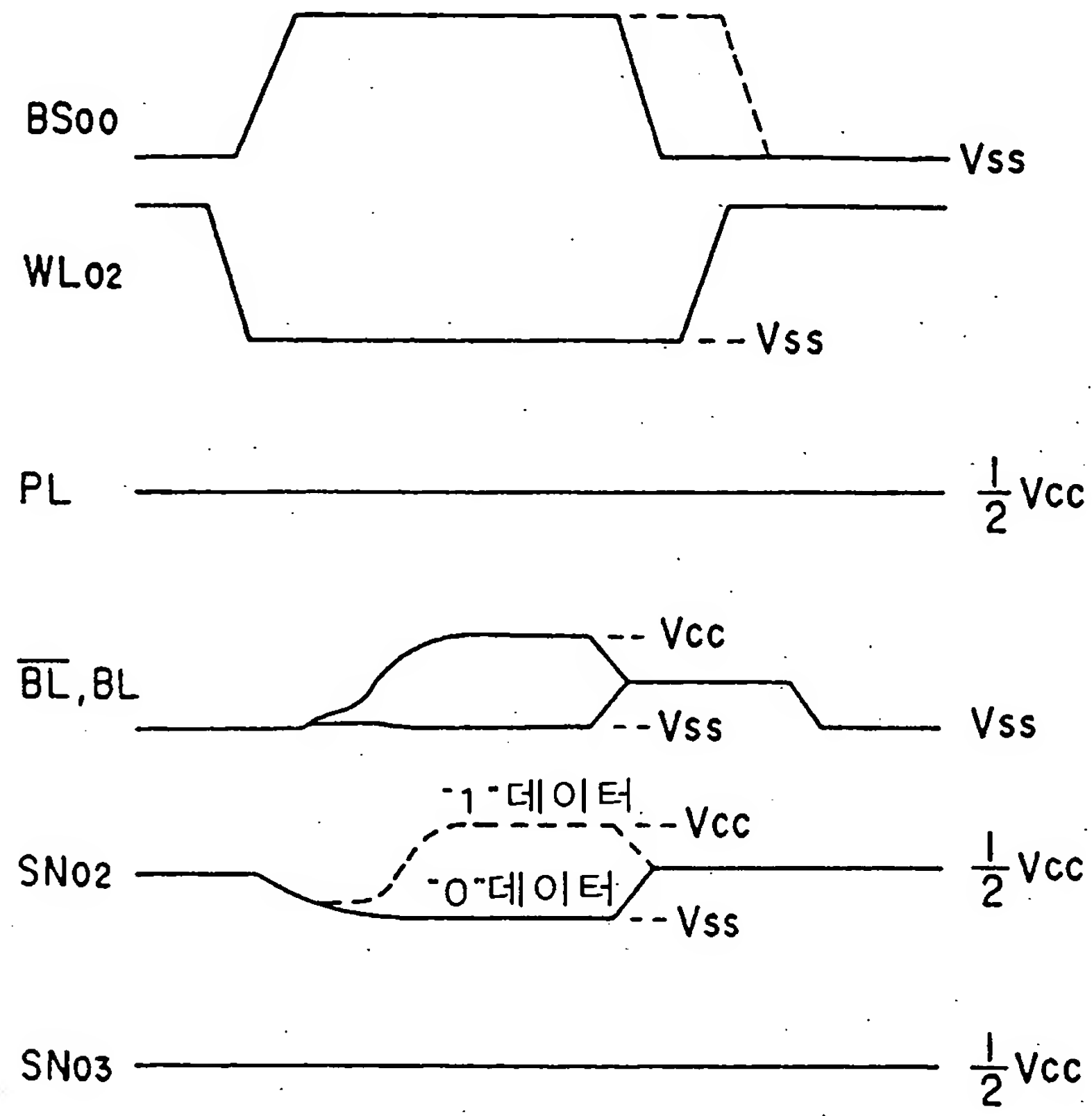
도면 30b



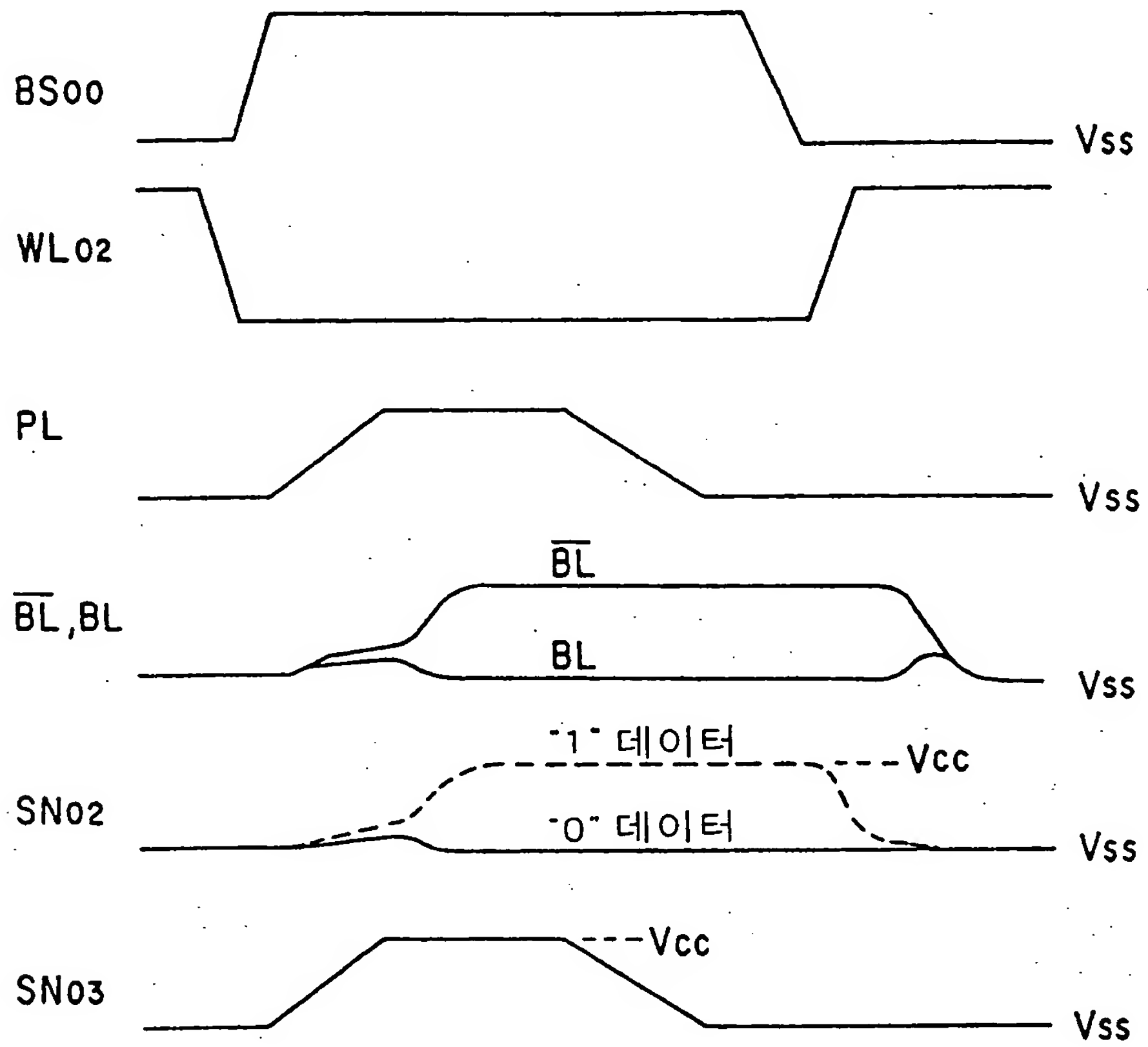
도면 31



도면 32



도면 33



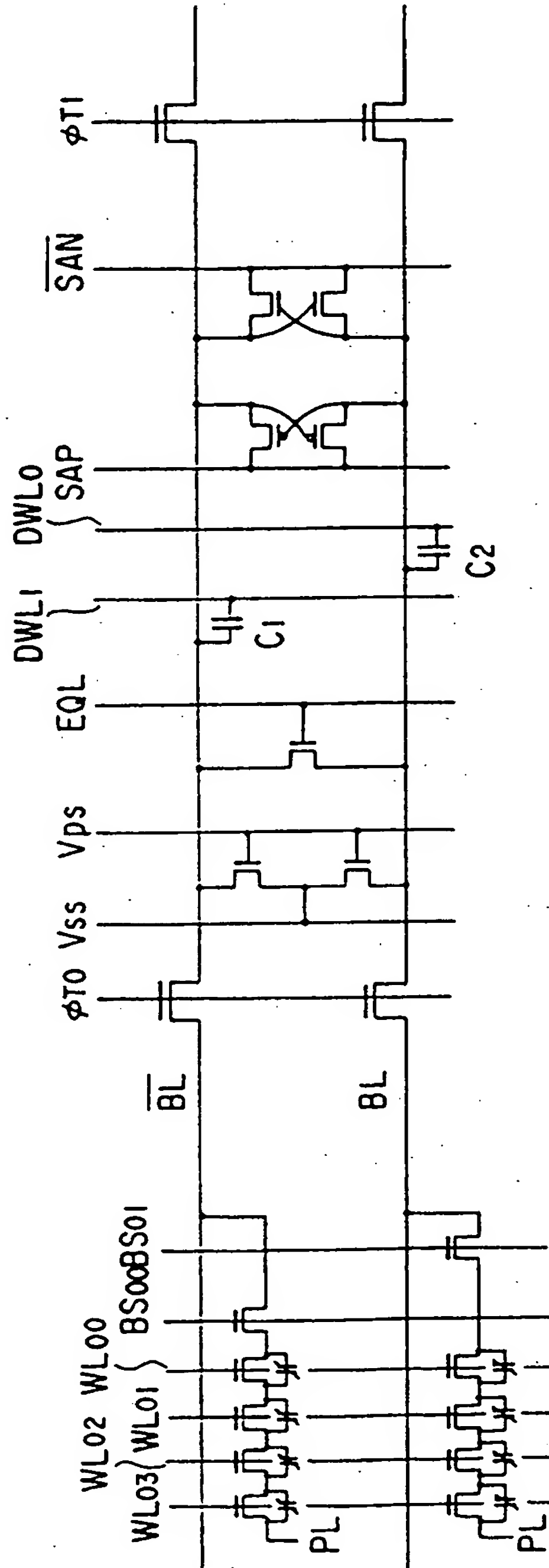
	칩크기 (코스트성)			Tr. 구성 (프로세스용이성)	리드/ 라이트법 (범용성)	노이즈 (신뢰성)	(비) 불휘발성 (포터블성)
	셀크기	BL용량	칩크기 (BL용량=일정)				
종래 4F ² 셀	◎ 4F ²	△ 大 (256WL/BL)	△ 75~90%	x 중형Tr TFT	◎ 랜덤 액세스	◎ 小 (2층 폴디드 BL)	불휘발성가
종래 NAND 셀	◎ 4. 5~5F ² (4~2NAND)	○ 中 (512WL/BL)	○ 71~74%	◎ 평면Tr	x 블록 액세스	◎ 小 (BS부가에 의 해 폴디드 BL)	불휘발성가
본발명	◎ 4. 5~5F ²	◎ 小 (1024WL/BL)	◎ 62.5~64%	◎ 평면Tr	◎ 랜덤 액세스	◎ 小	불휘발성
종래 8F ² 셀	x 8F ²	○ 中 (512WL/BL)	x 100%	◎ 평면Tr	◎ 랜덤 액세스	◎ 小 (폴디드 BL)	불휘발성가

조건 칩 셀 60%
100%중 (SA20%
주변20%)

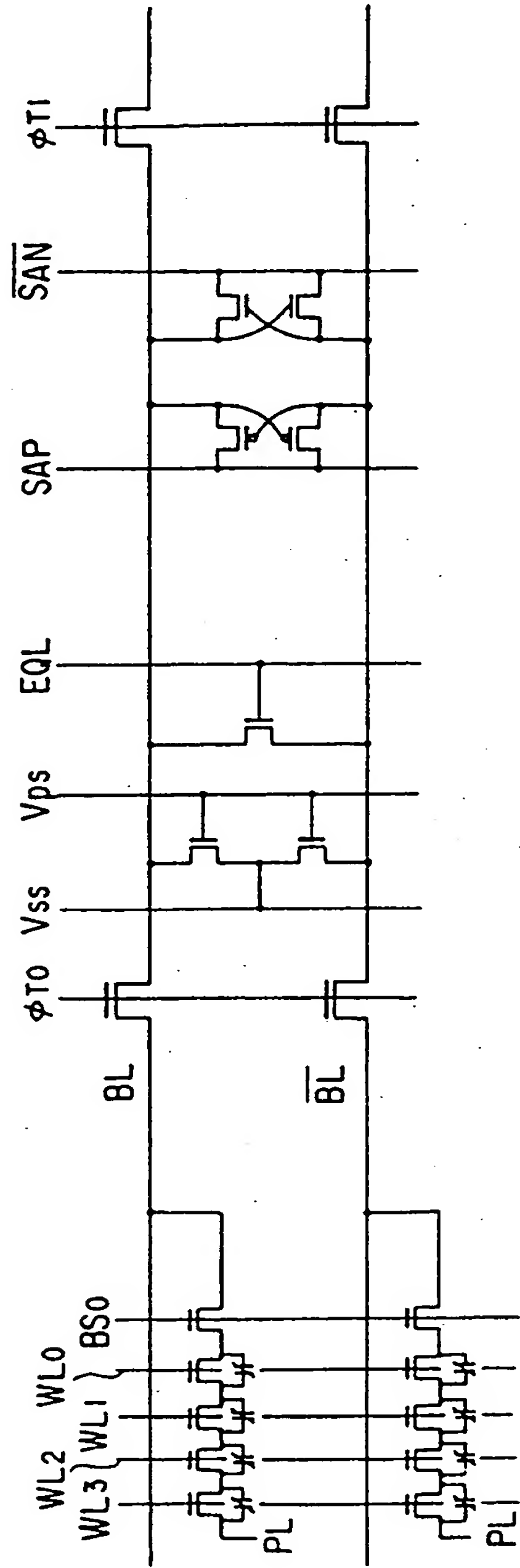
주) BL2층화 주) 네스팅 ≤4
코스트1%중

도면 35

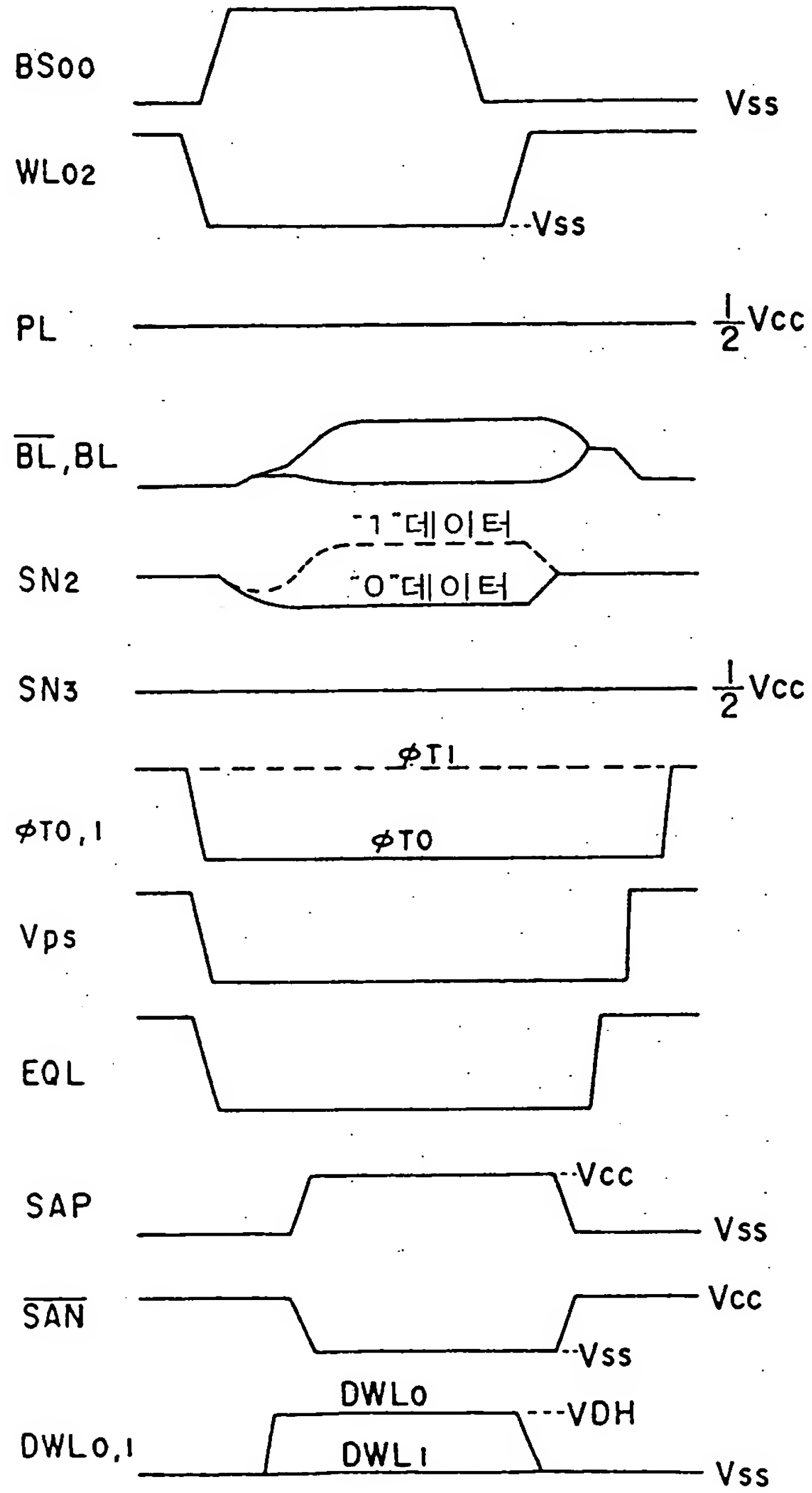
		플레이트전극구동의 유무 (스피드, 파워)	리프레쉬동작의 유무 (파워, 비지레이트)
종래 FRAM	케이스 1	유(有) x	불용(不用) ◎
	케이스 2	$\frac{1}{2} V_{CC}$ 고정 ◎	필요(必要) x
본발명		$\frac{1}{2} V_{CC}$ 고정 ◎	불용(不用) ◎



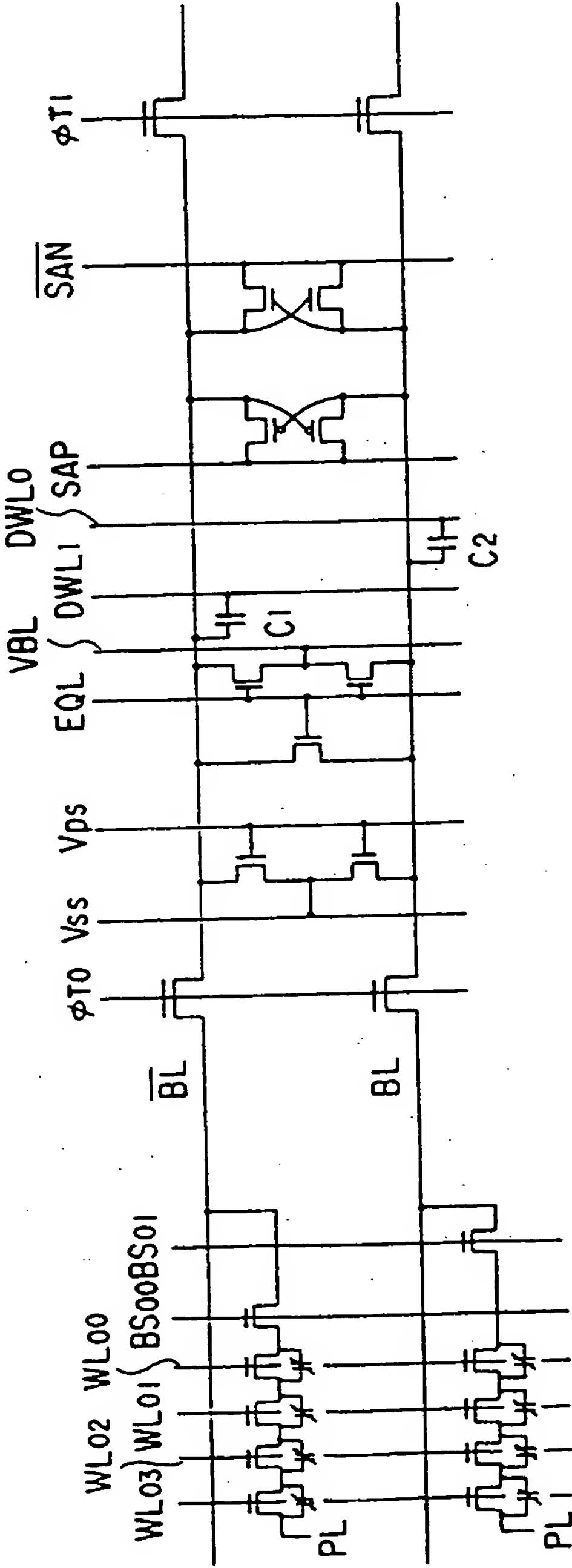
도면 36b



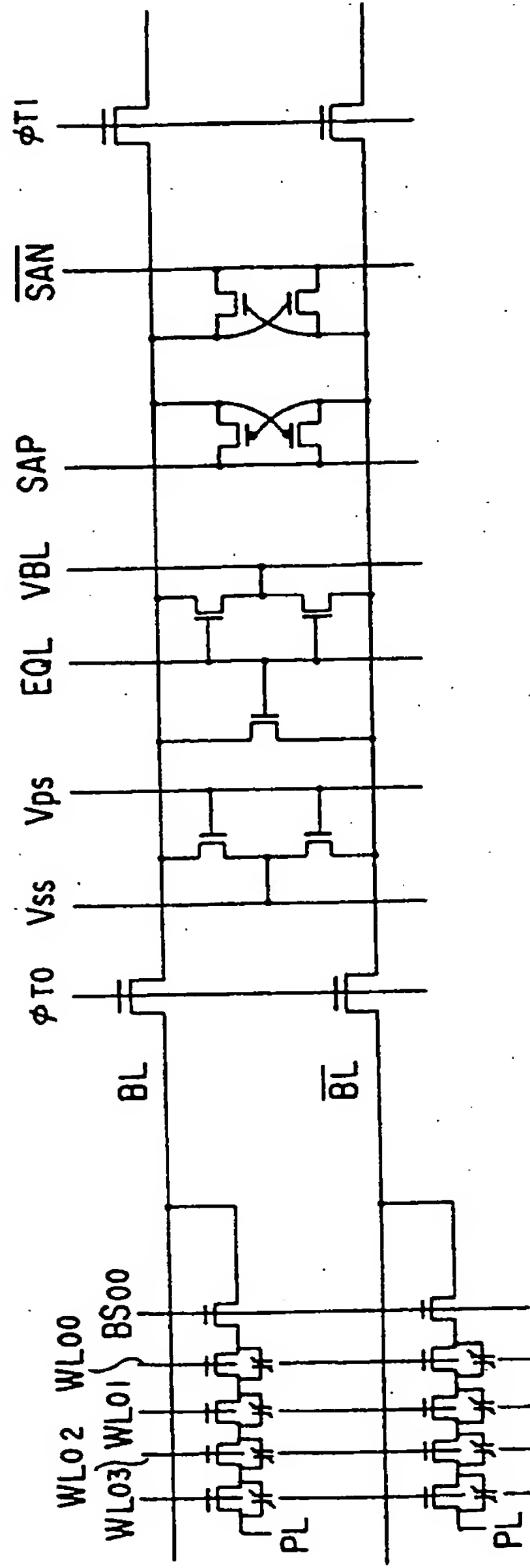
도면 37



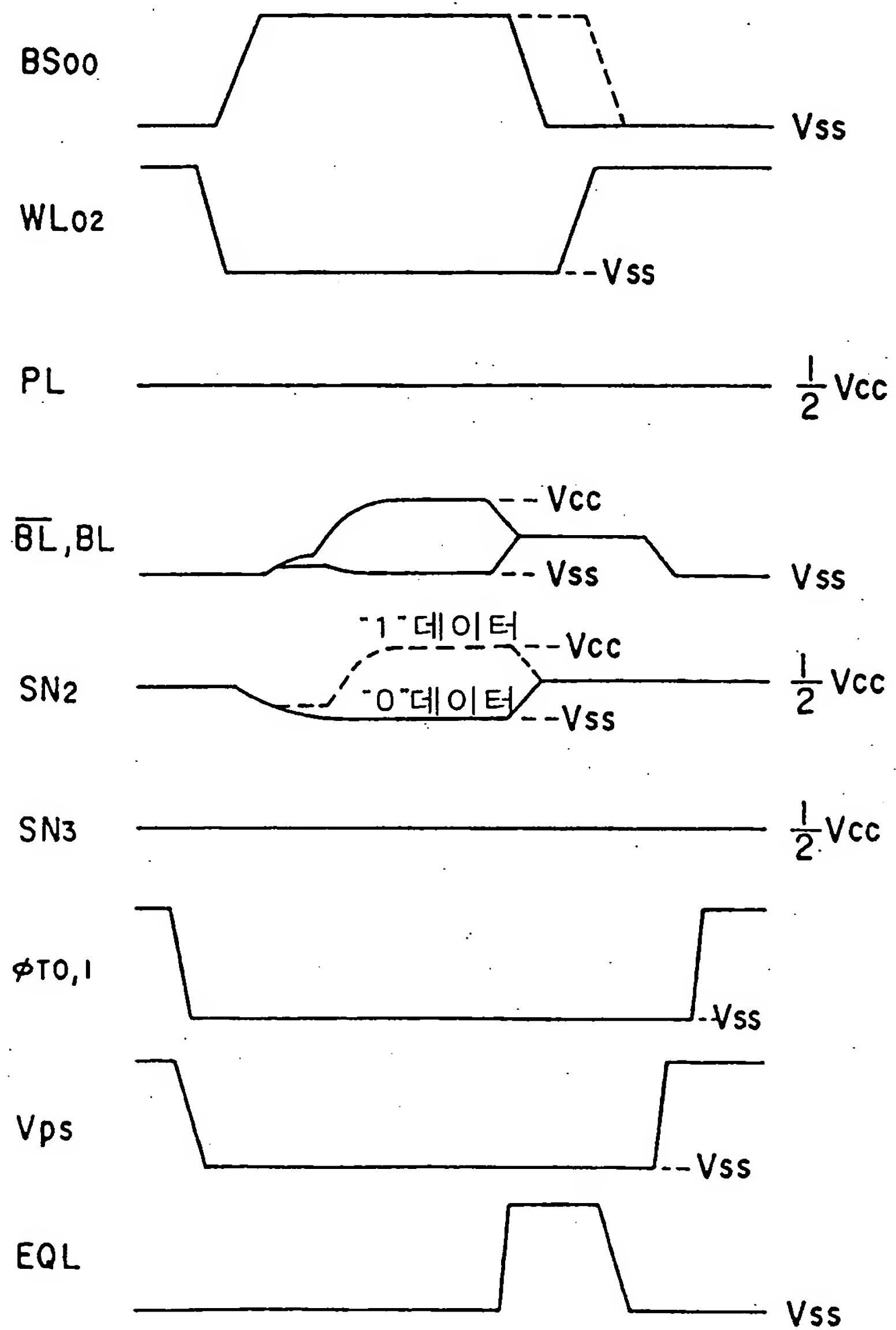
도면 38a



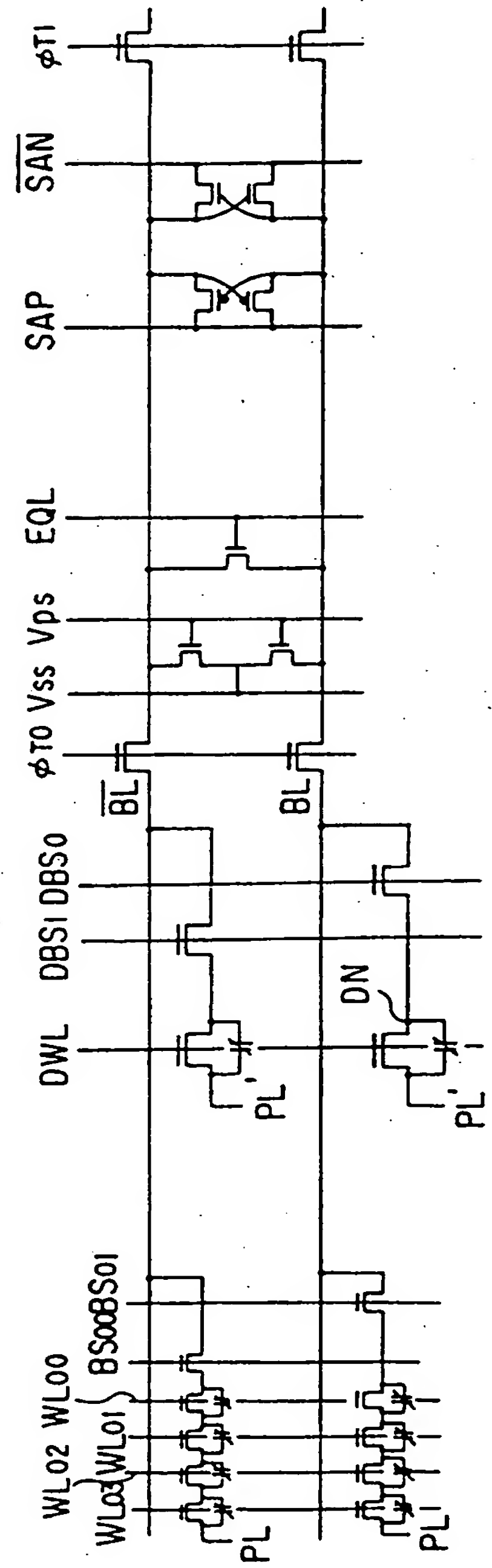
도면 38b



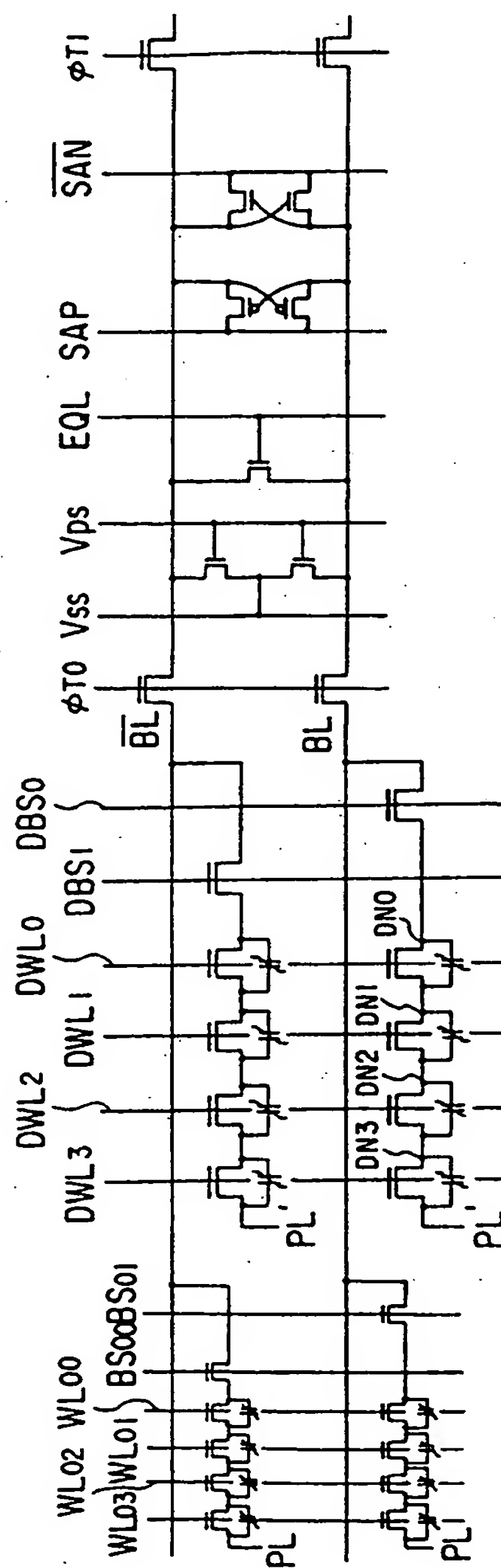
도면 39



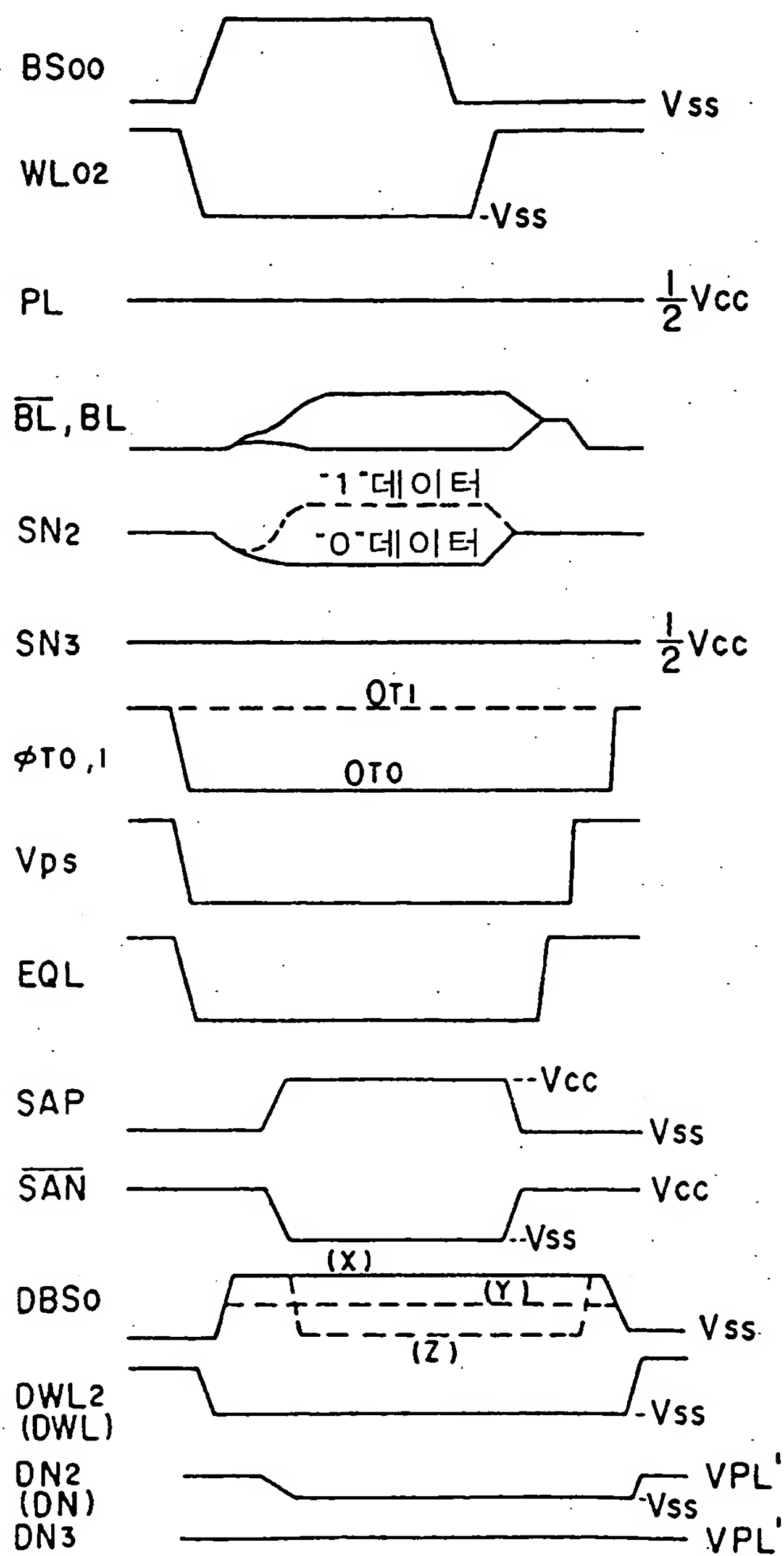
도면 40a



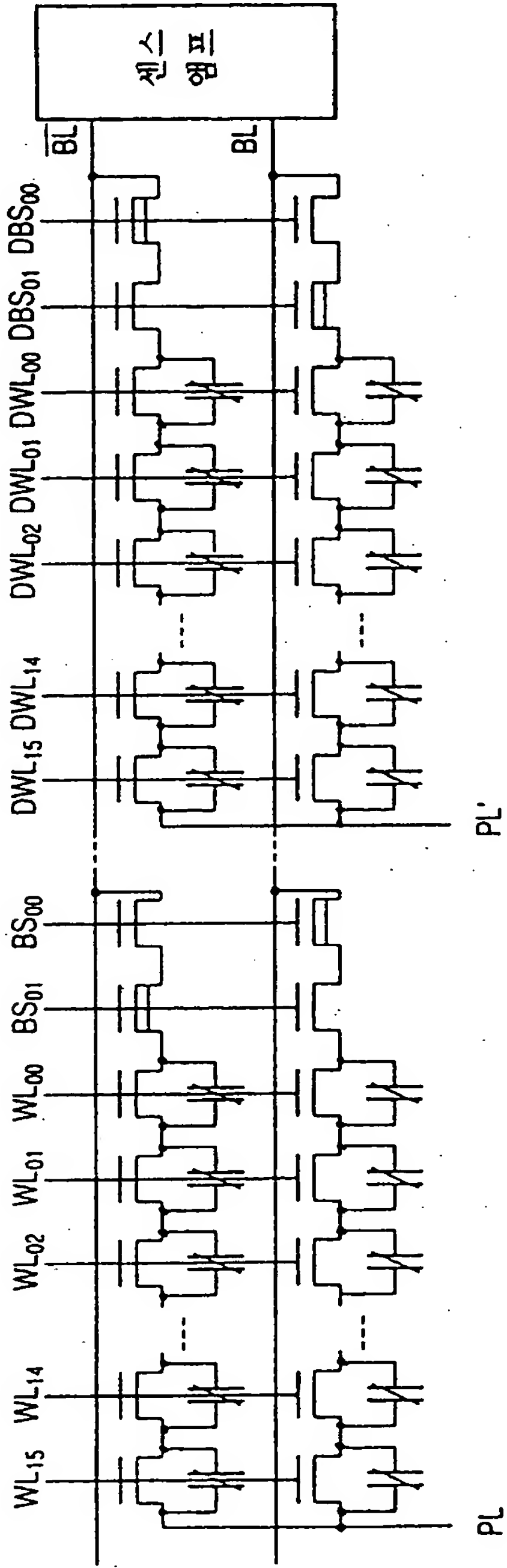
도면 40b



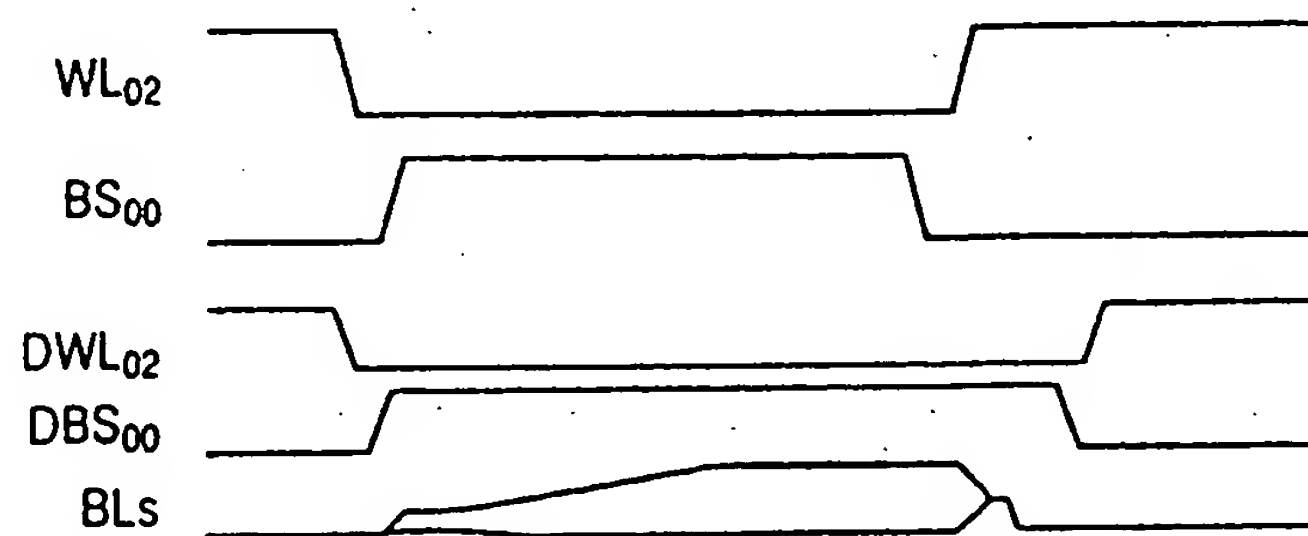
도면 41



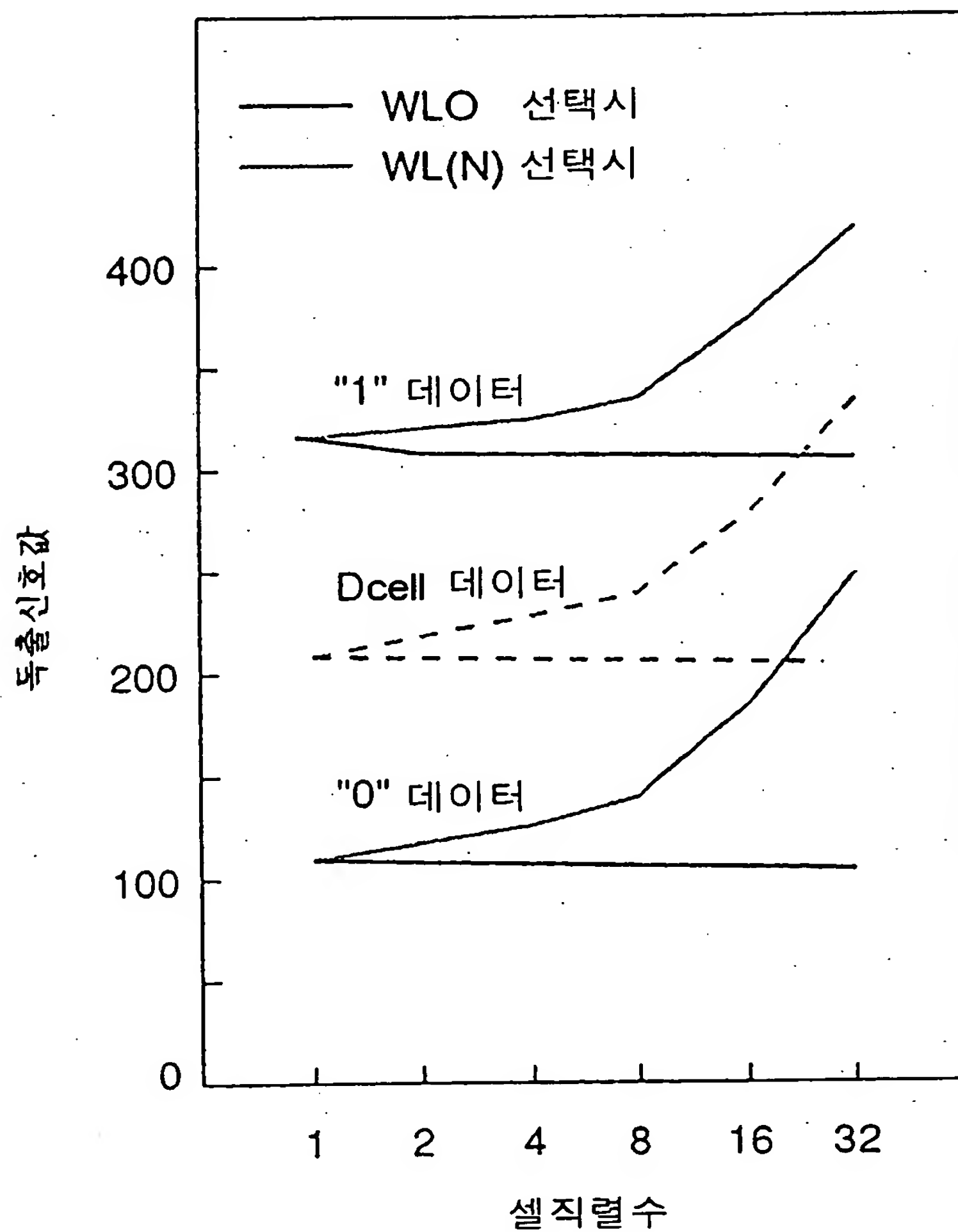
도면 42a



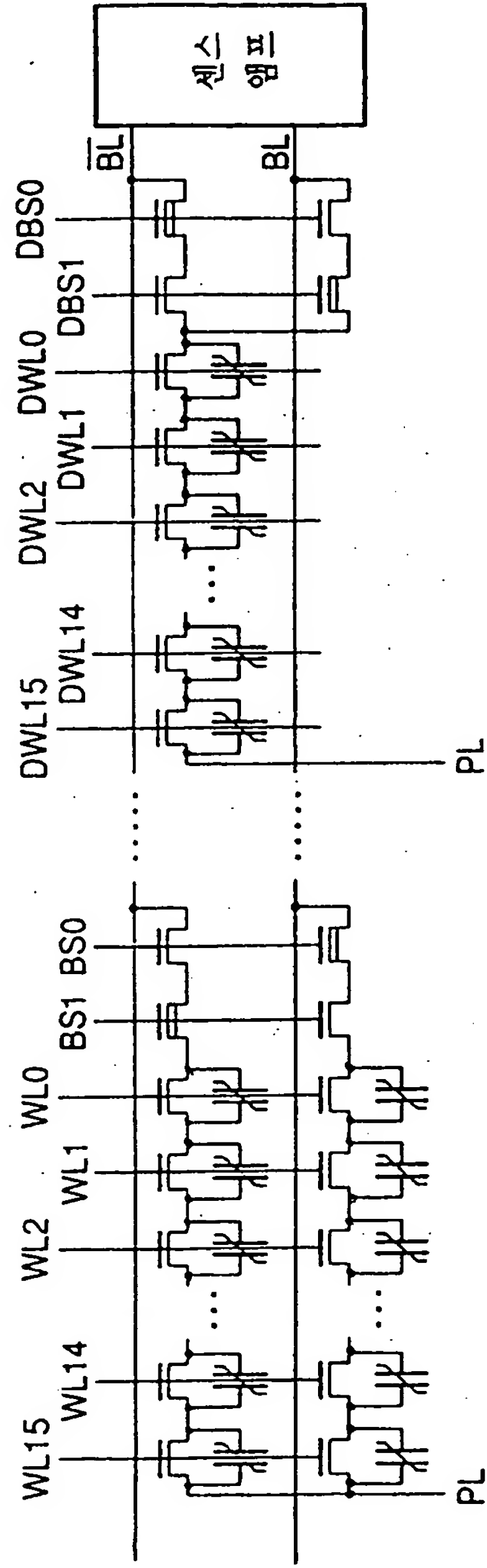
도면 42b



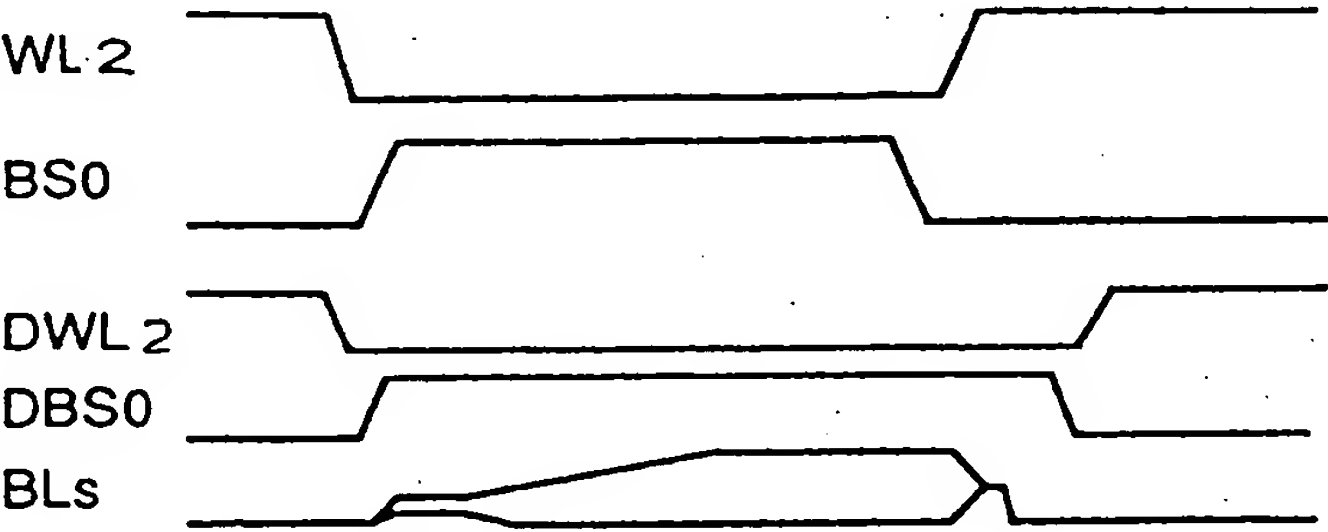
도면 43



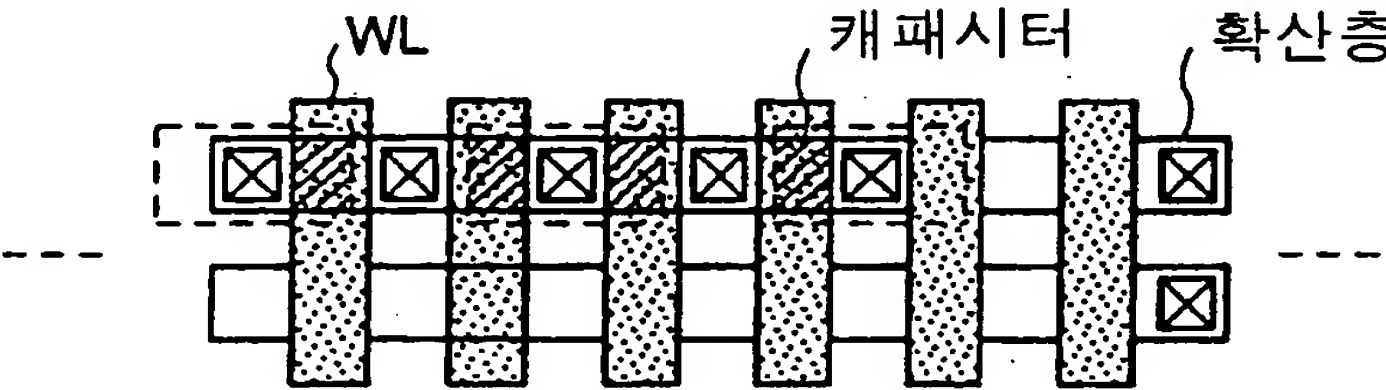
도면 44a



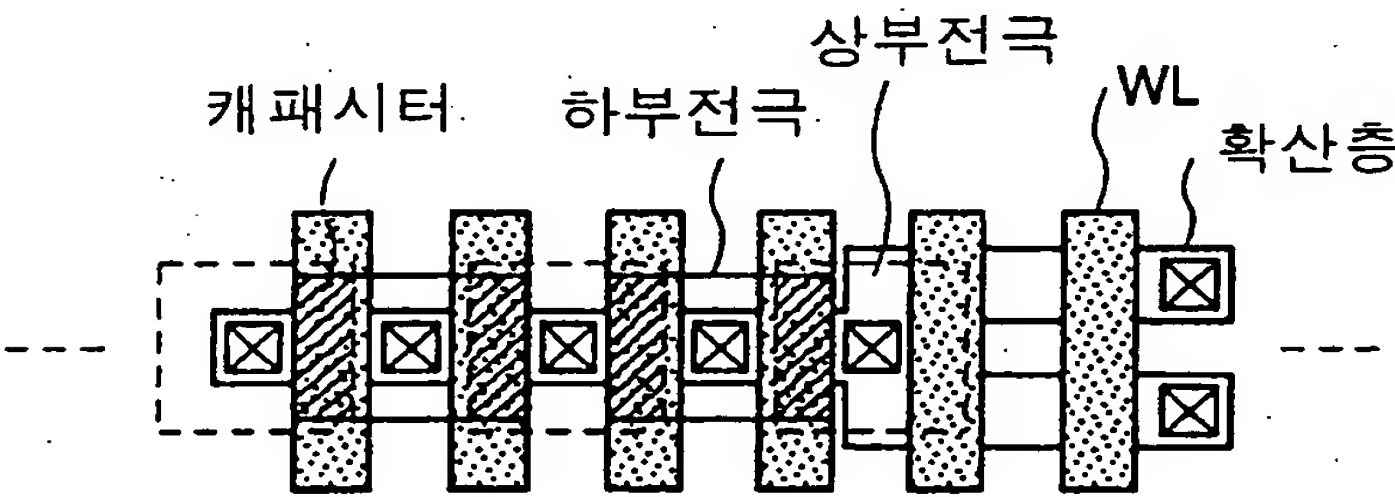
도면 44b



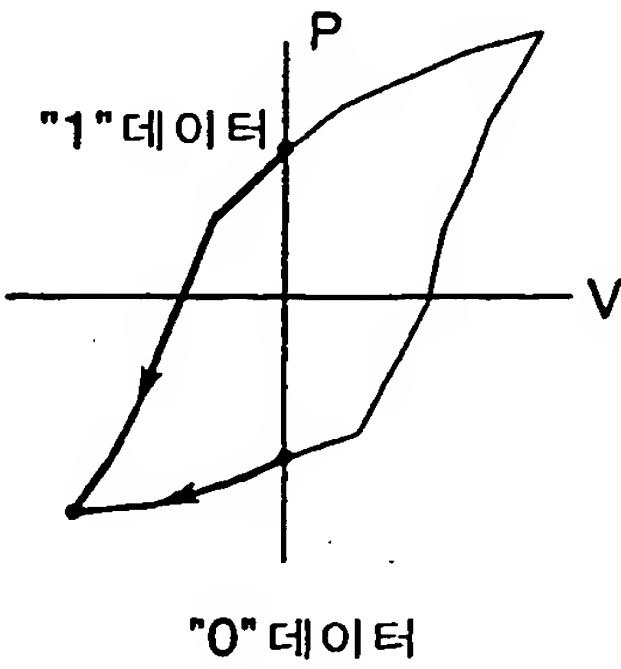
도면 45a



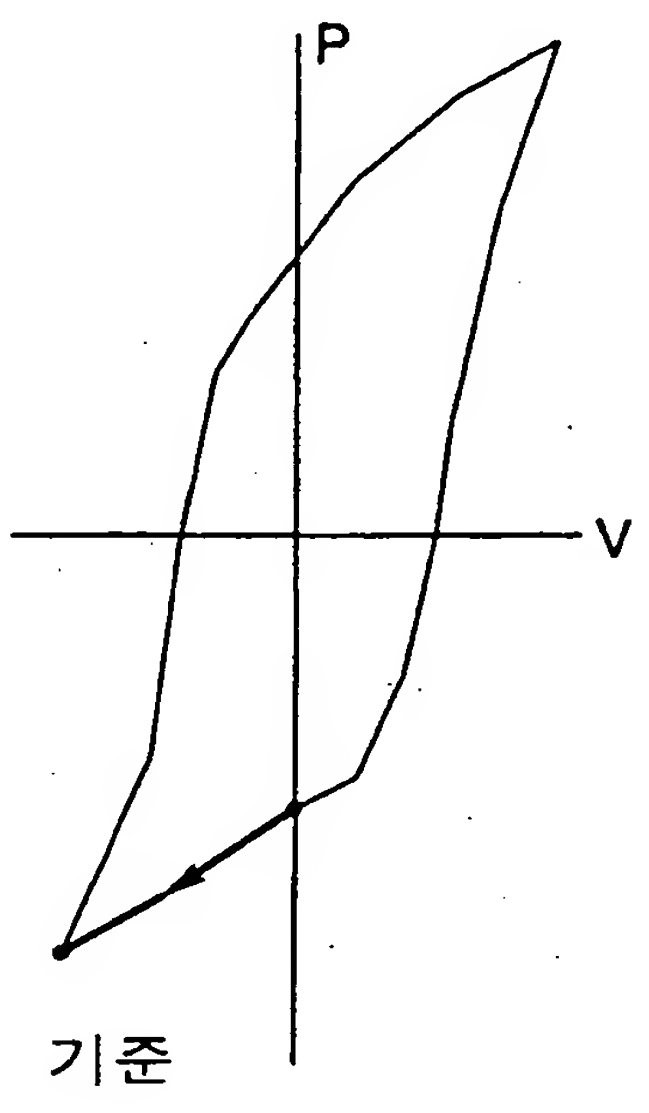
도면 45b

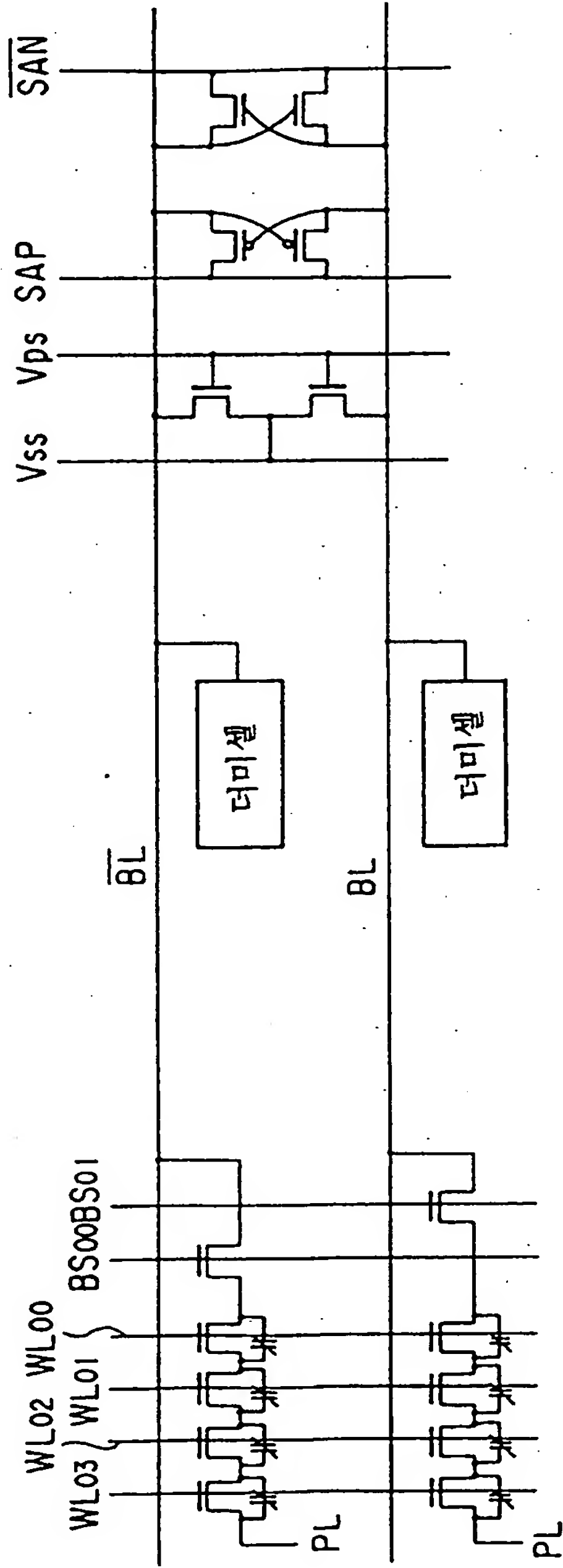


도면 45c

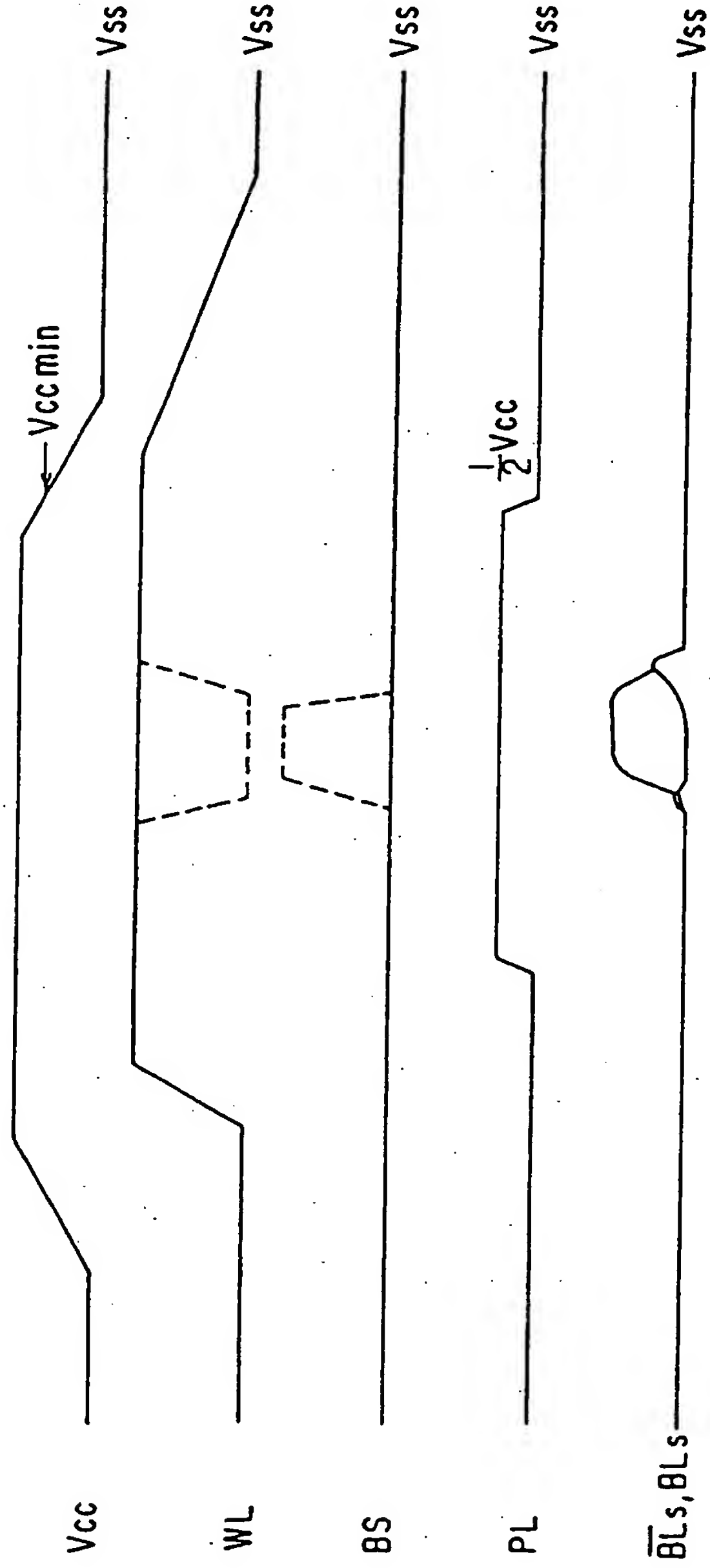


도면 45d

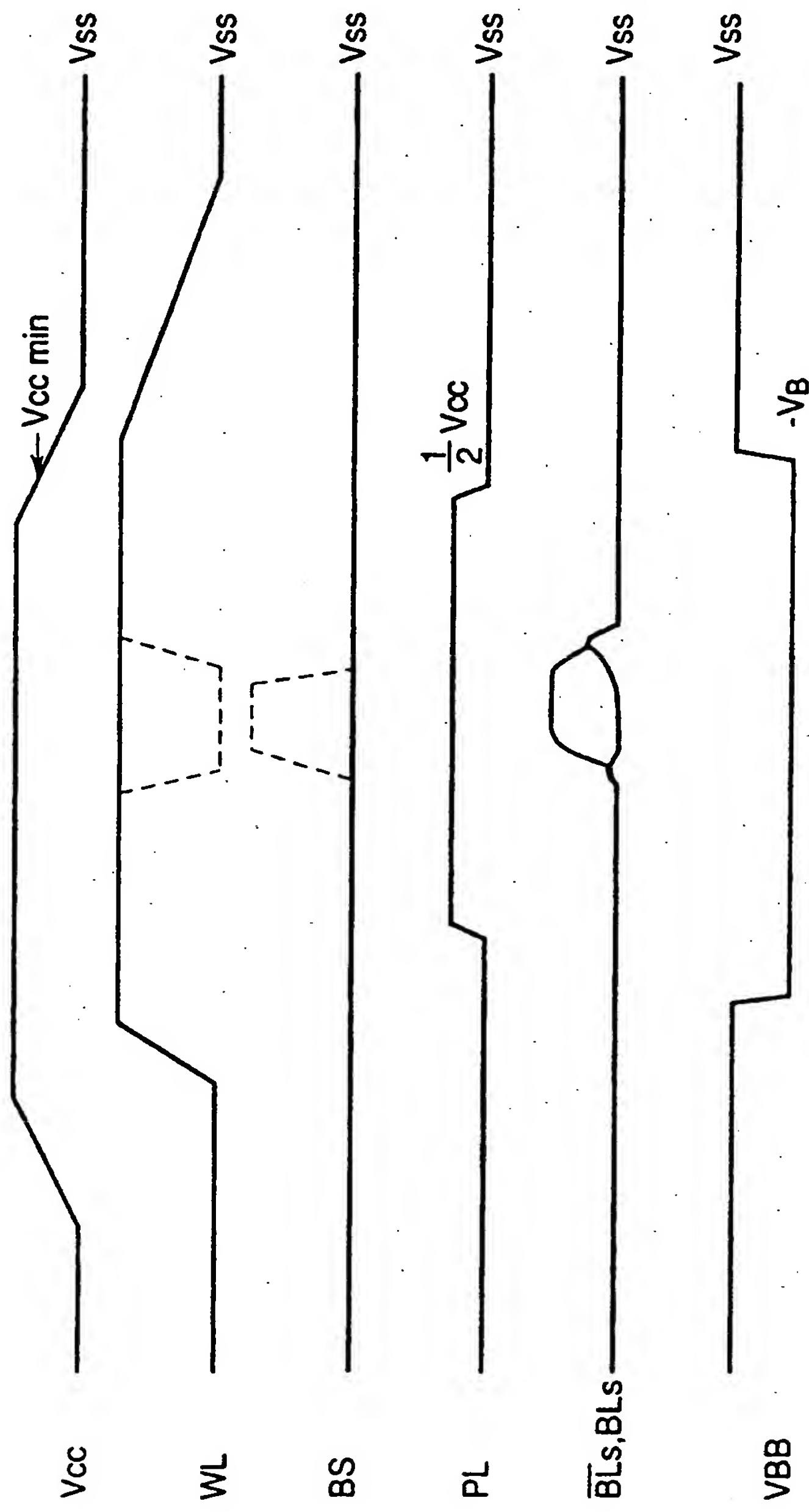


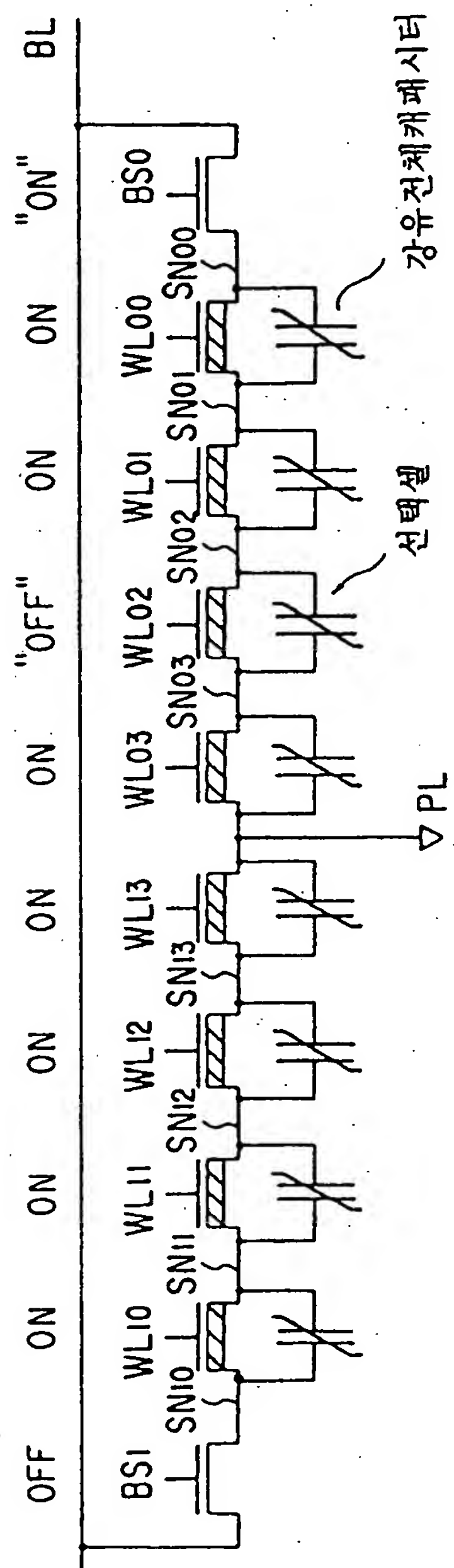


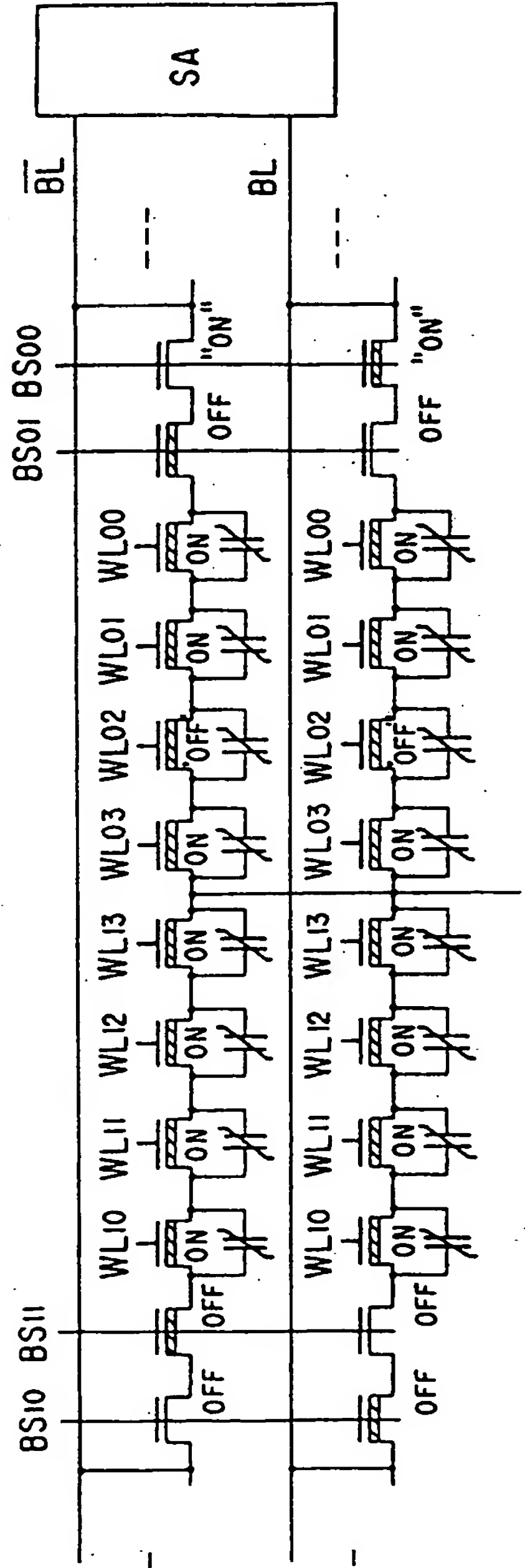
도면 47



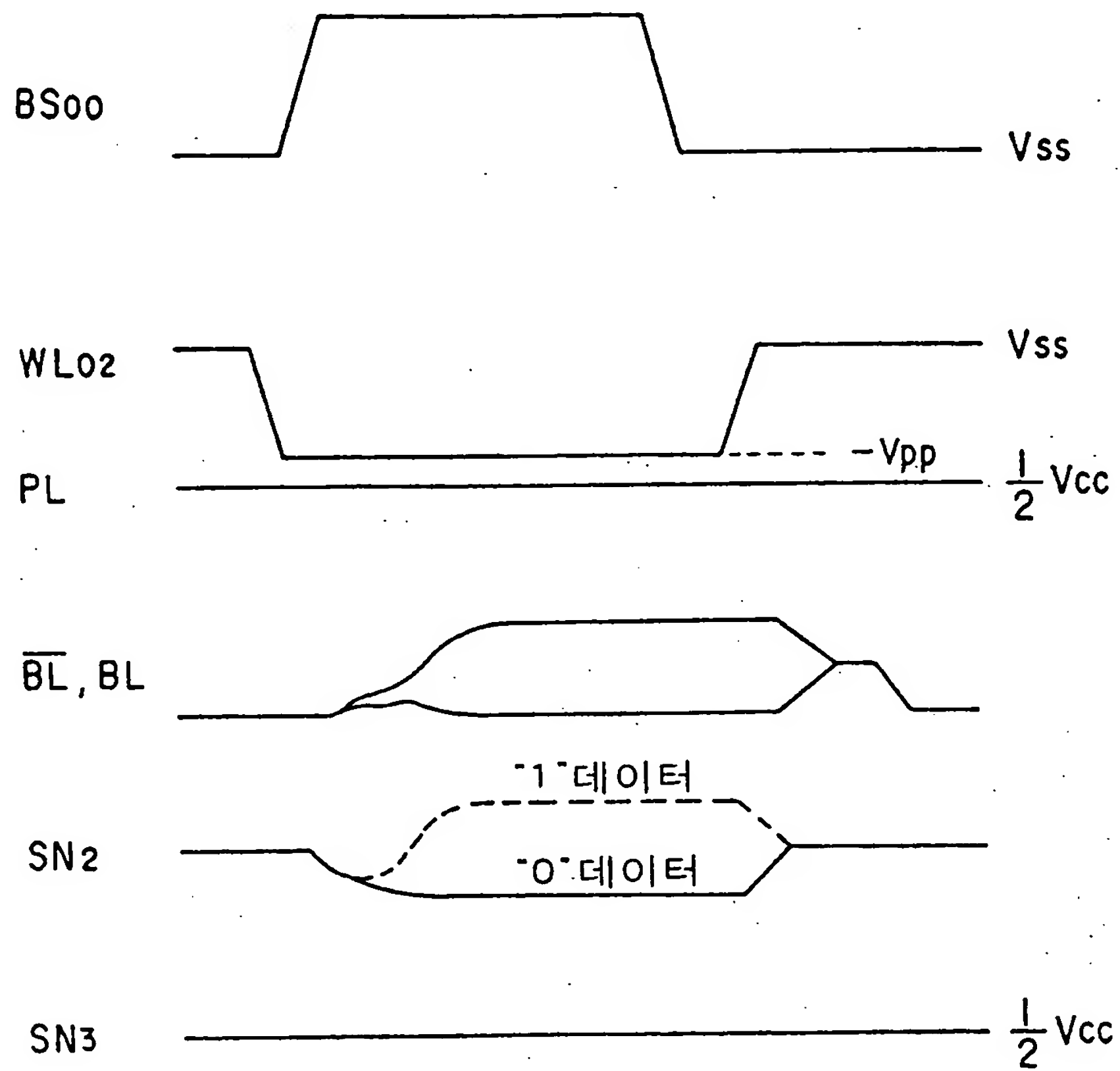
도면 48



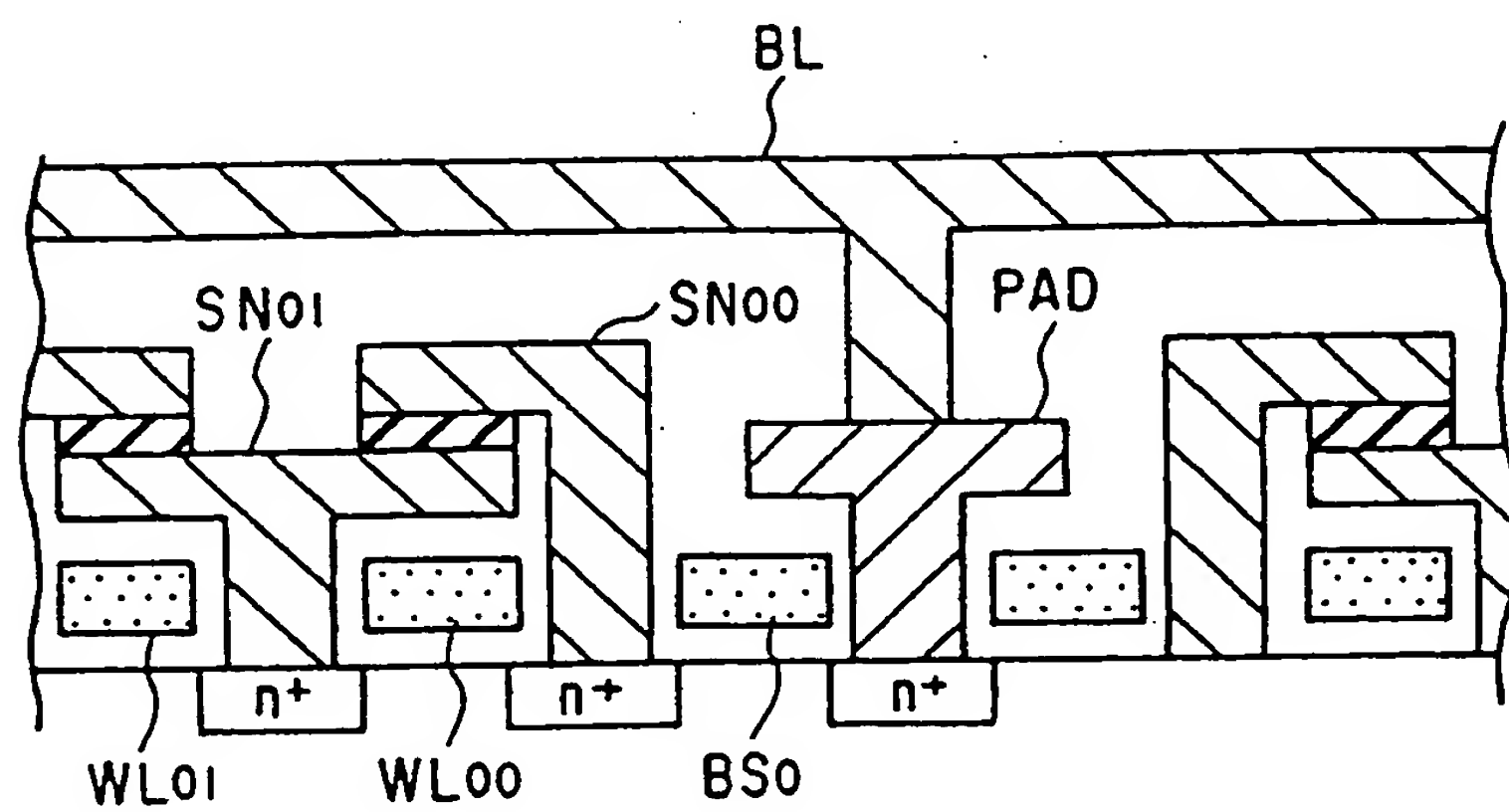




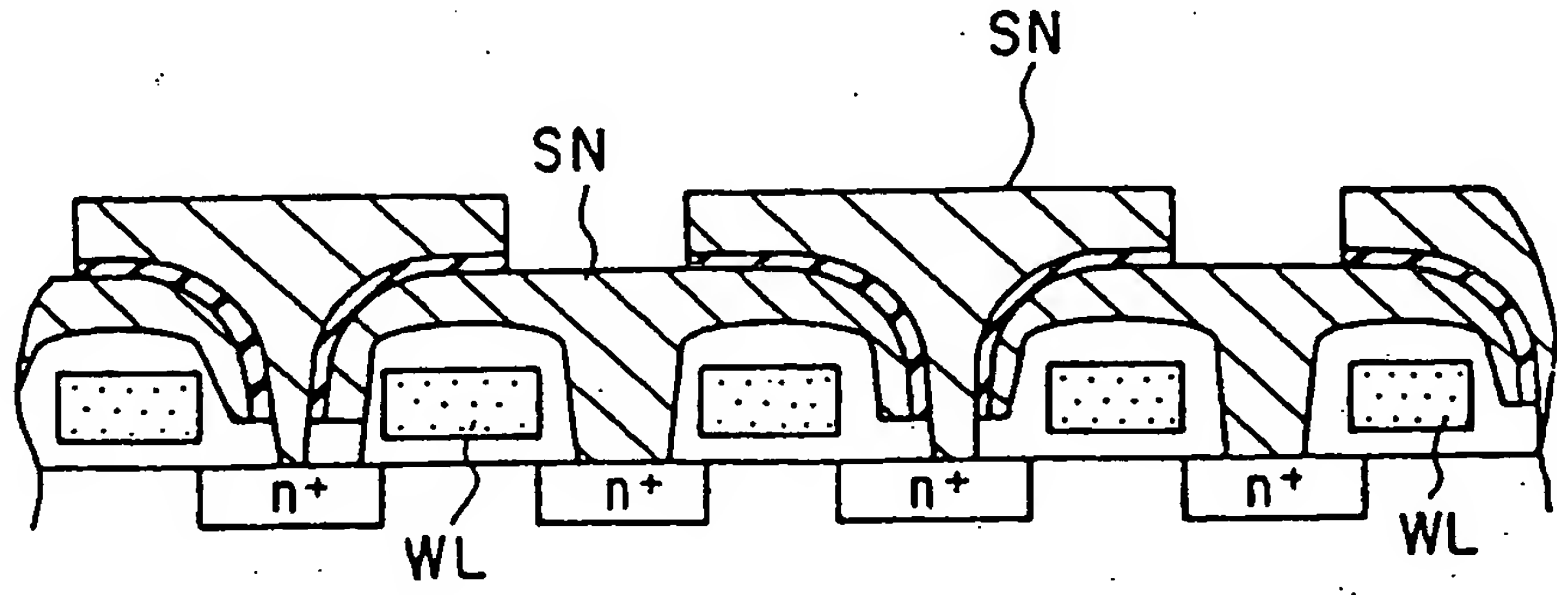
도면 51



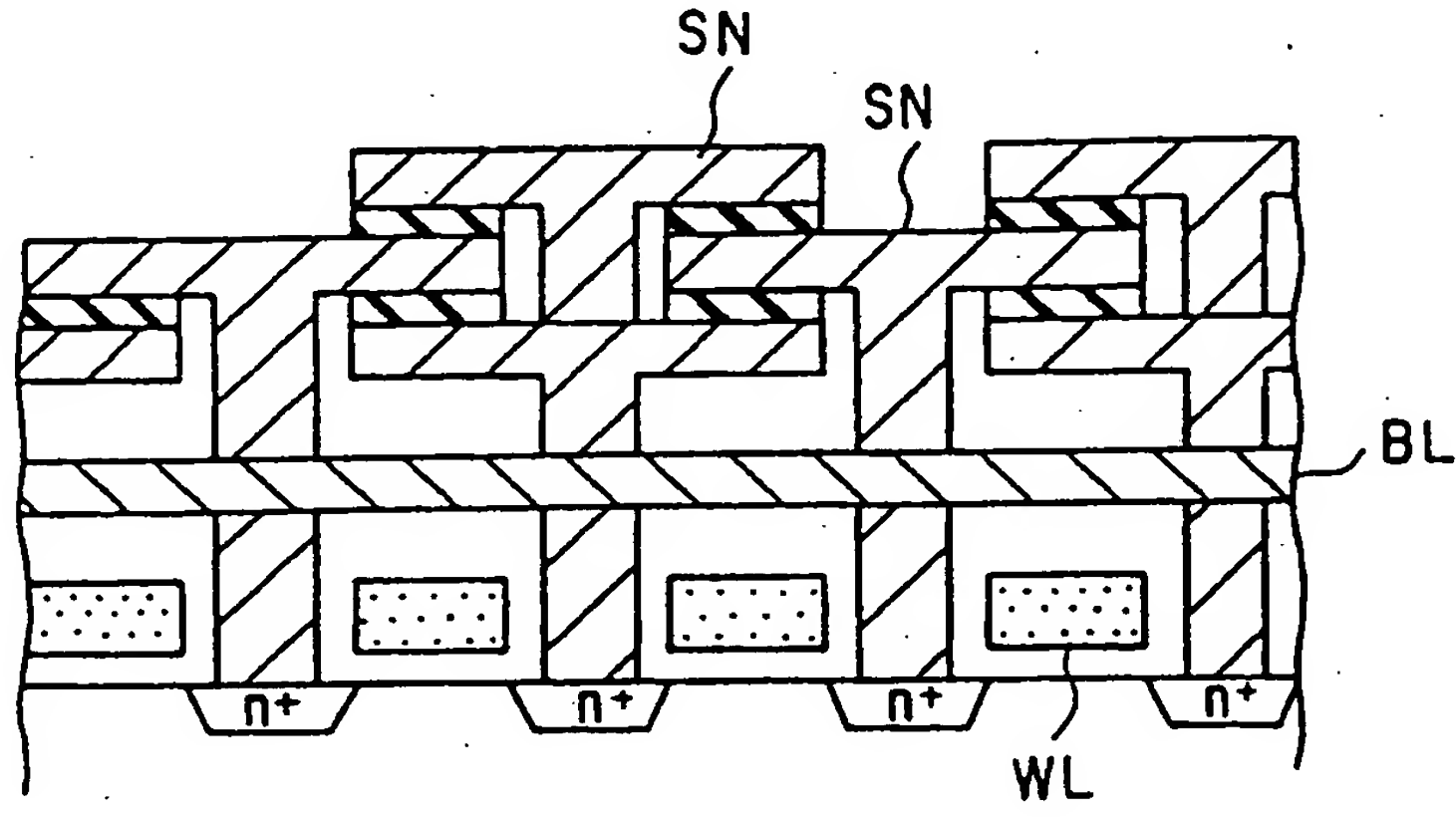
도면 52a



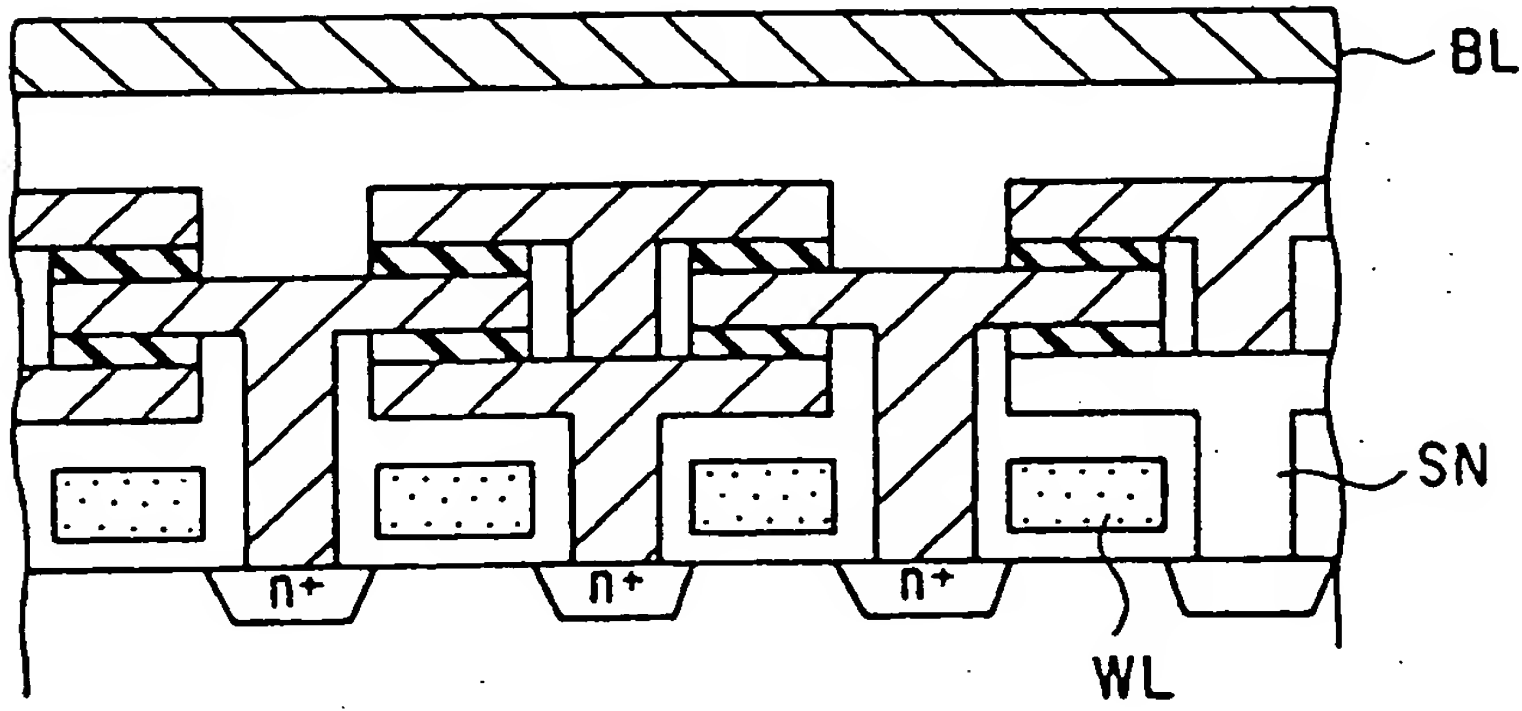
도면 52b



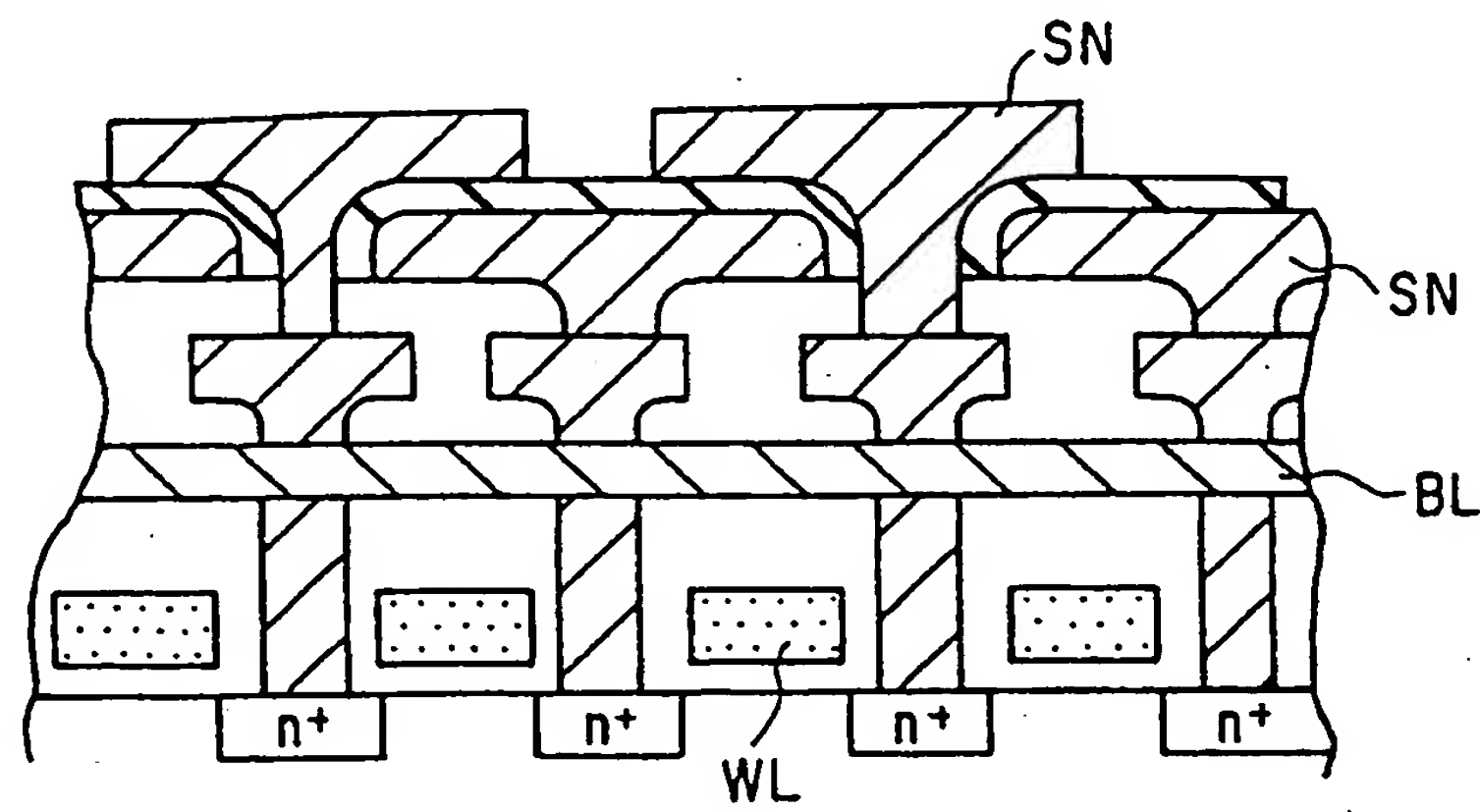
도면 53c



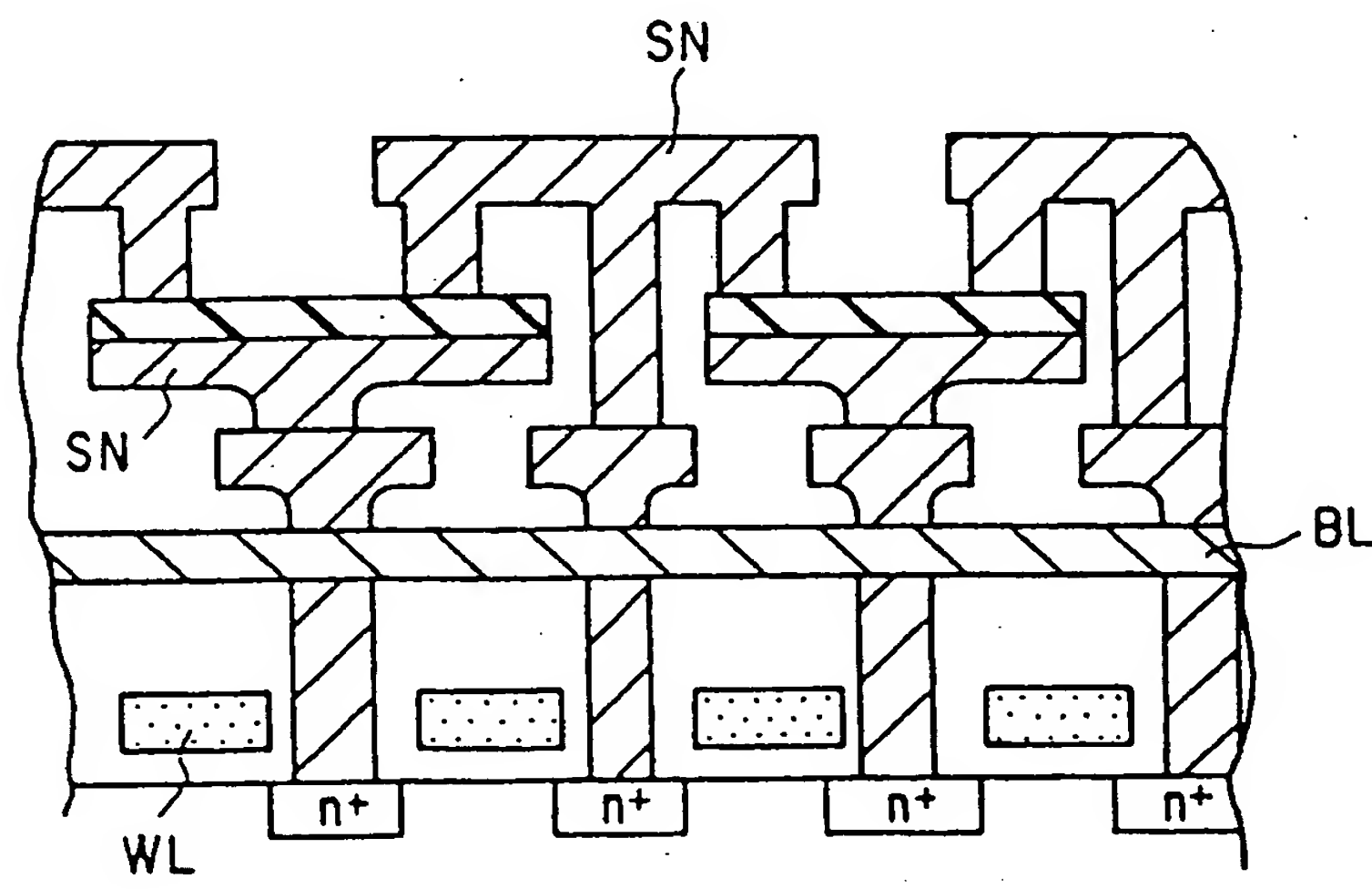
도면 53d



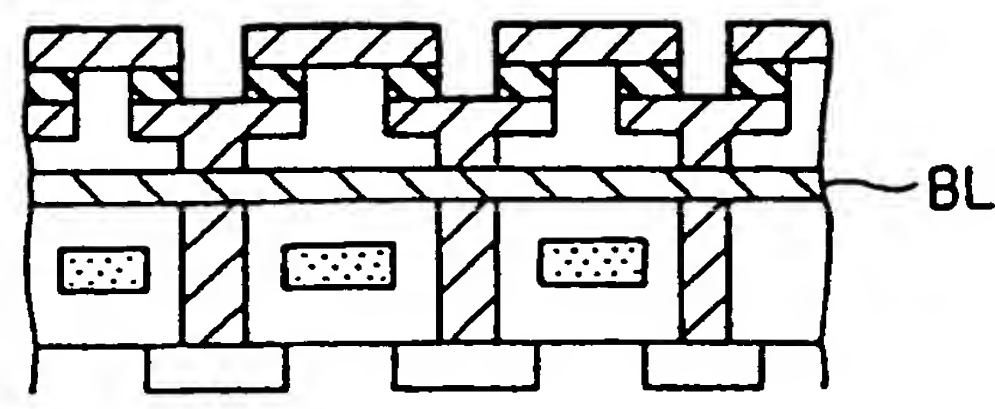
도면 54e



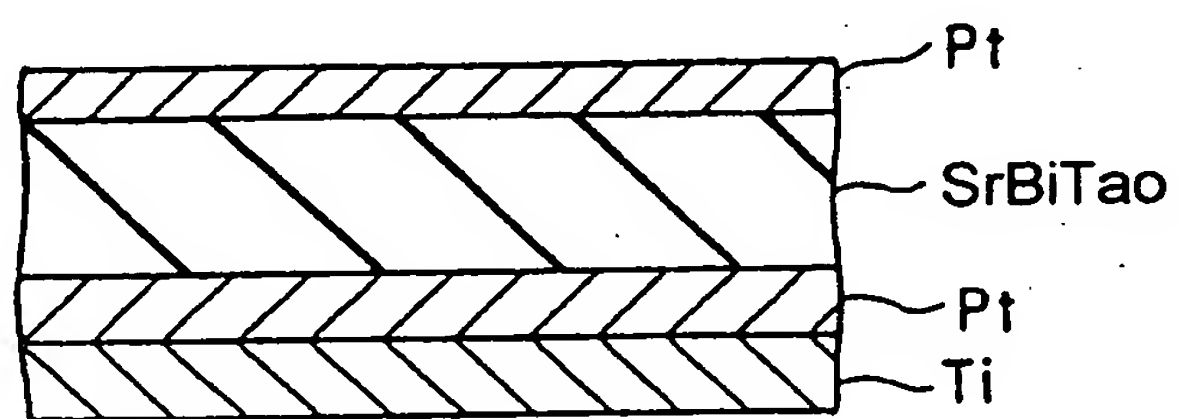
도면 54f



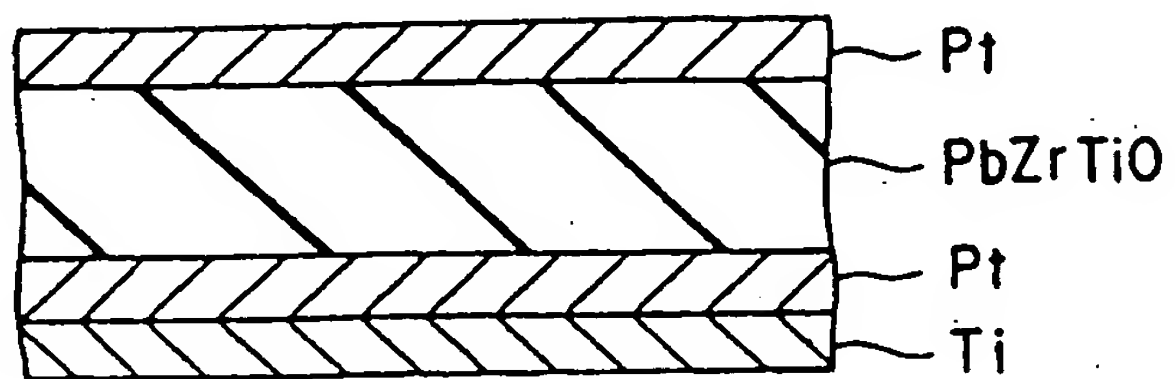
도면 55g



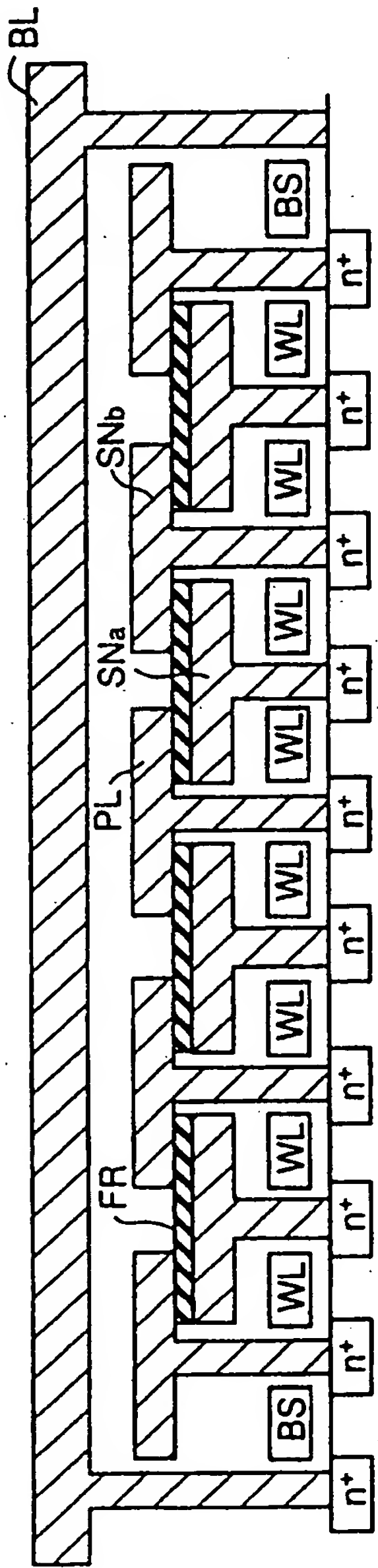
도면 55h



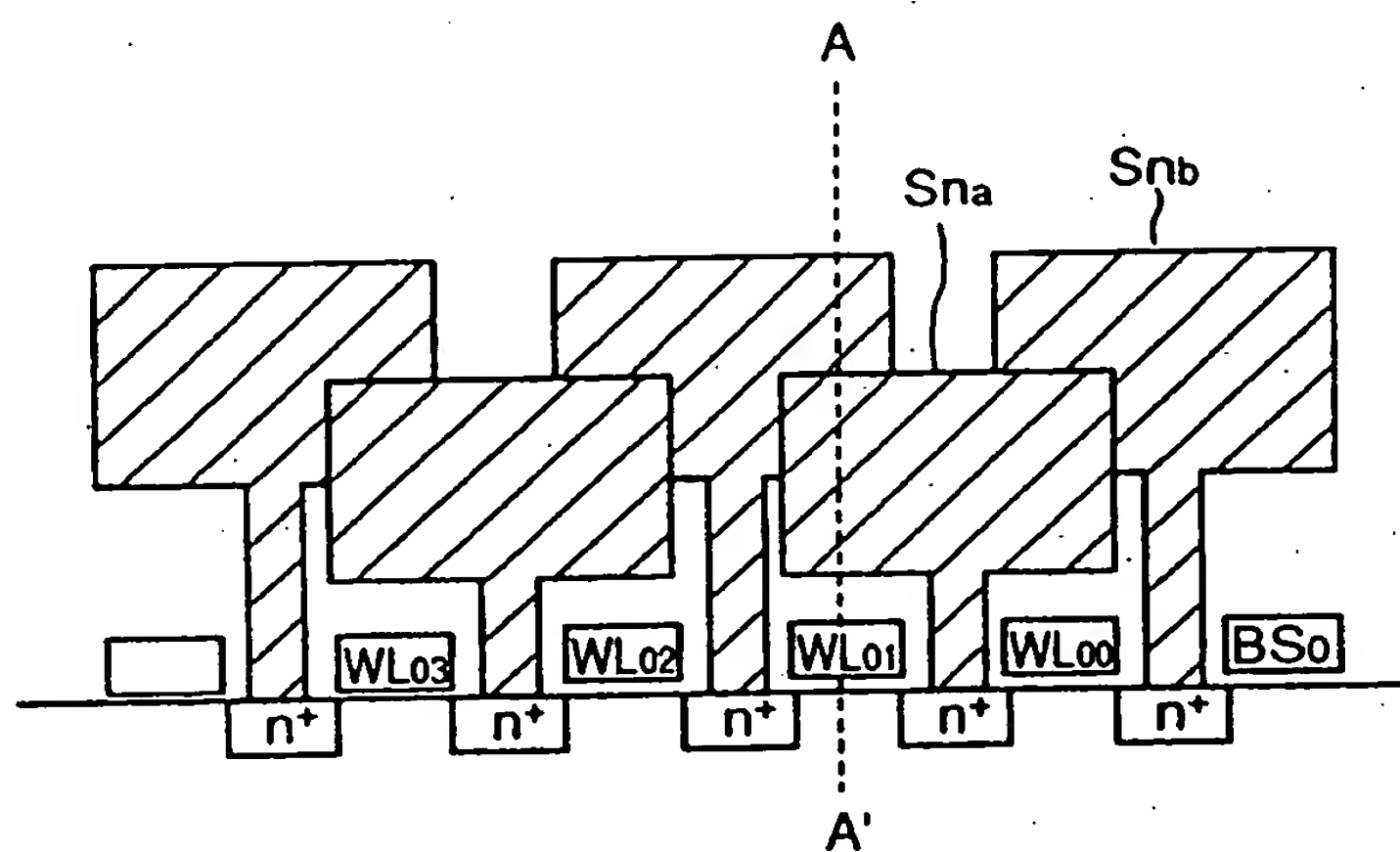
도면 55i



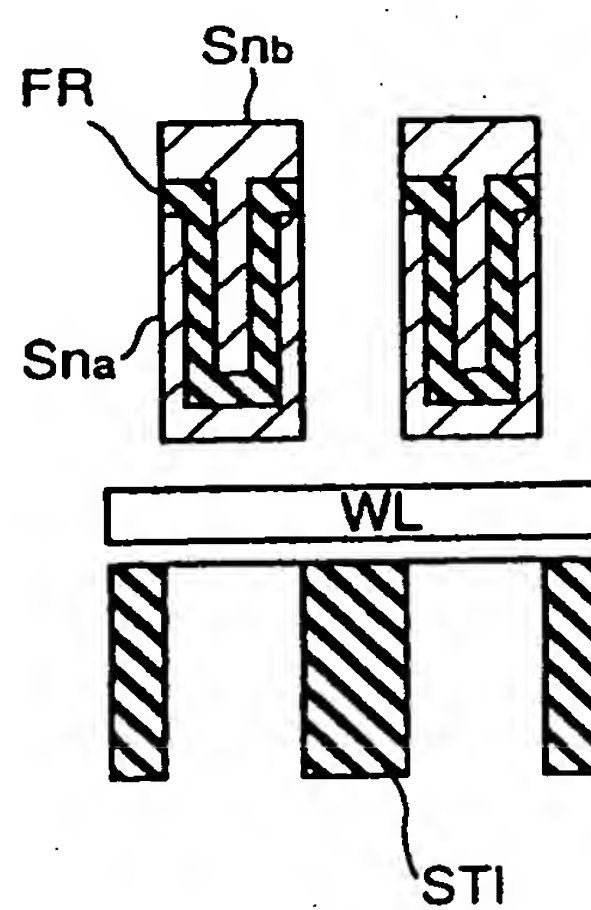
도면 56



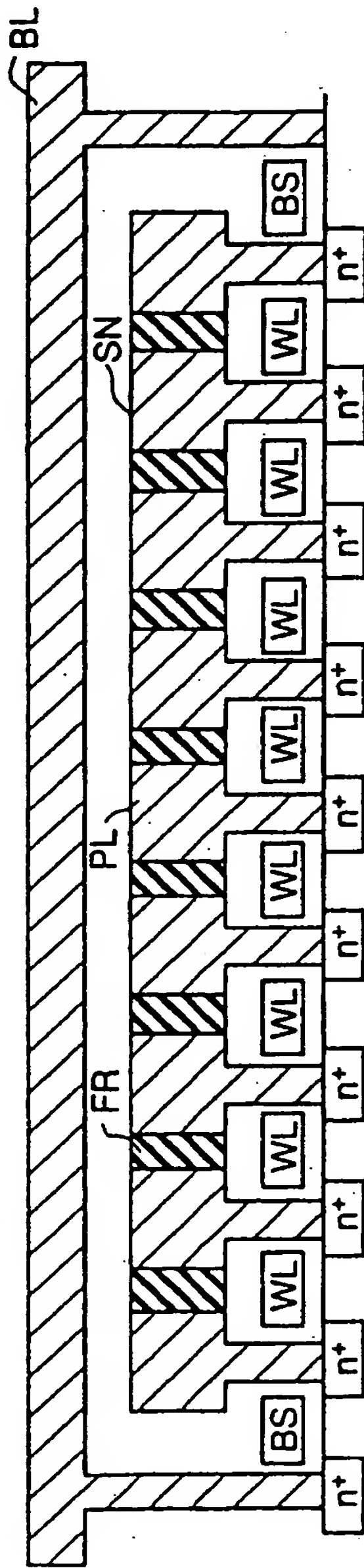
도면 57a



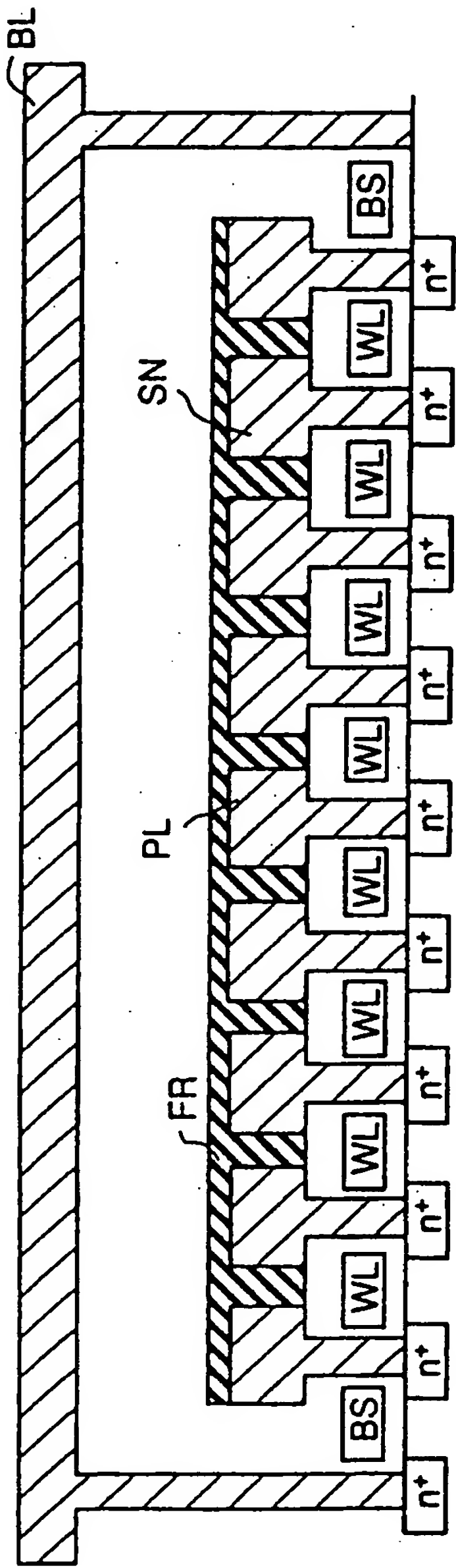
도면 57b



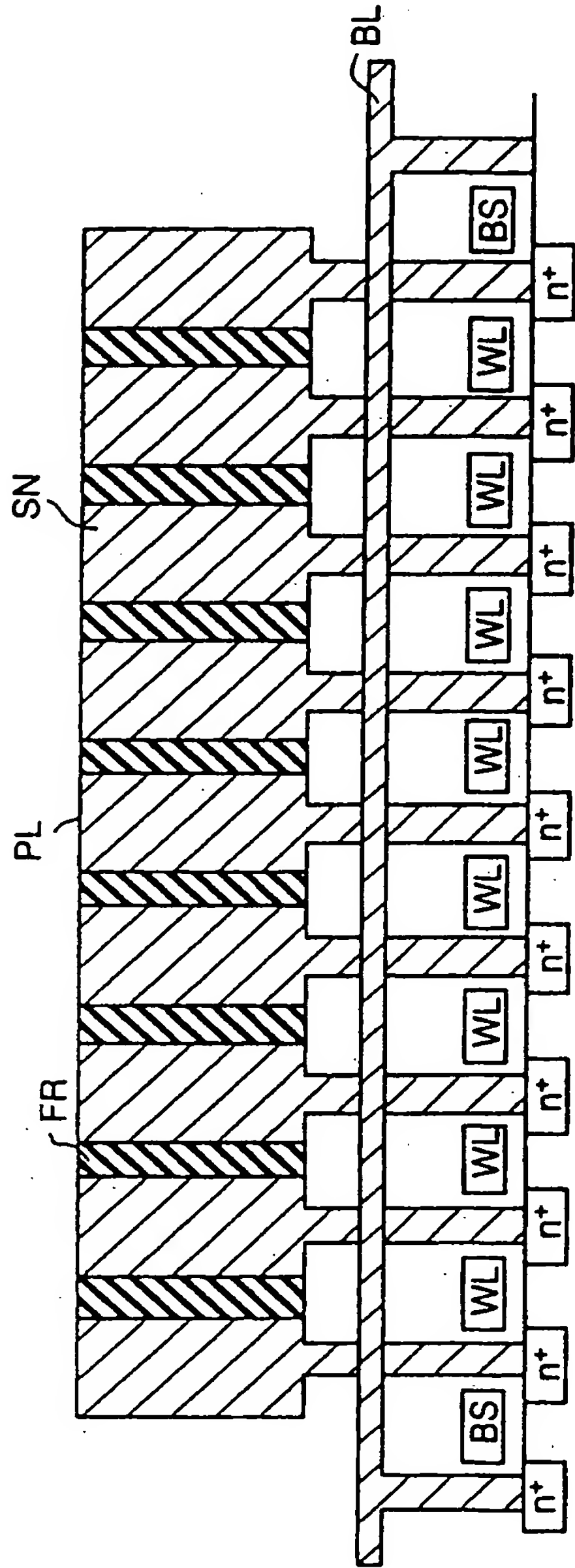
도면 58



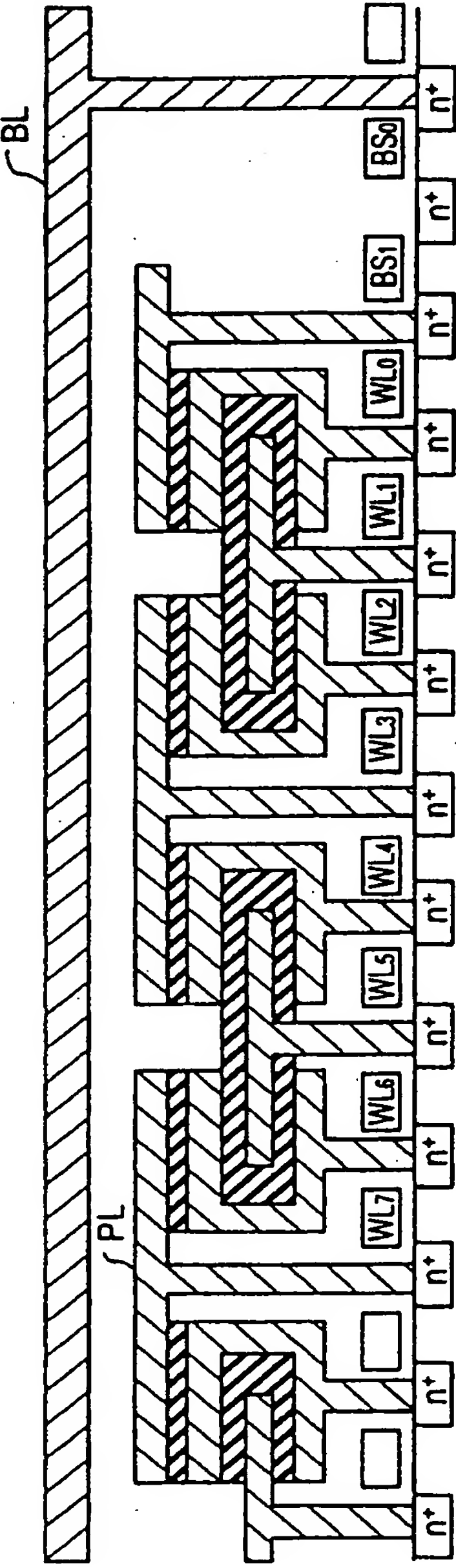
도면 59



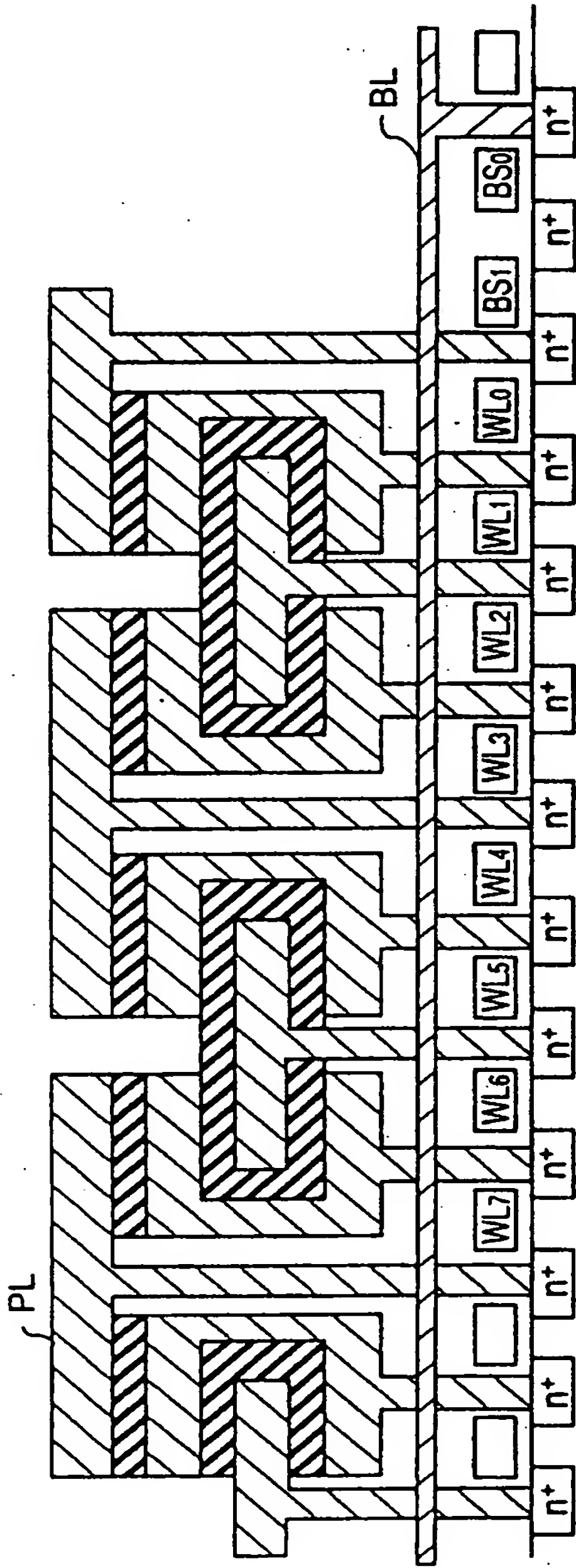
도면 60



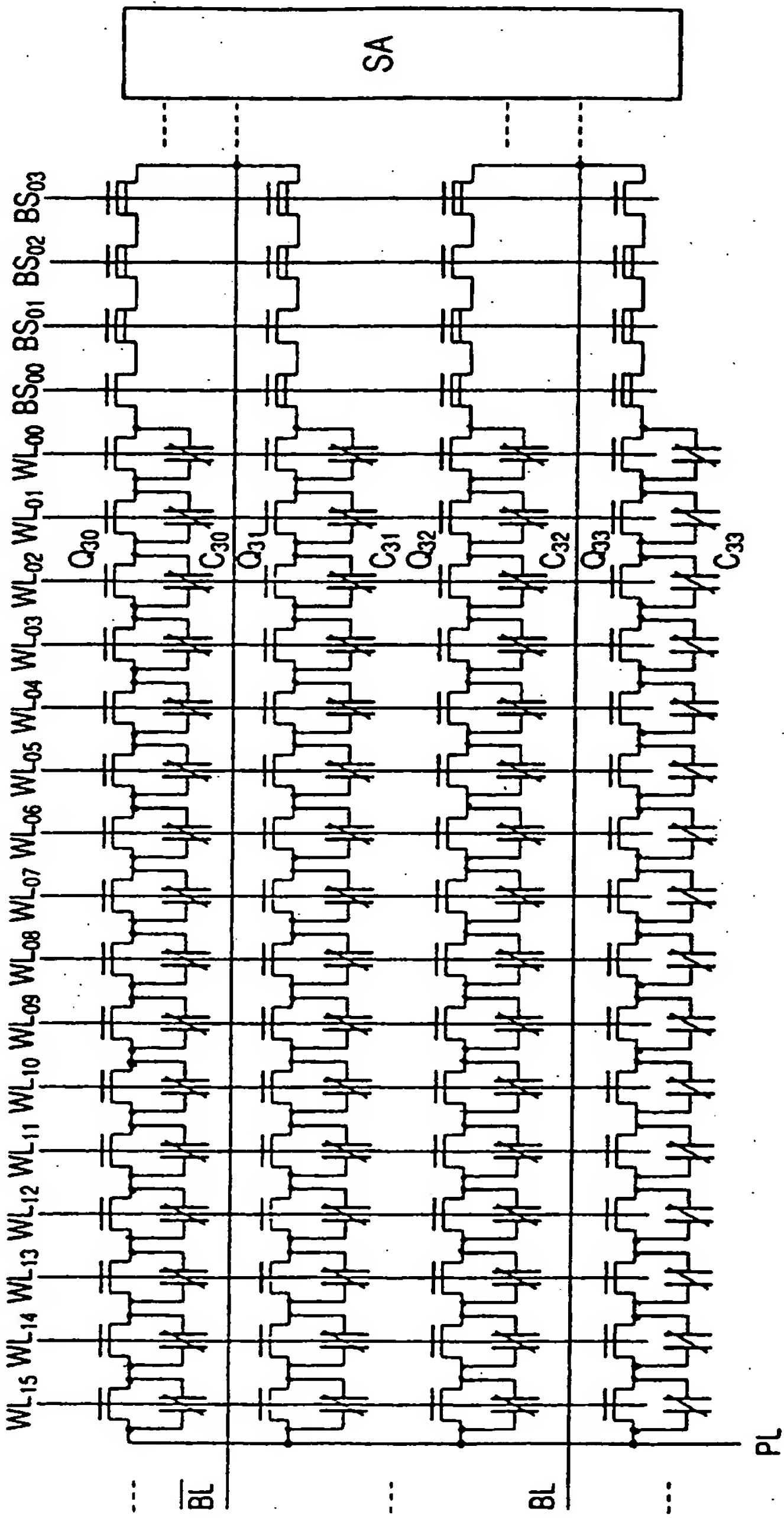
도면 61



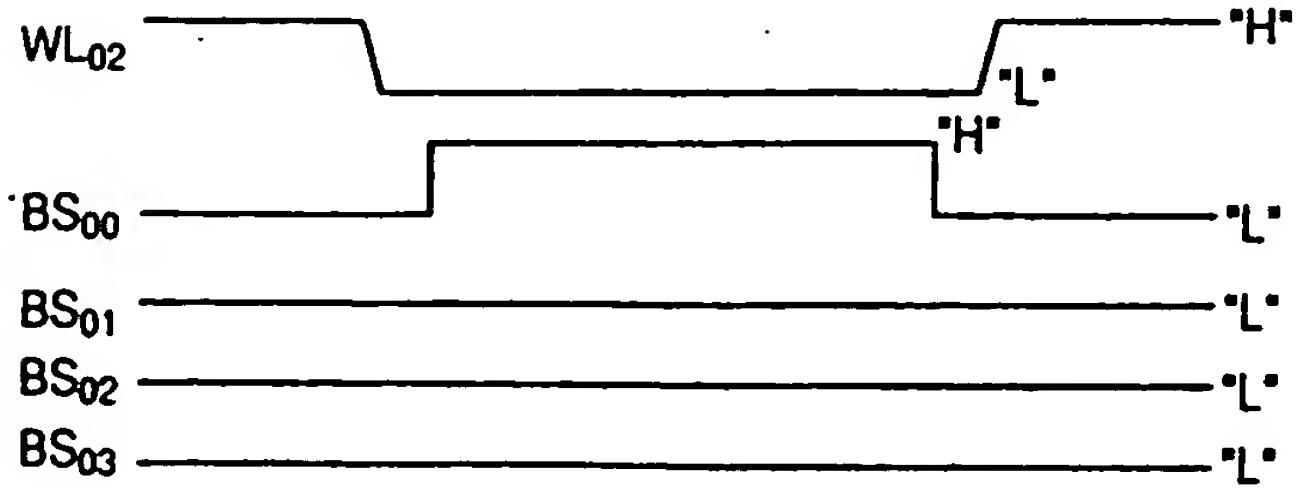
도면 62



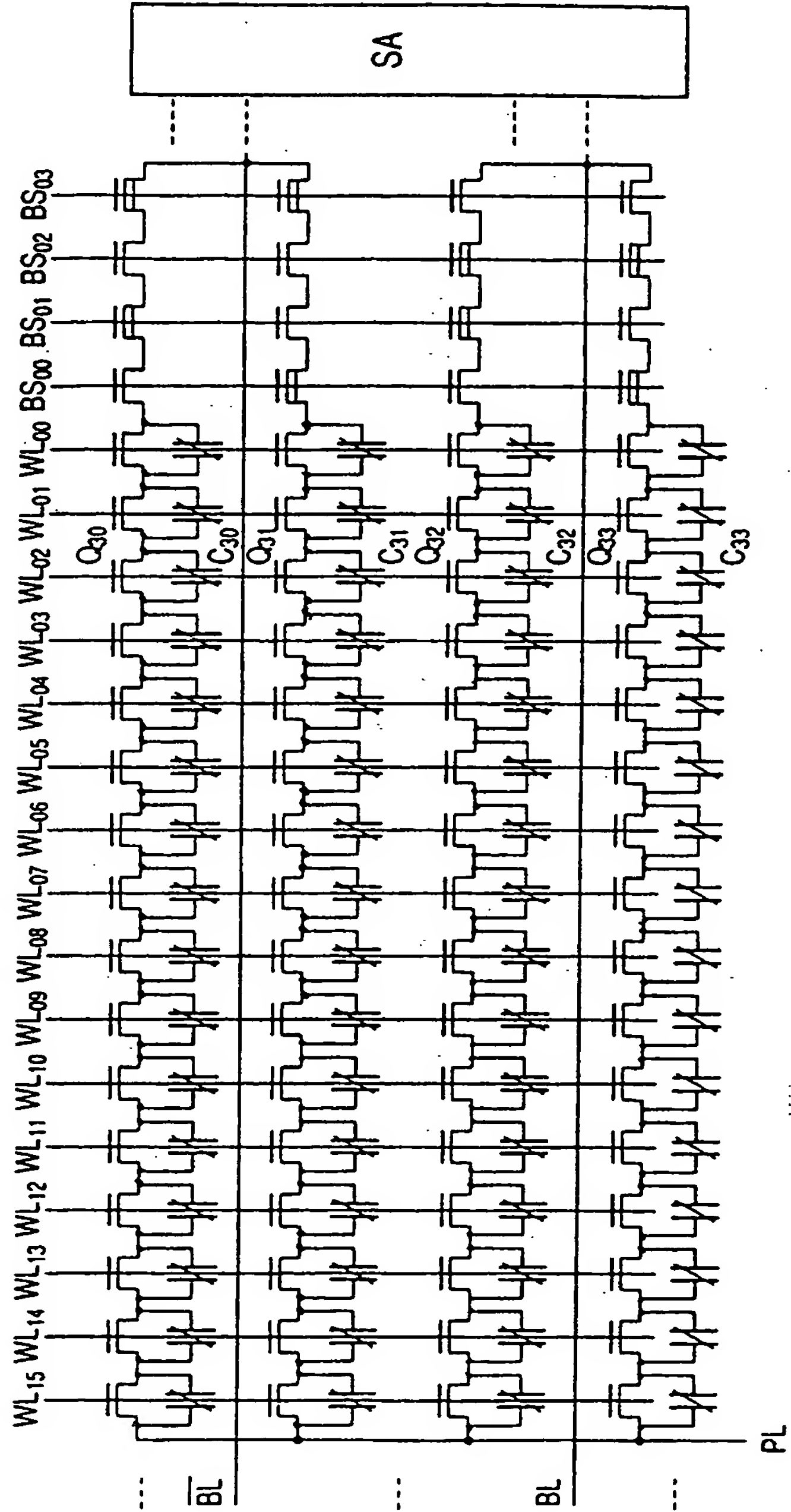
도면 63a



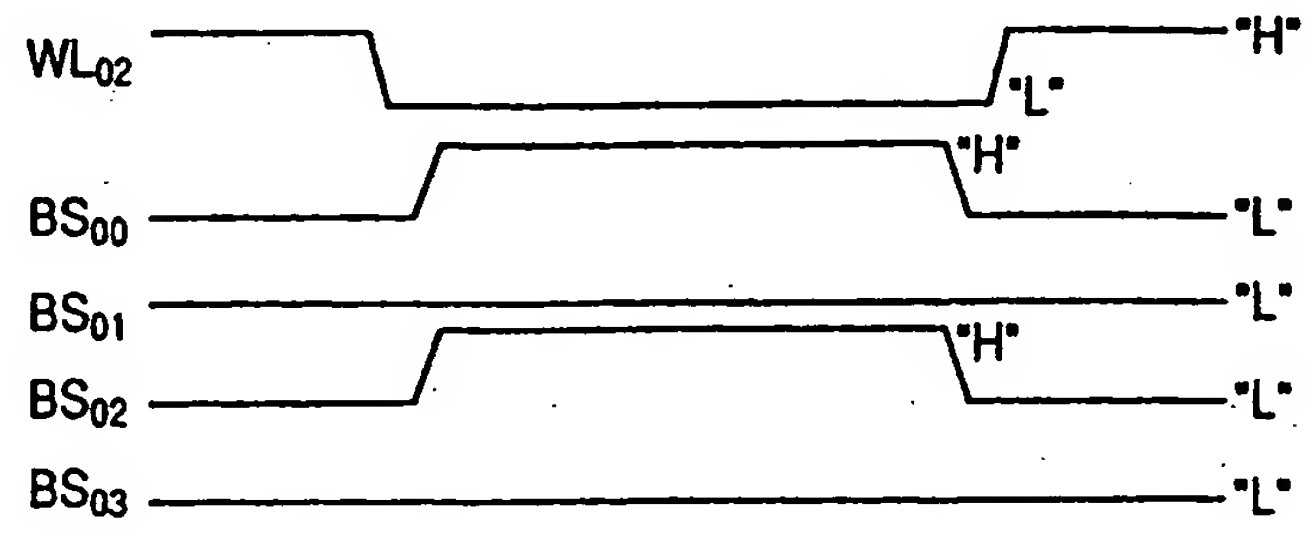
도면 63b



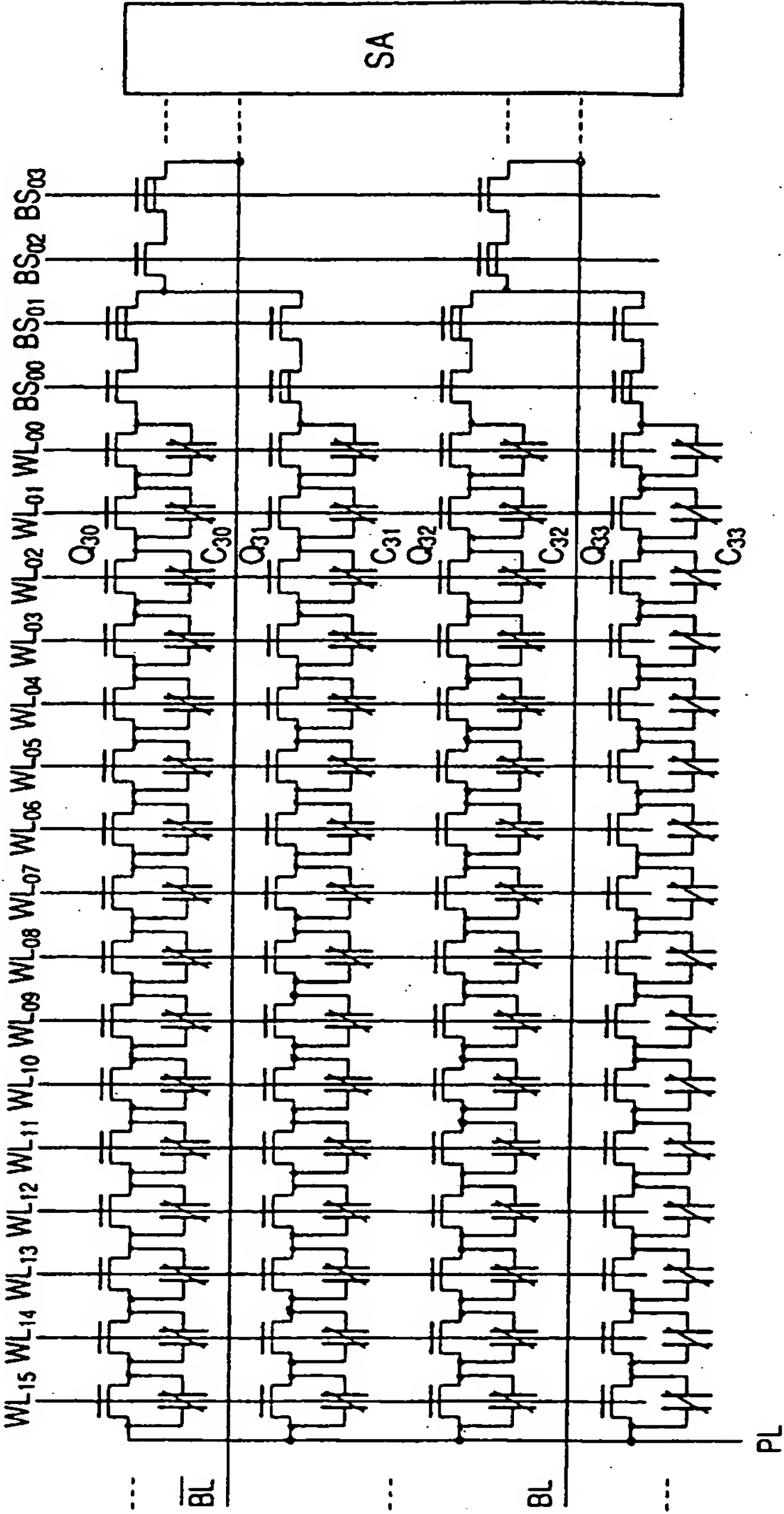
도면 64a



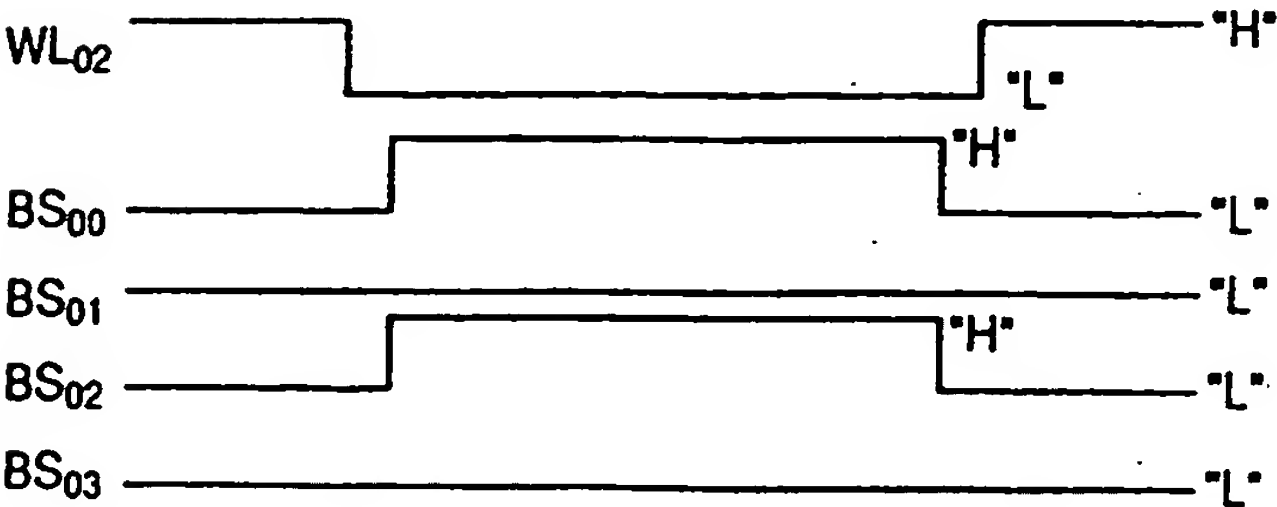
도면 64b



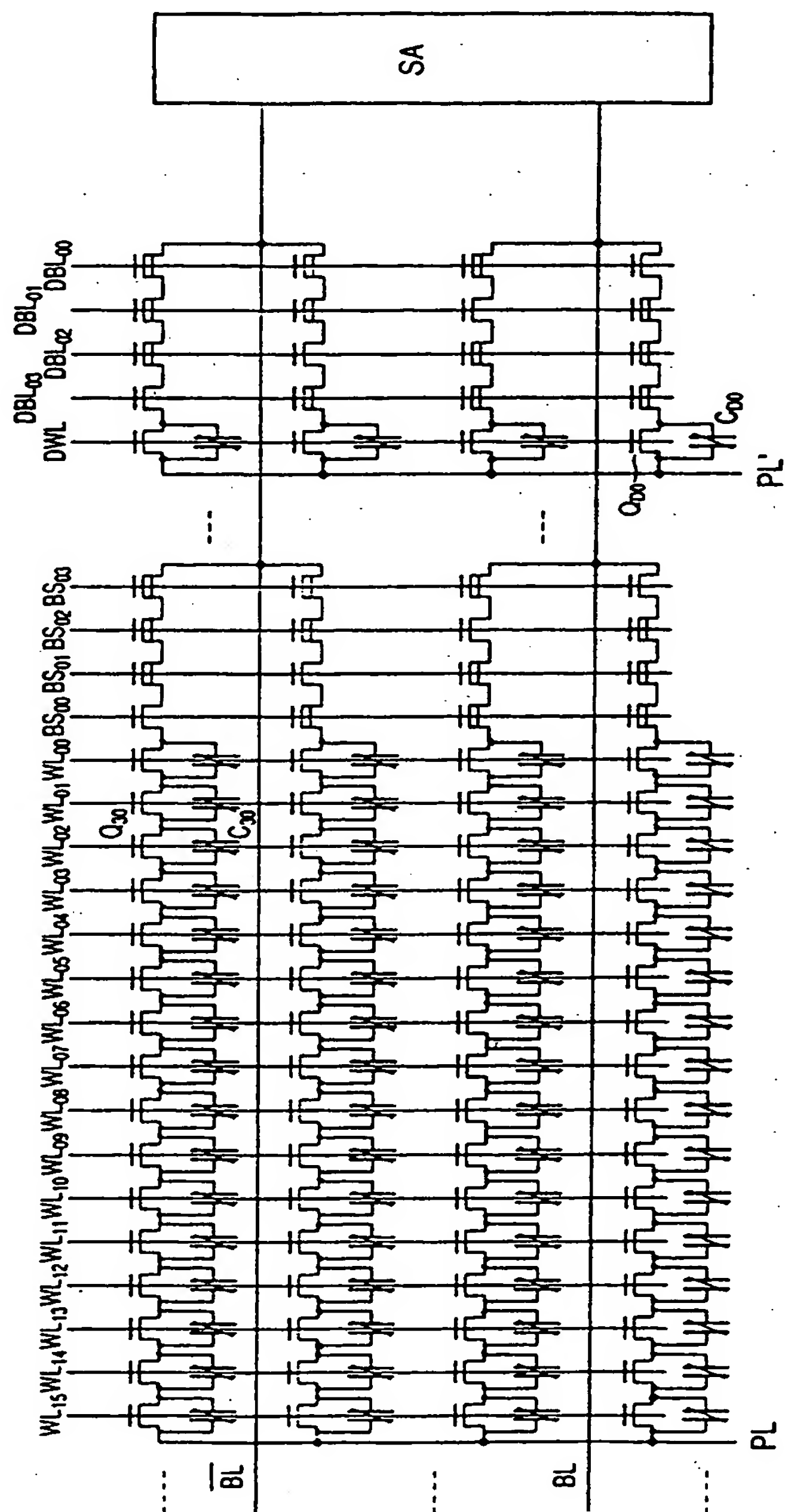
도면 65a



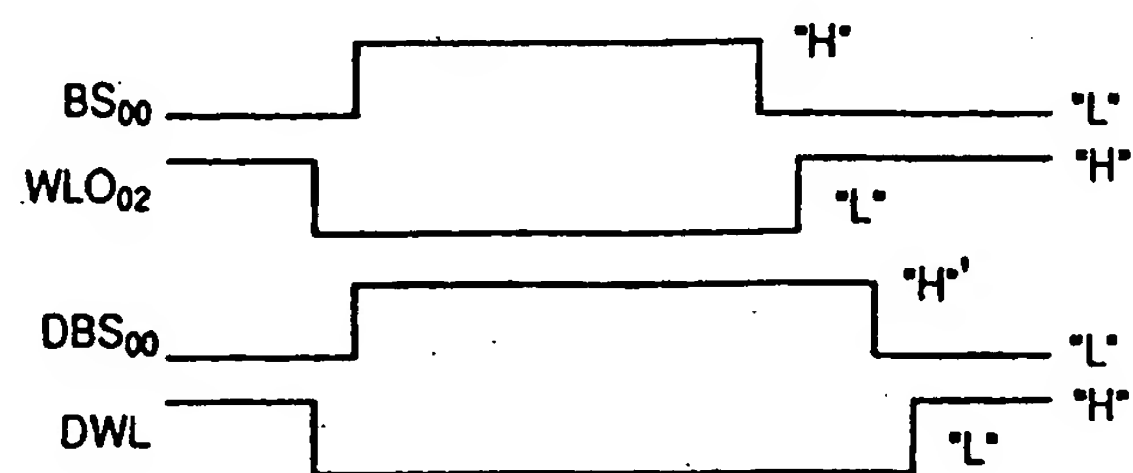
도면 65b



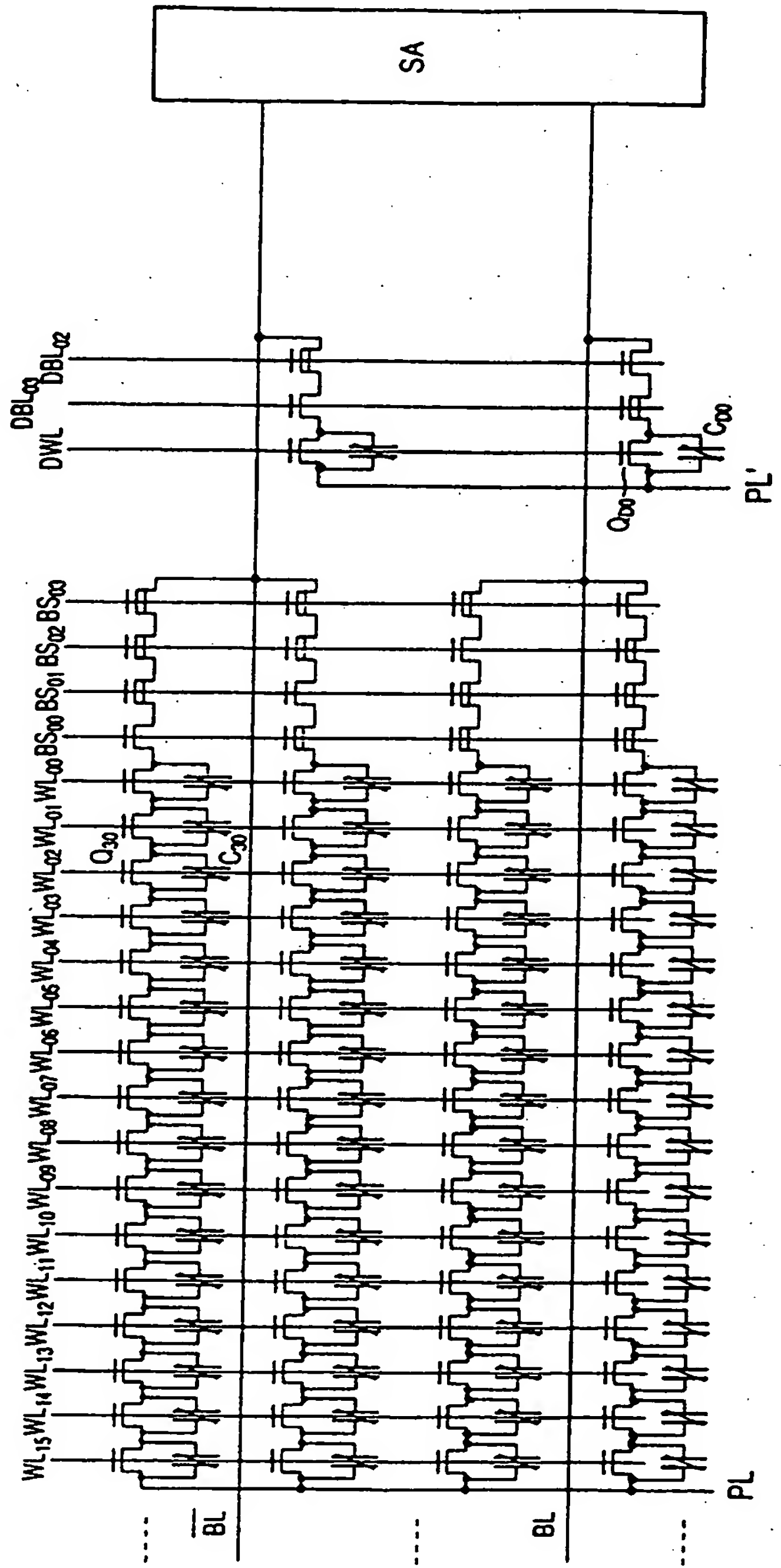
도면 66a



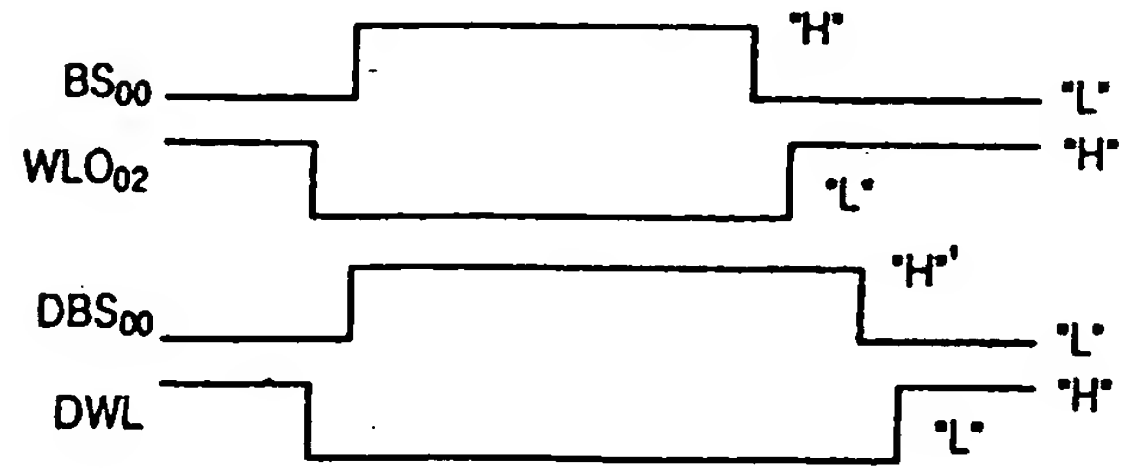
도면 66b

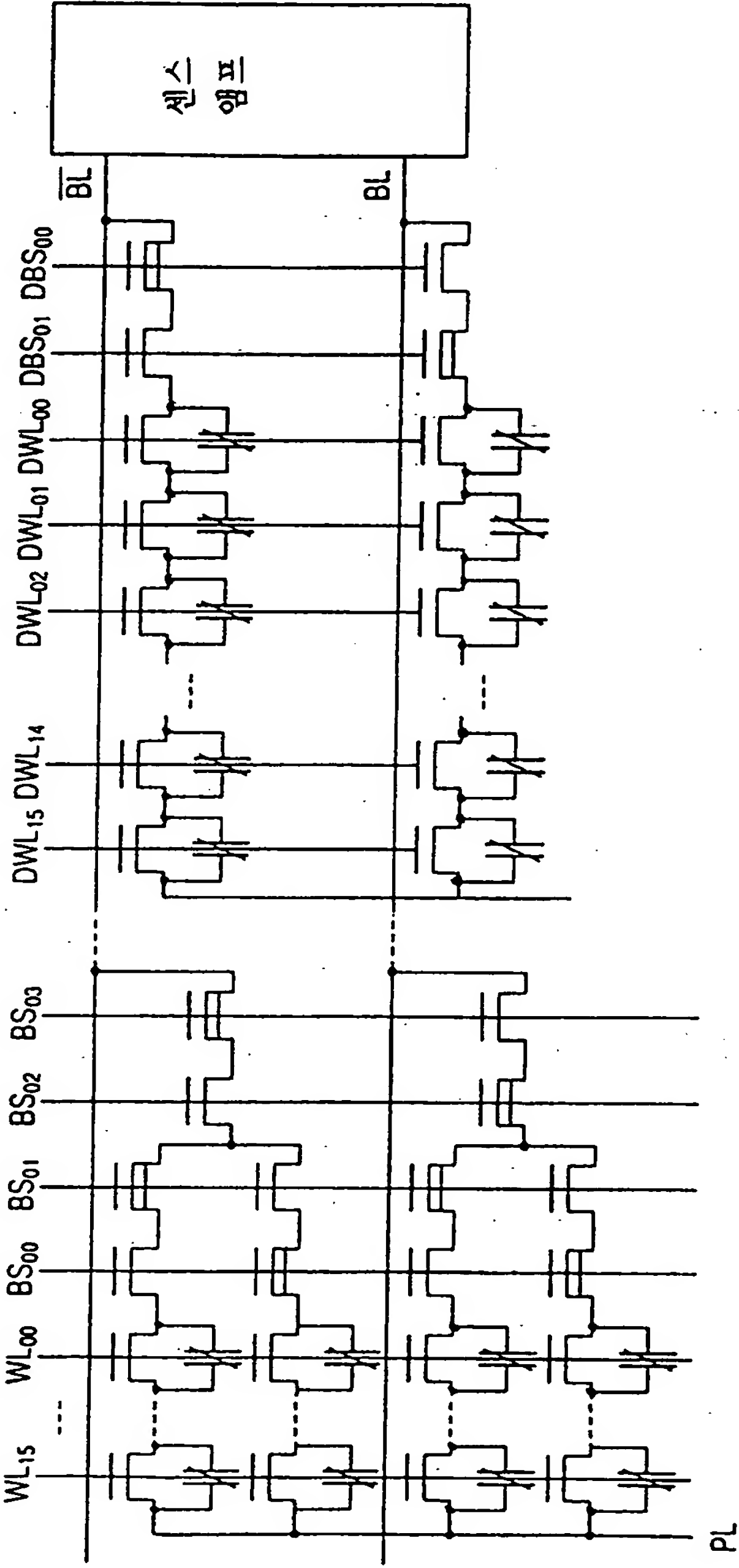


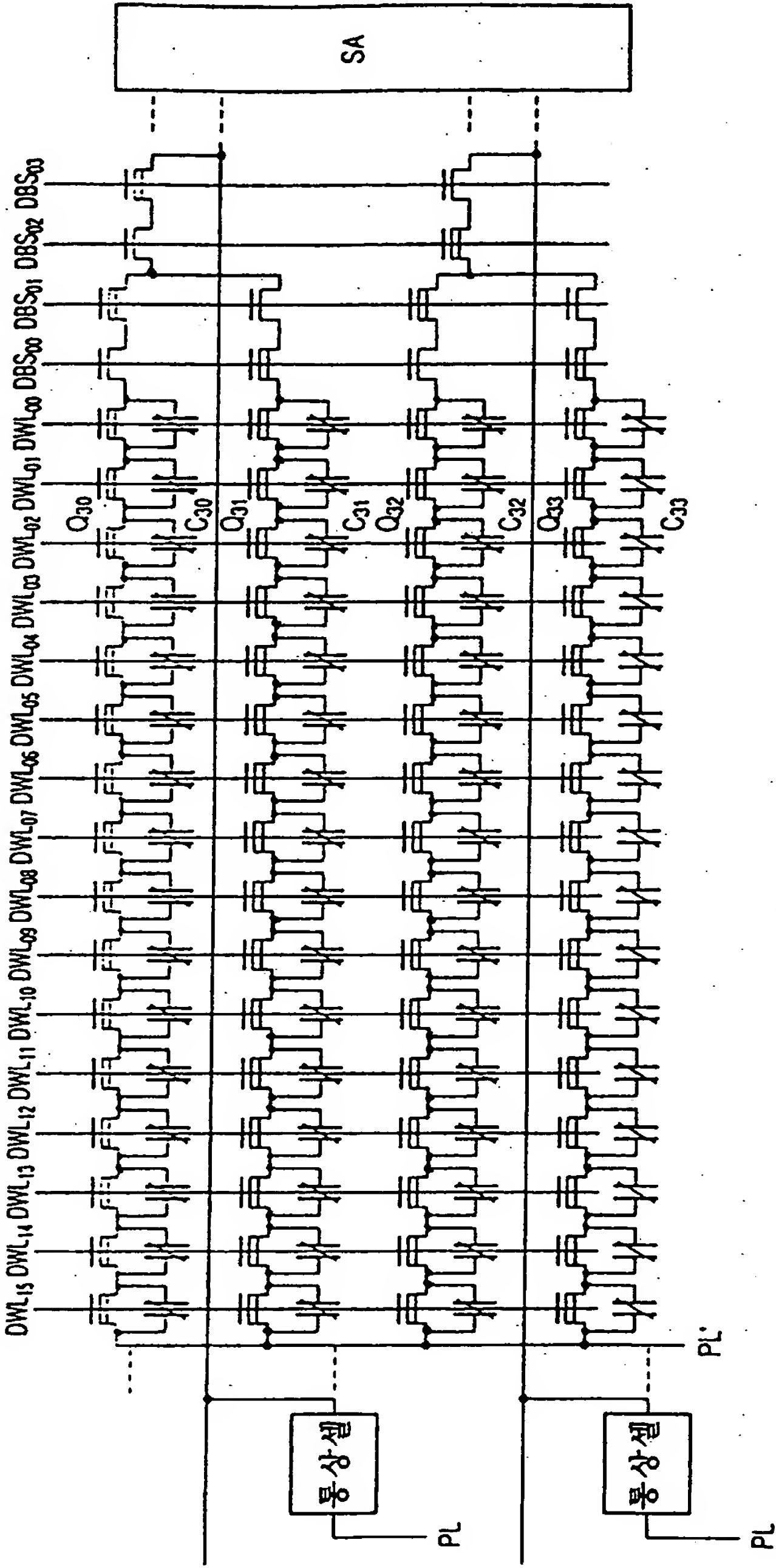
도면 67a



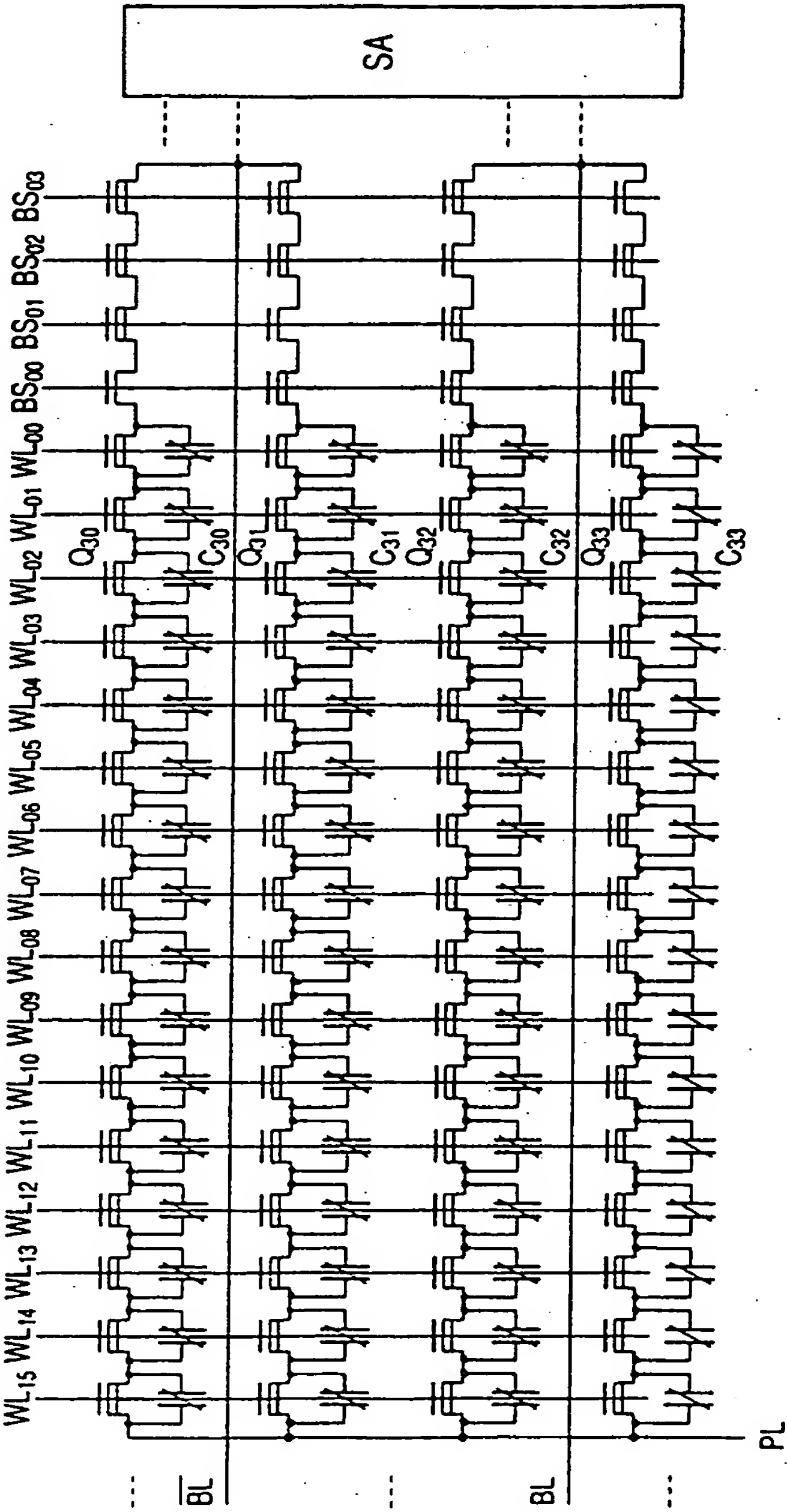
도면 67b



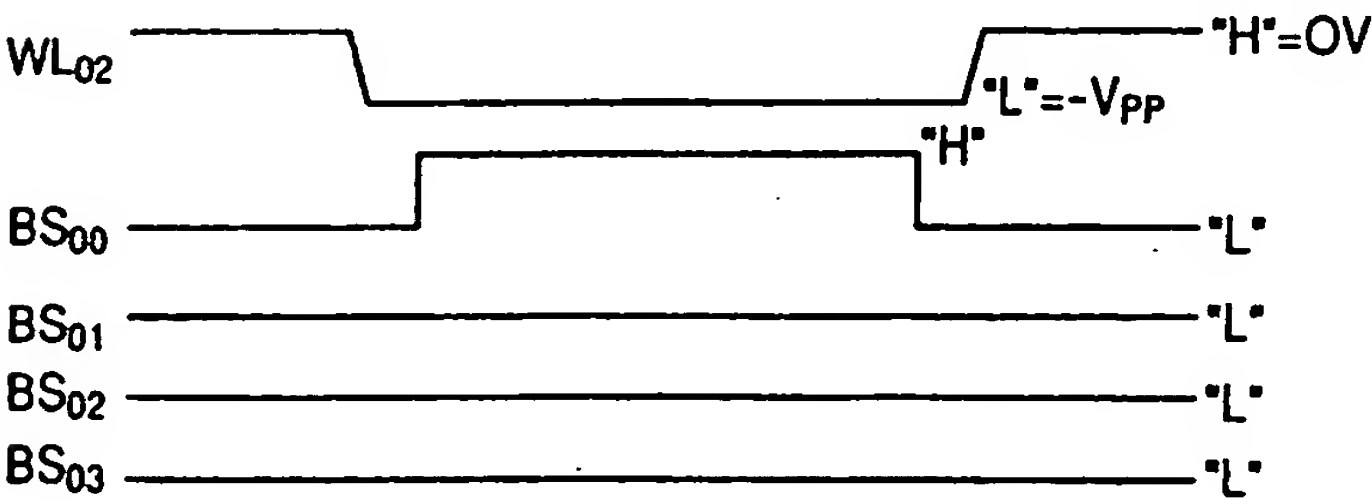


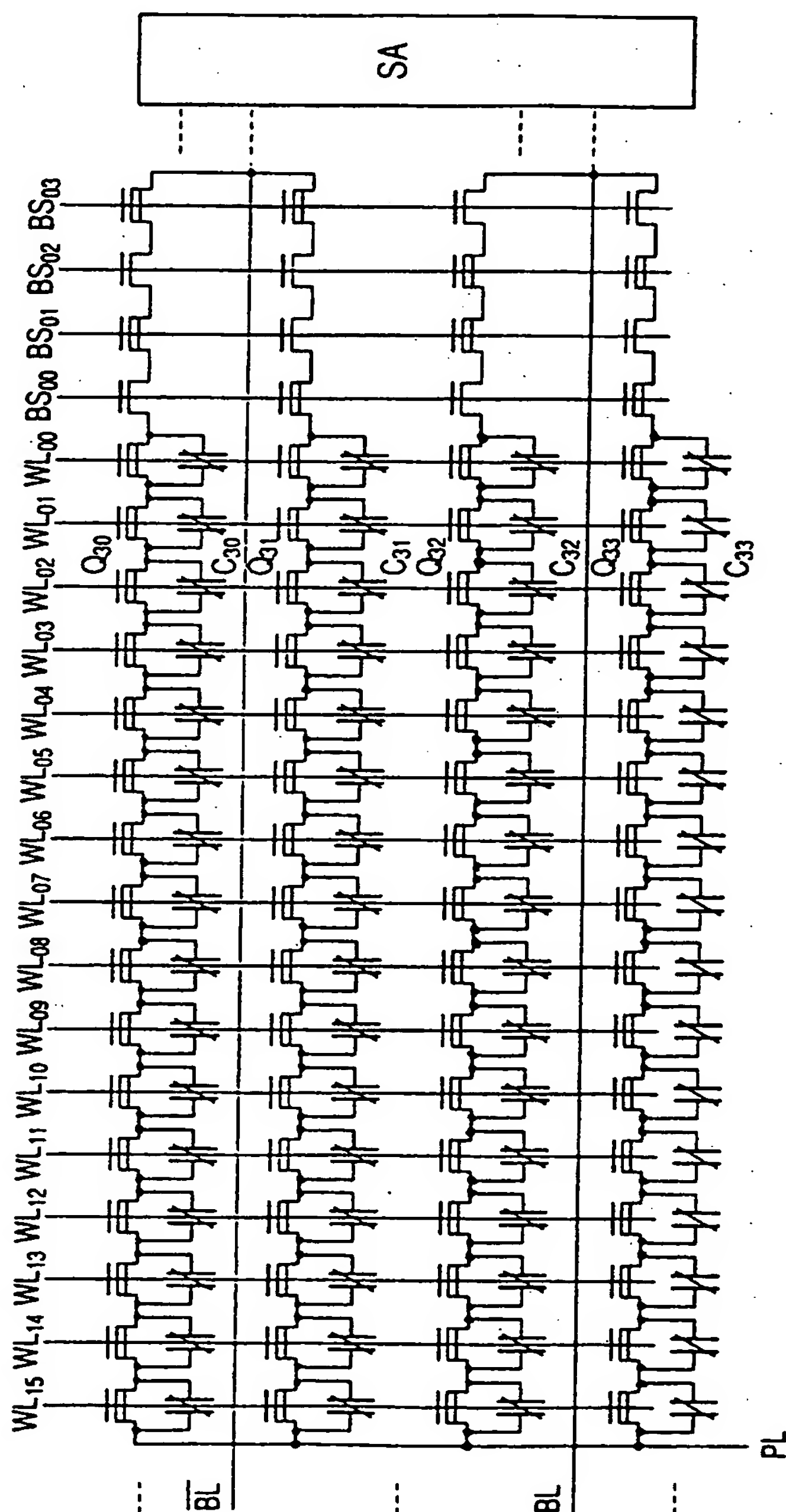


도면 70a

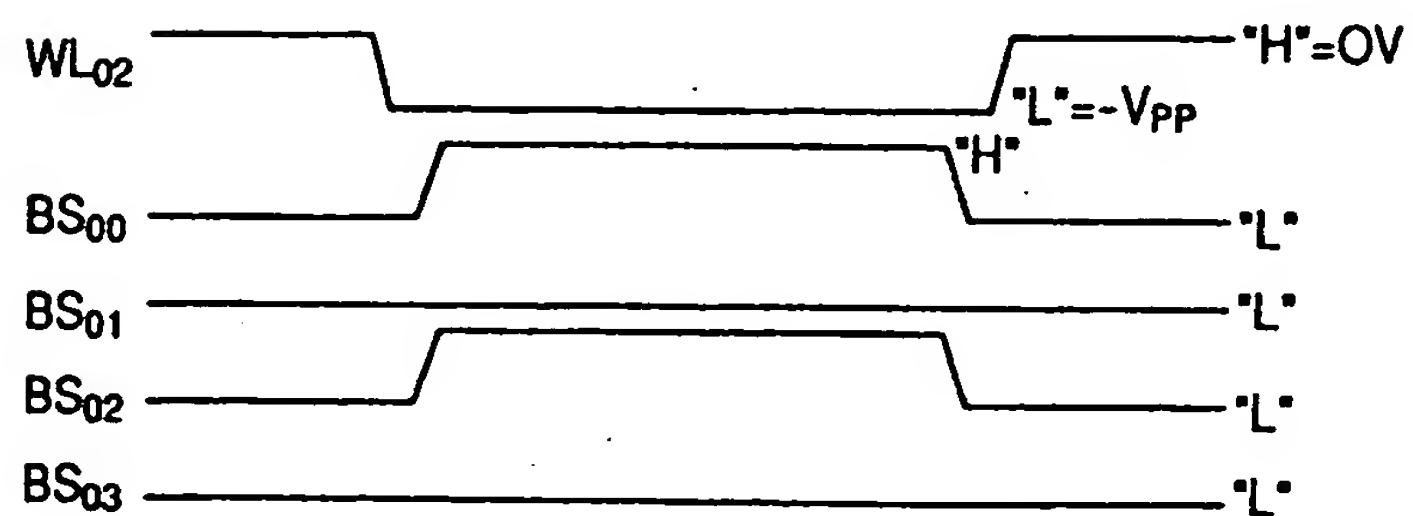


도면 70b

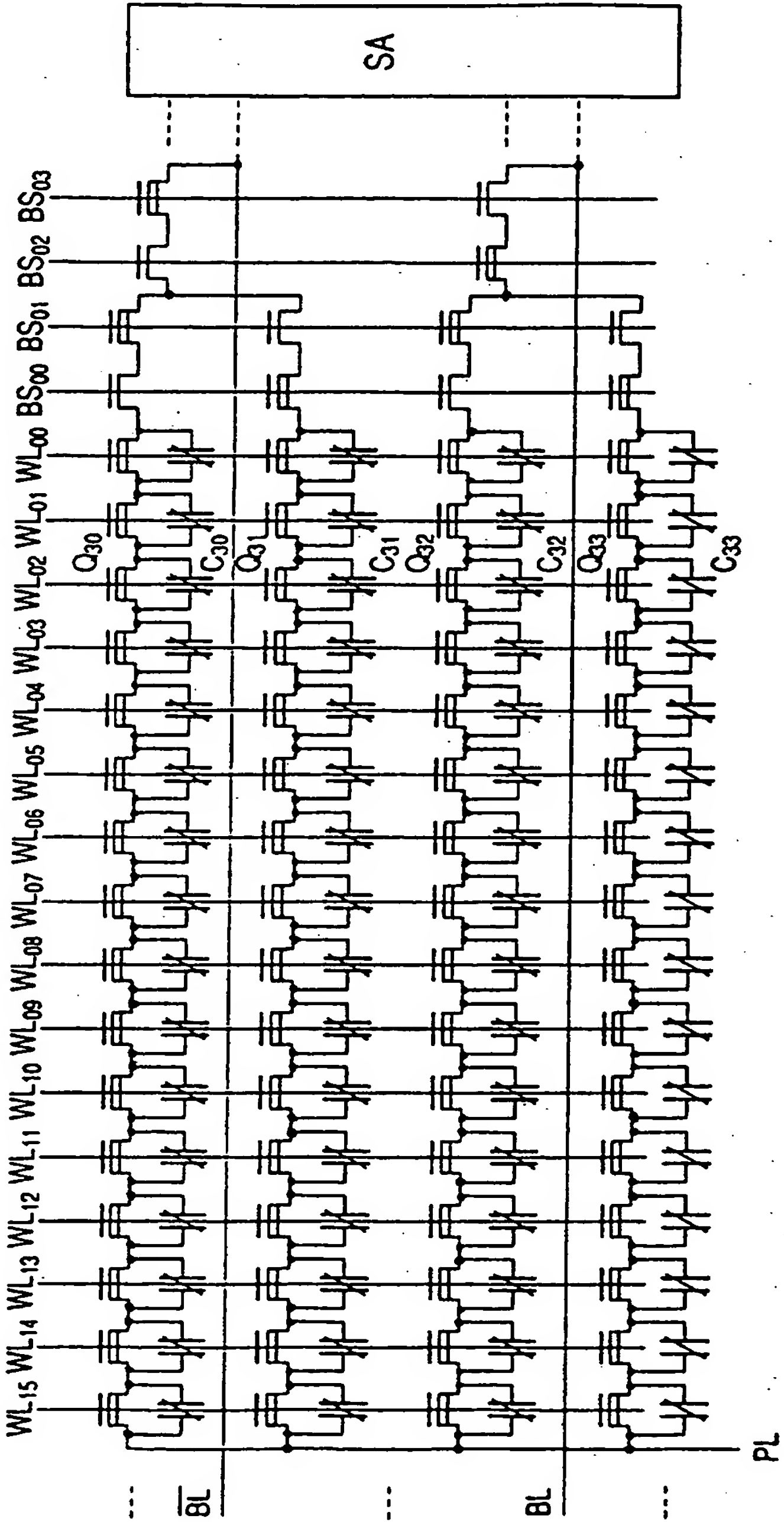




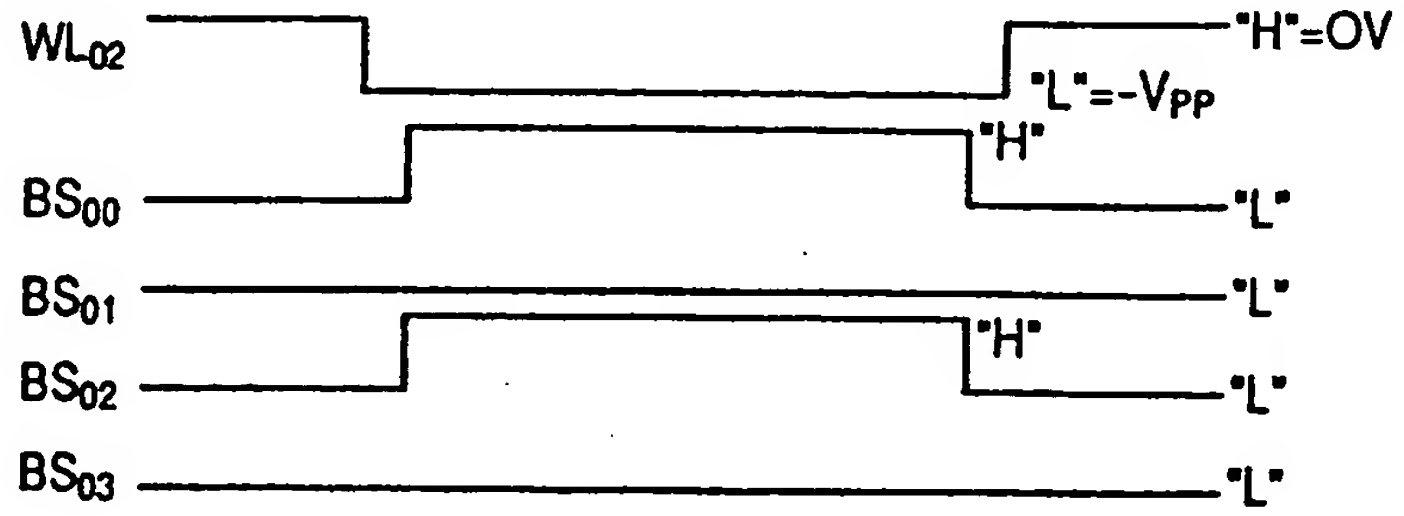
도면 71b



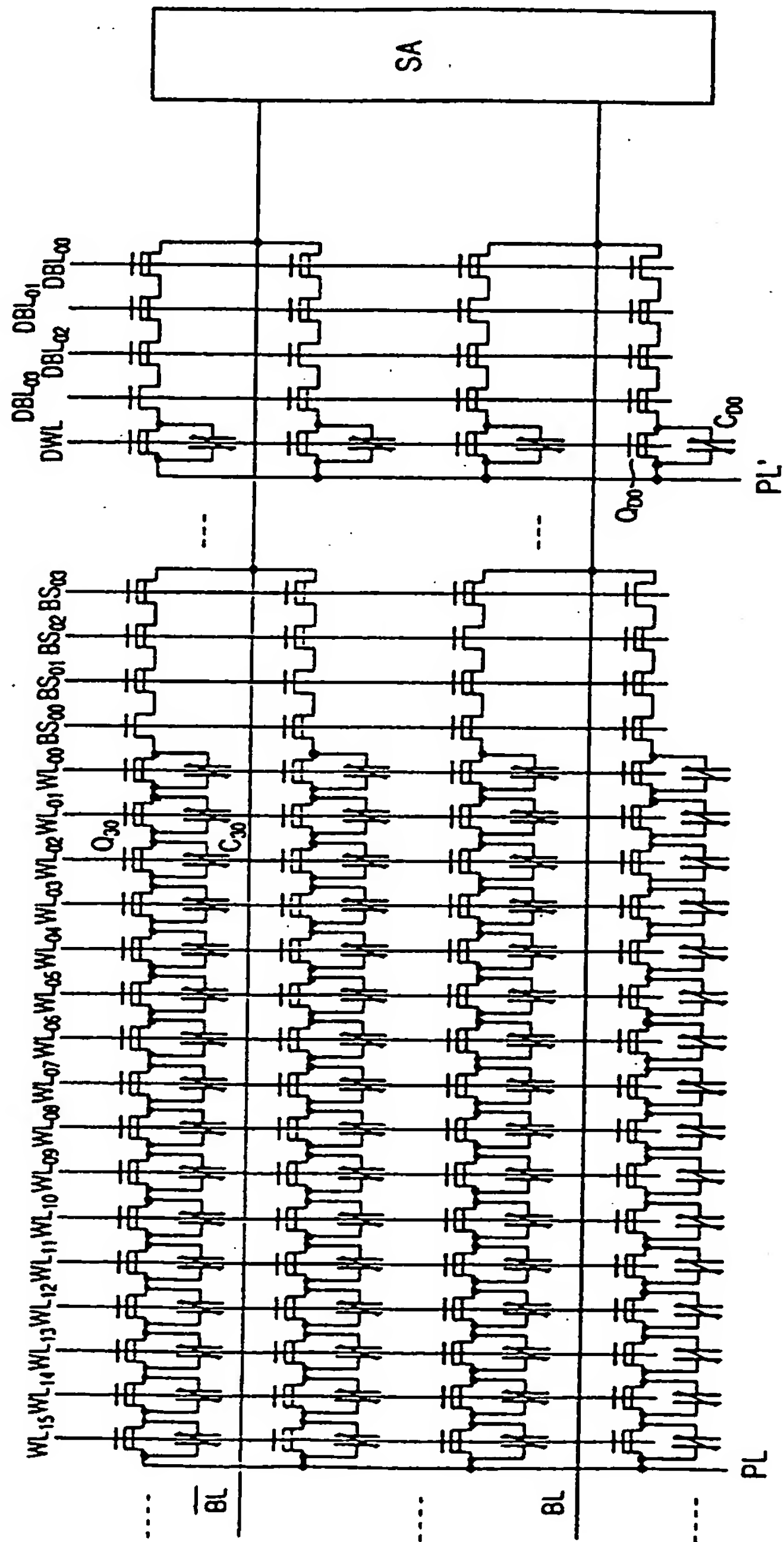
도면 72a



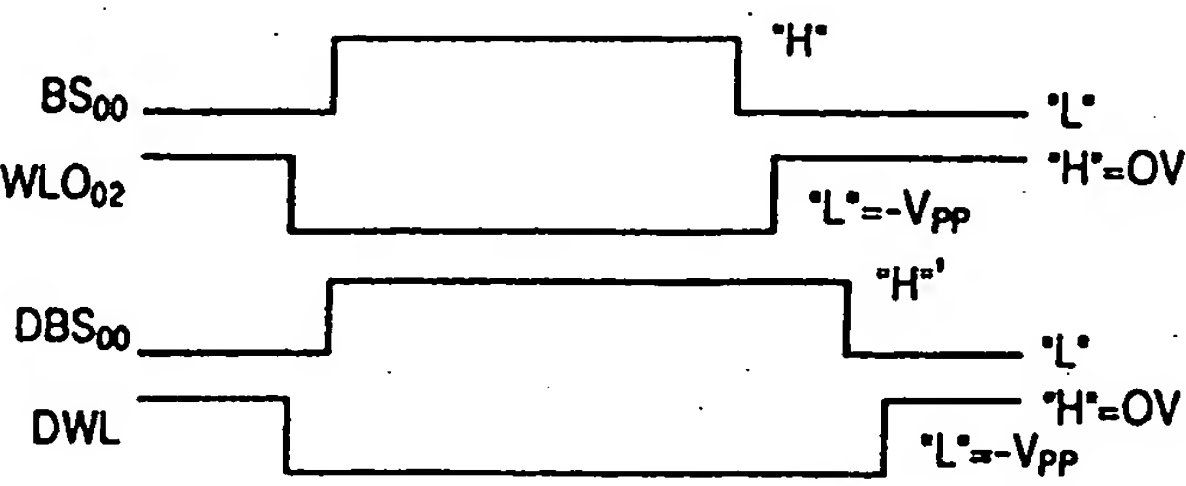
도면 72b

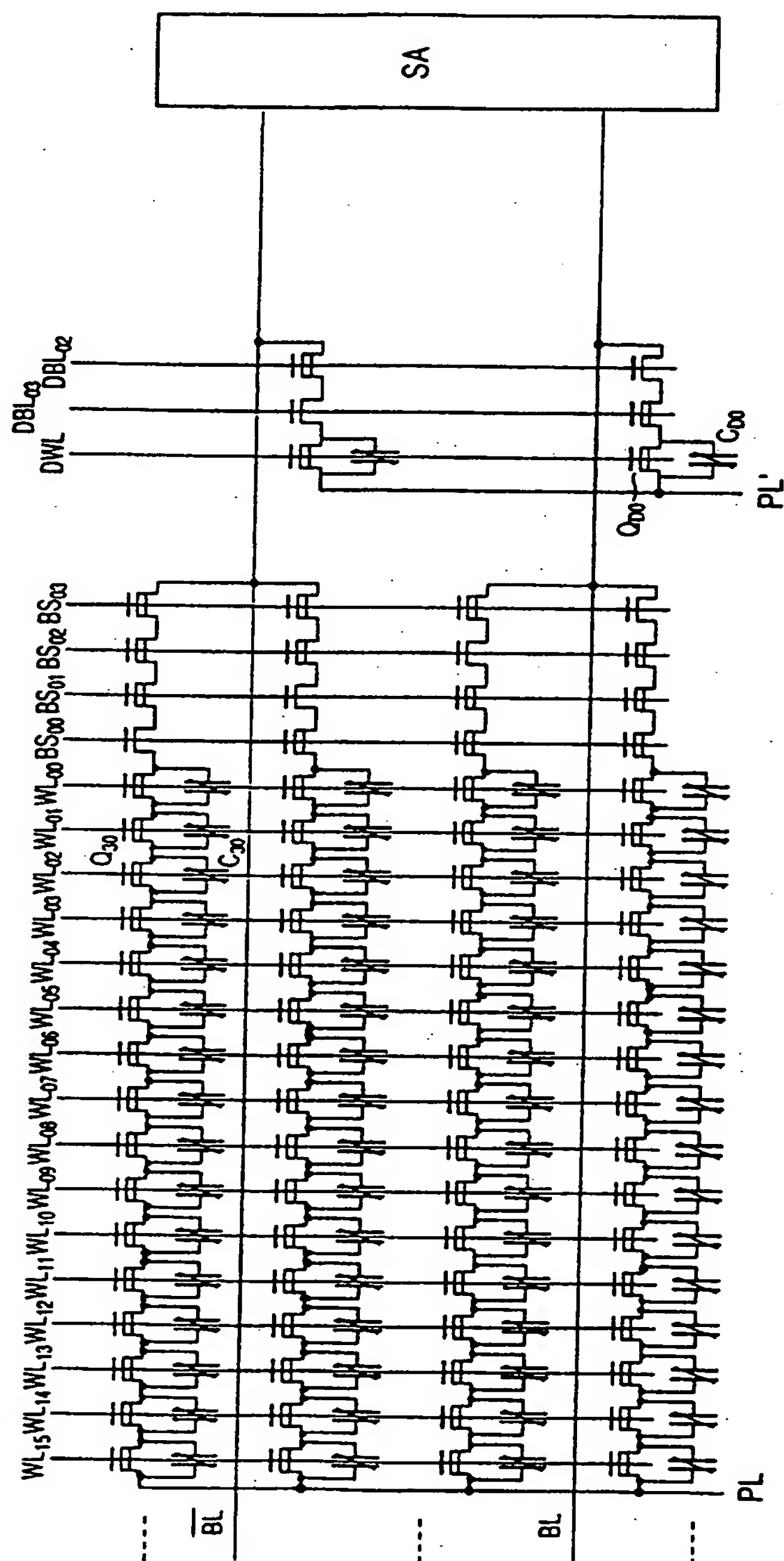


도면 73a

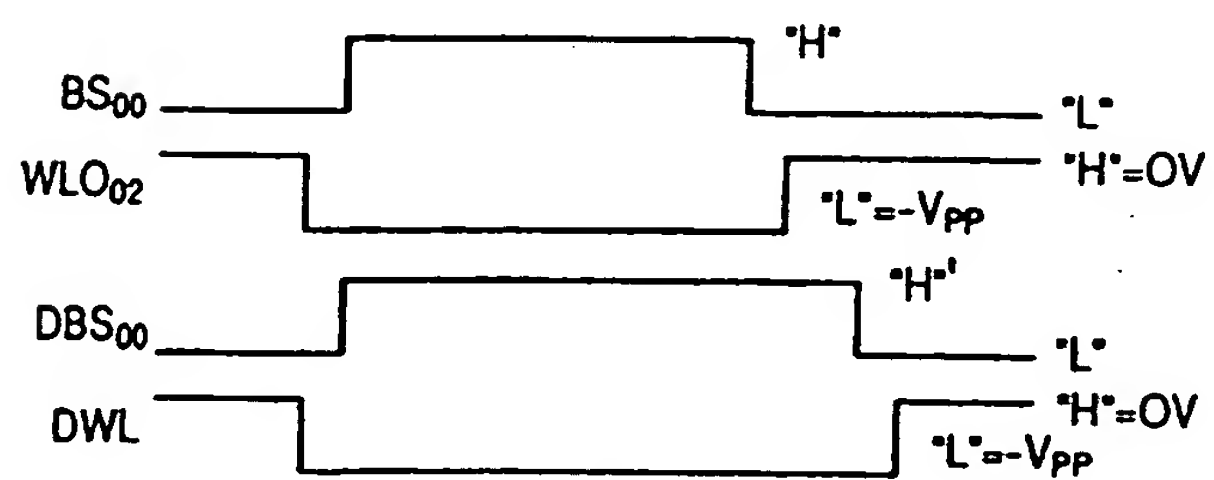


도면 73b

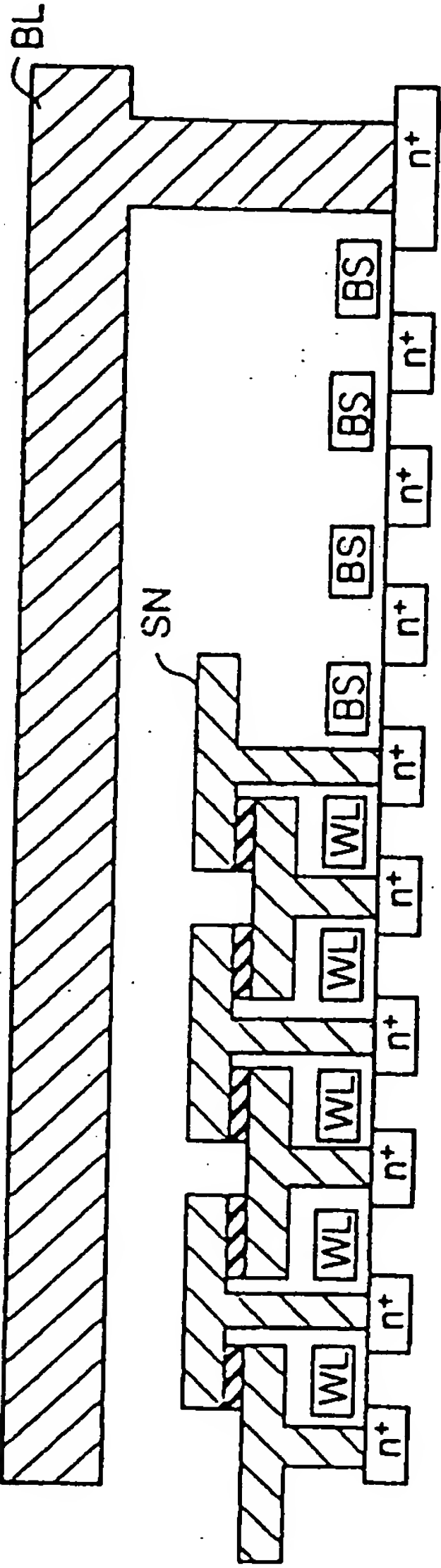




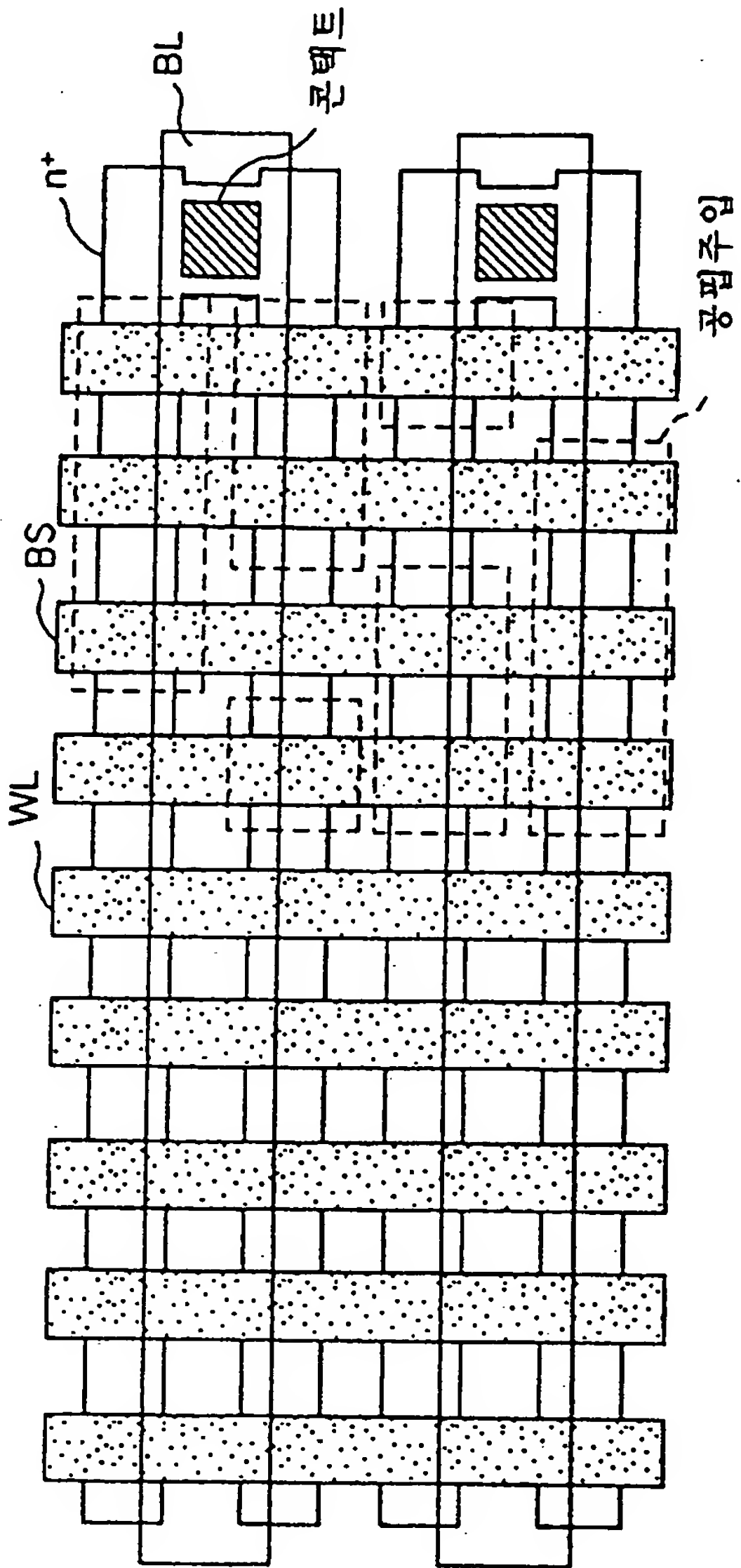
도면 74b



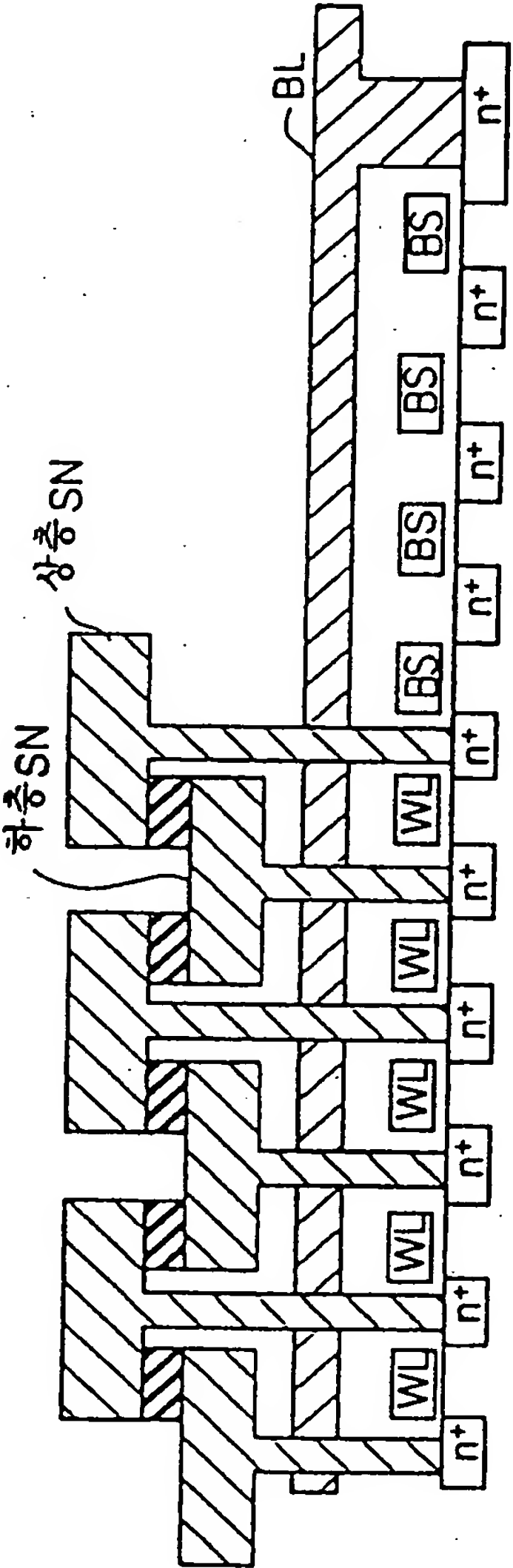
도면 75a



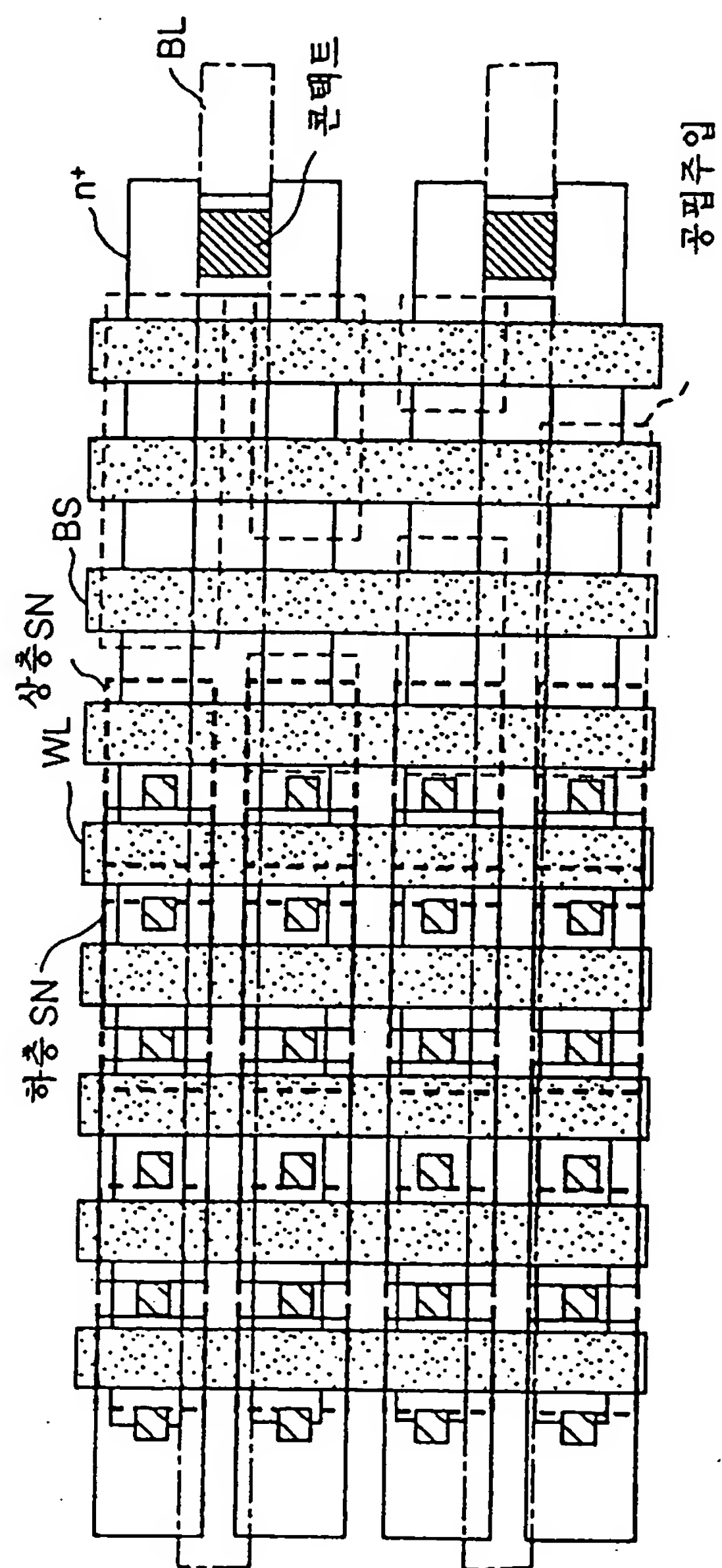
도면 75b



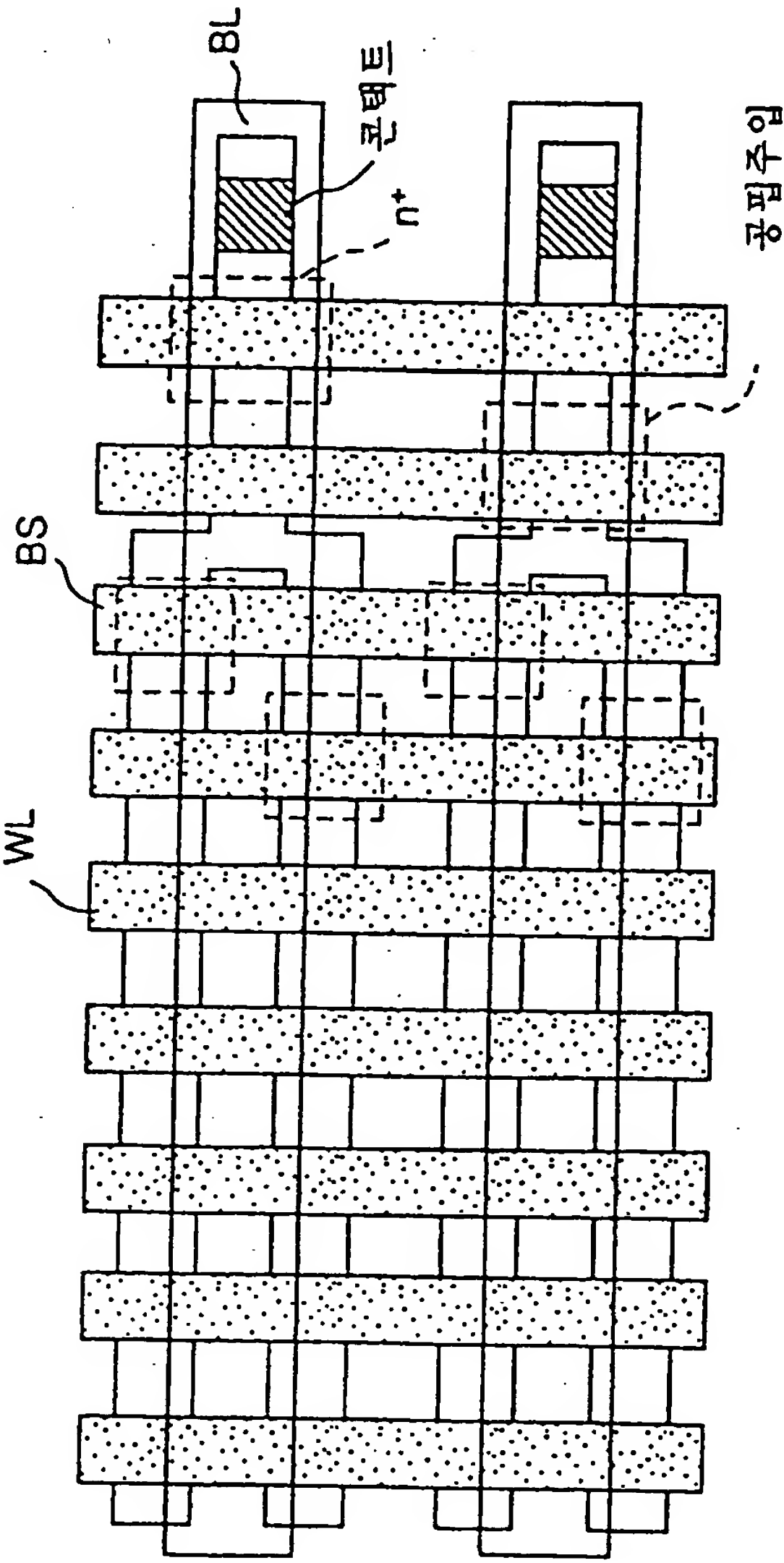
도면 76a



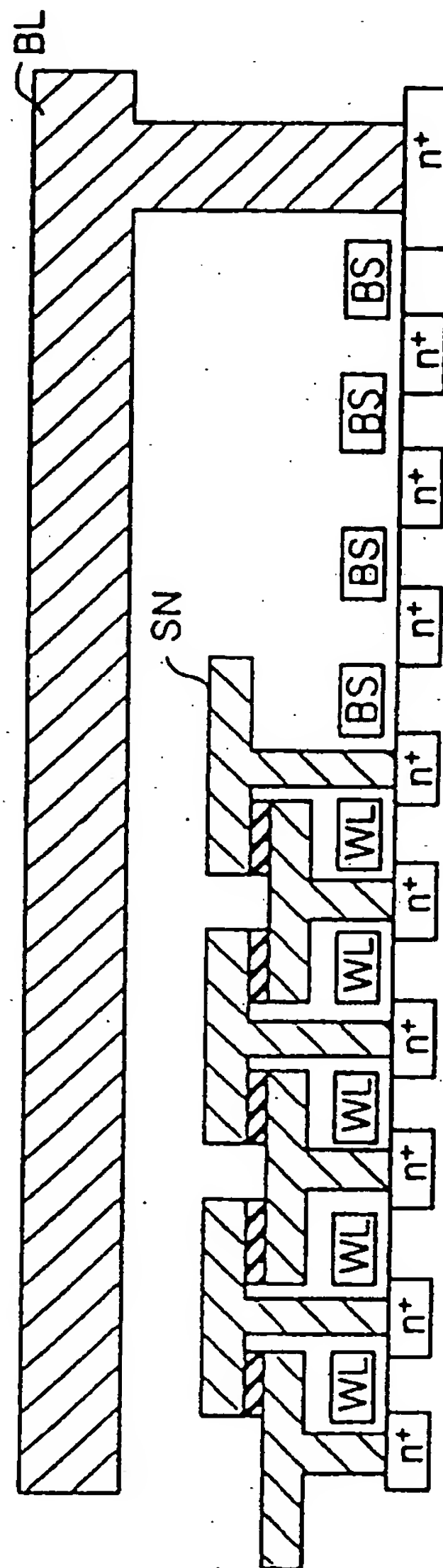
도면 76b



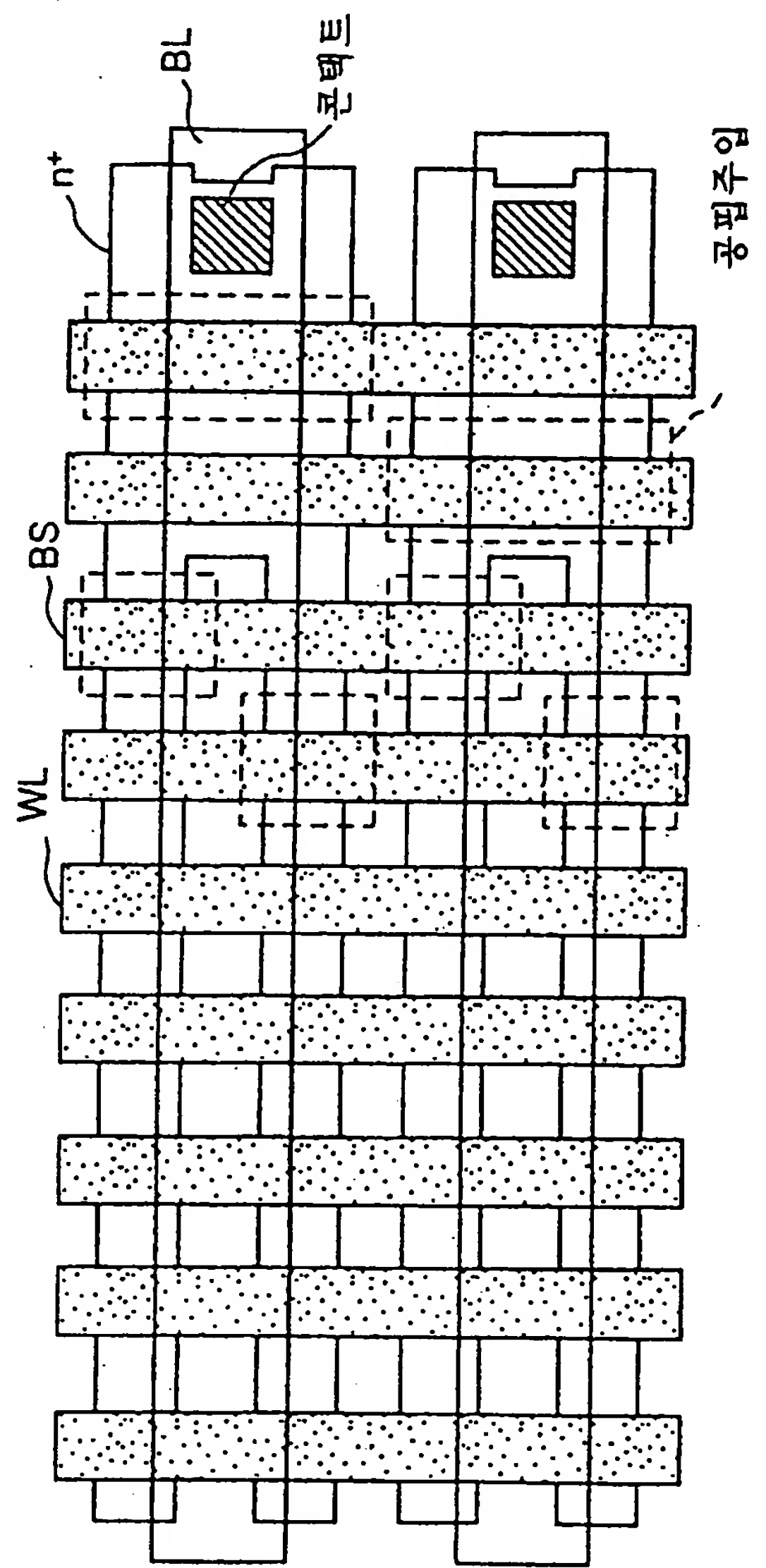
도면 77b



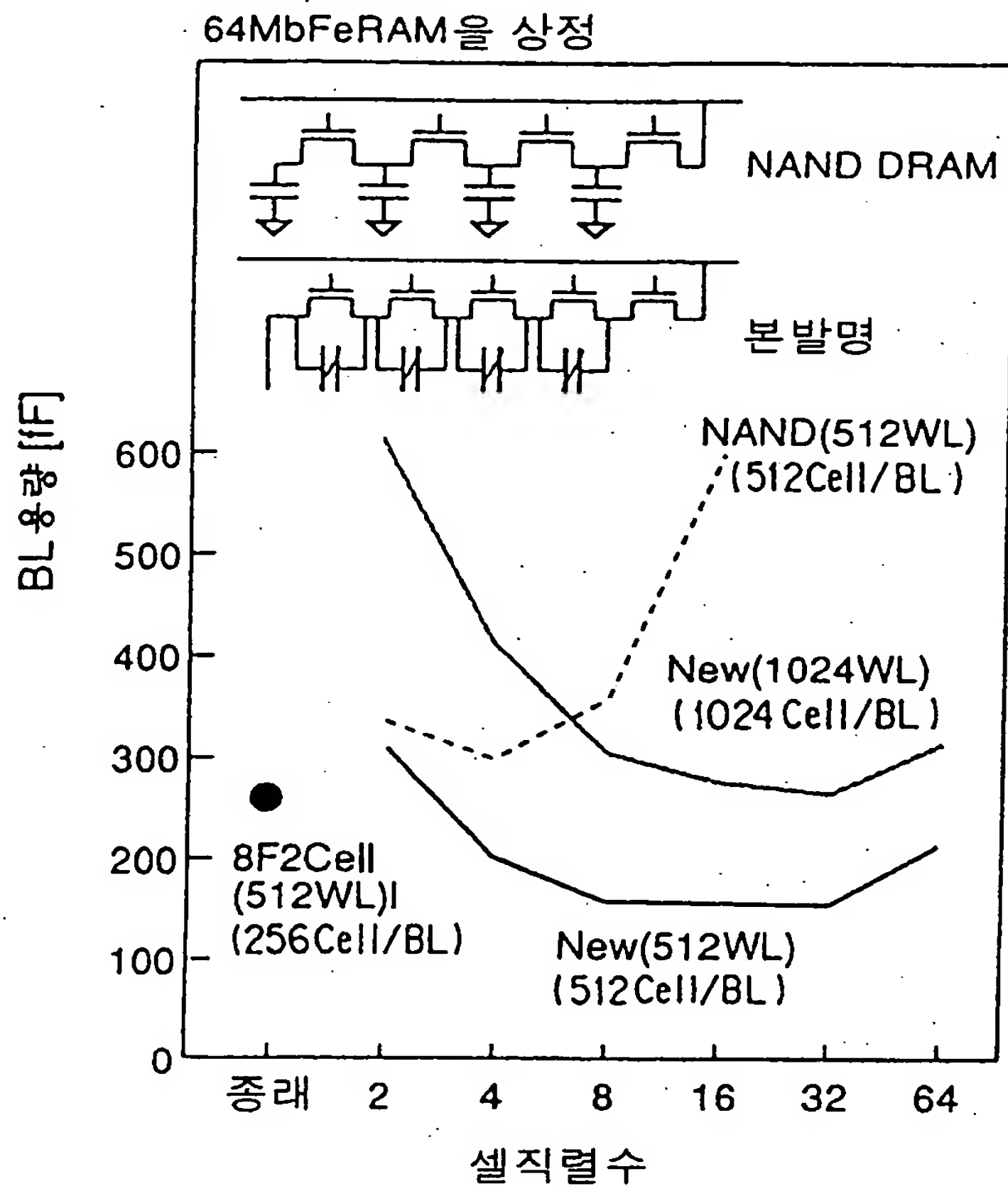
도면 78a



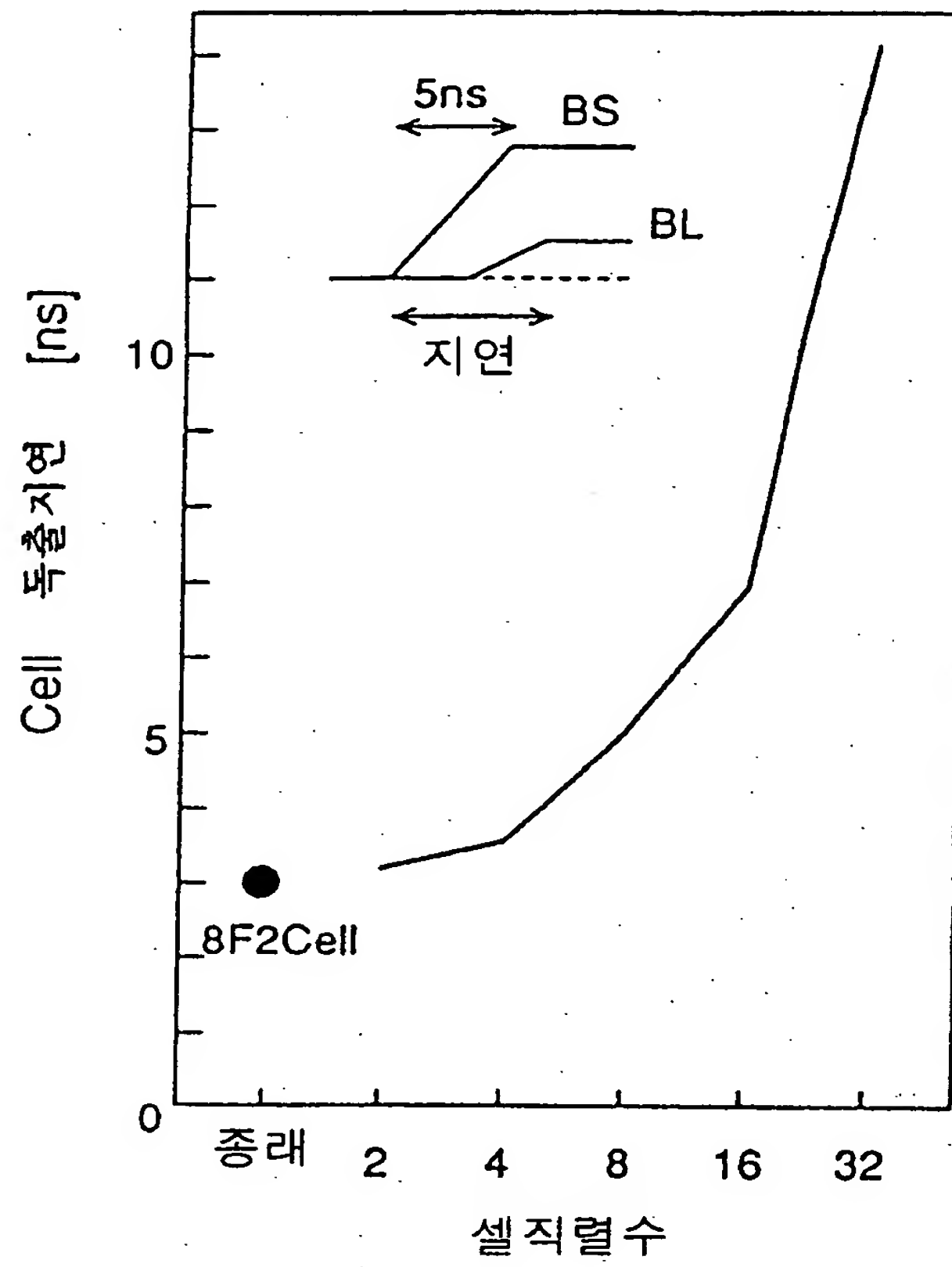
도면 78b



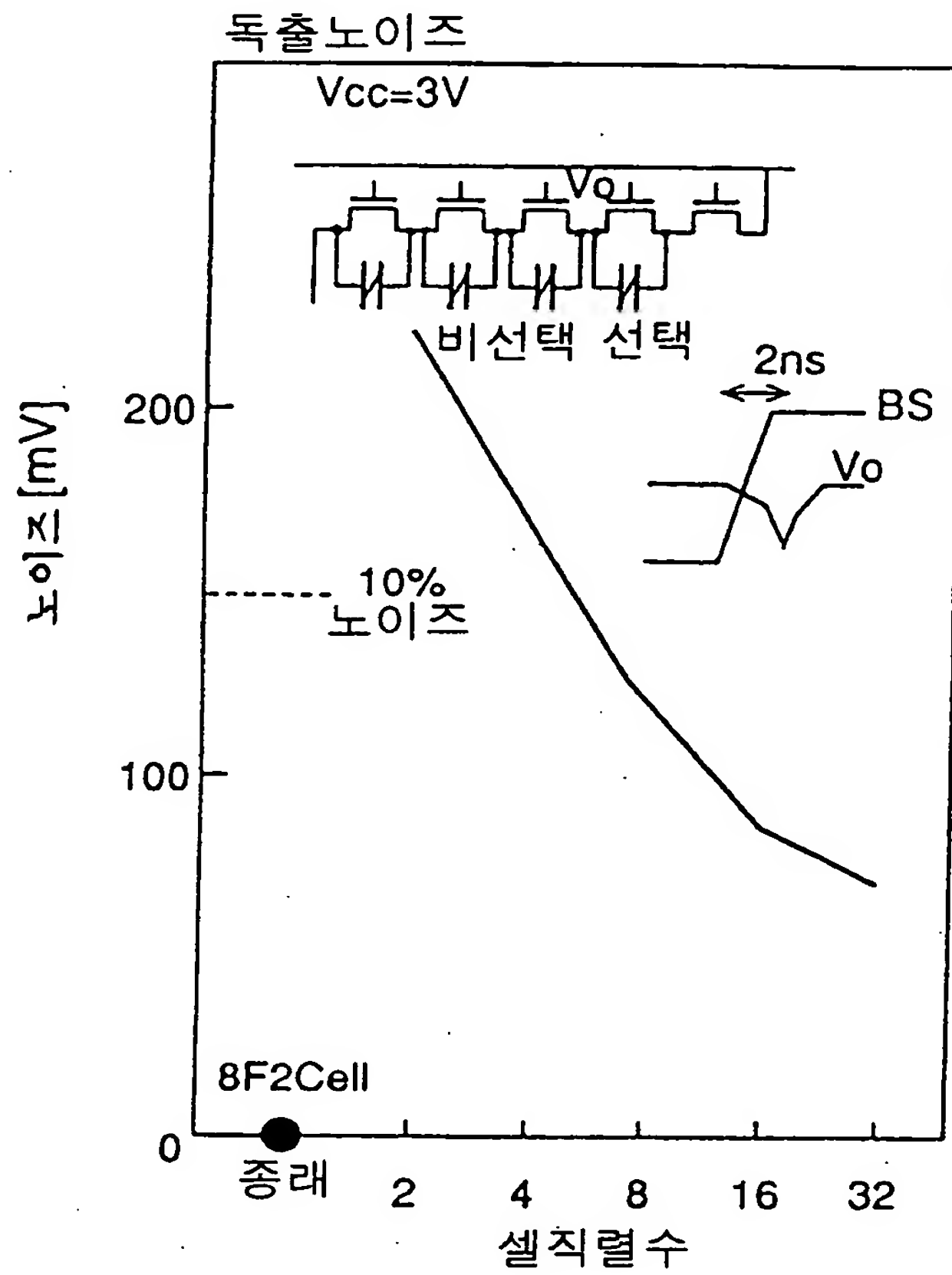
도면 79a



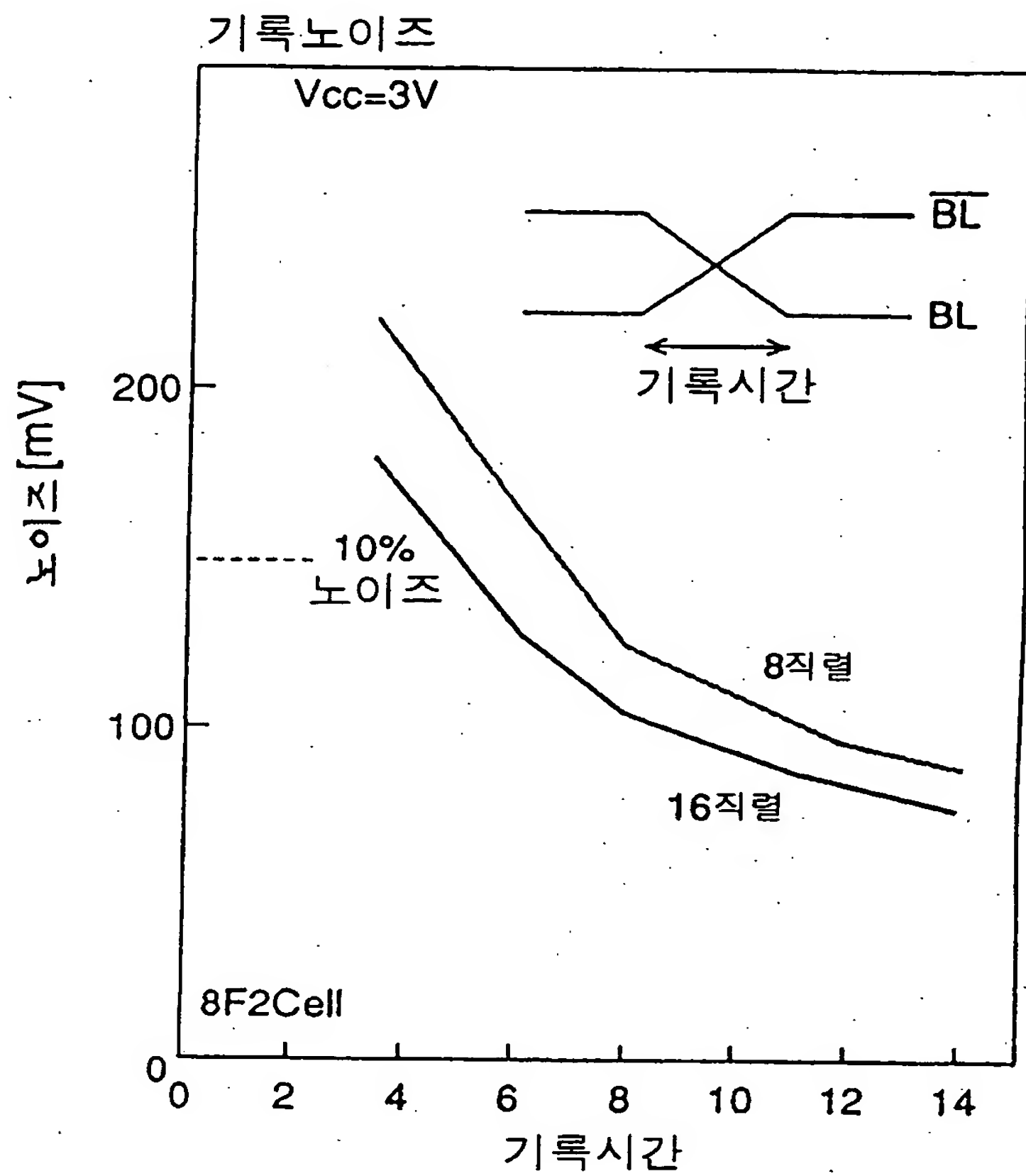
도면 79b



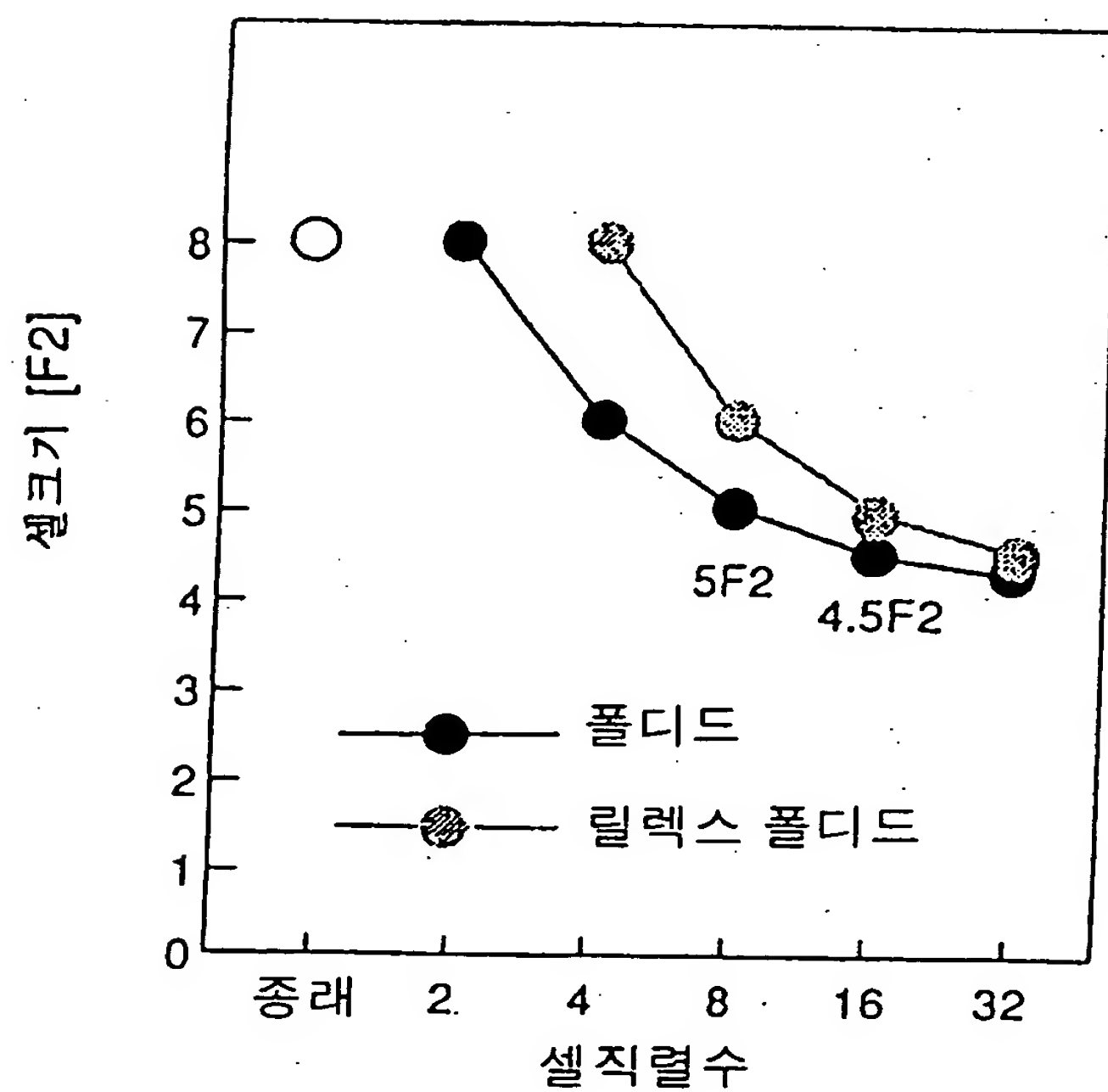
도면 80a



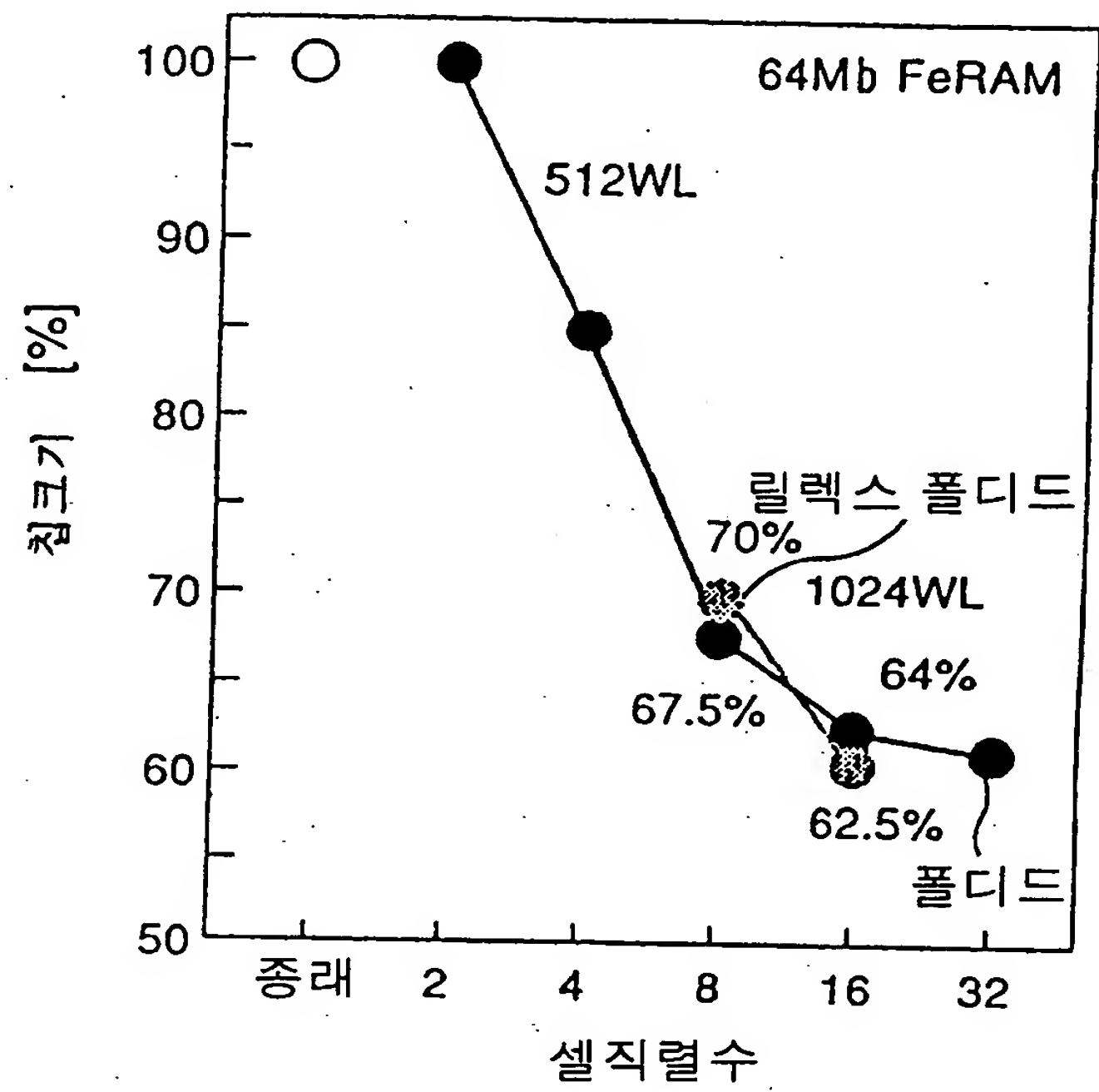
도면 80b

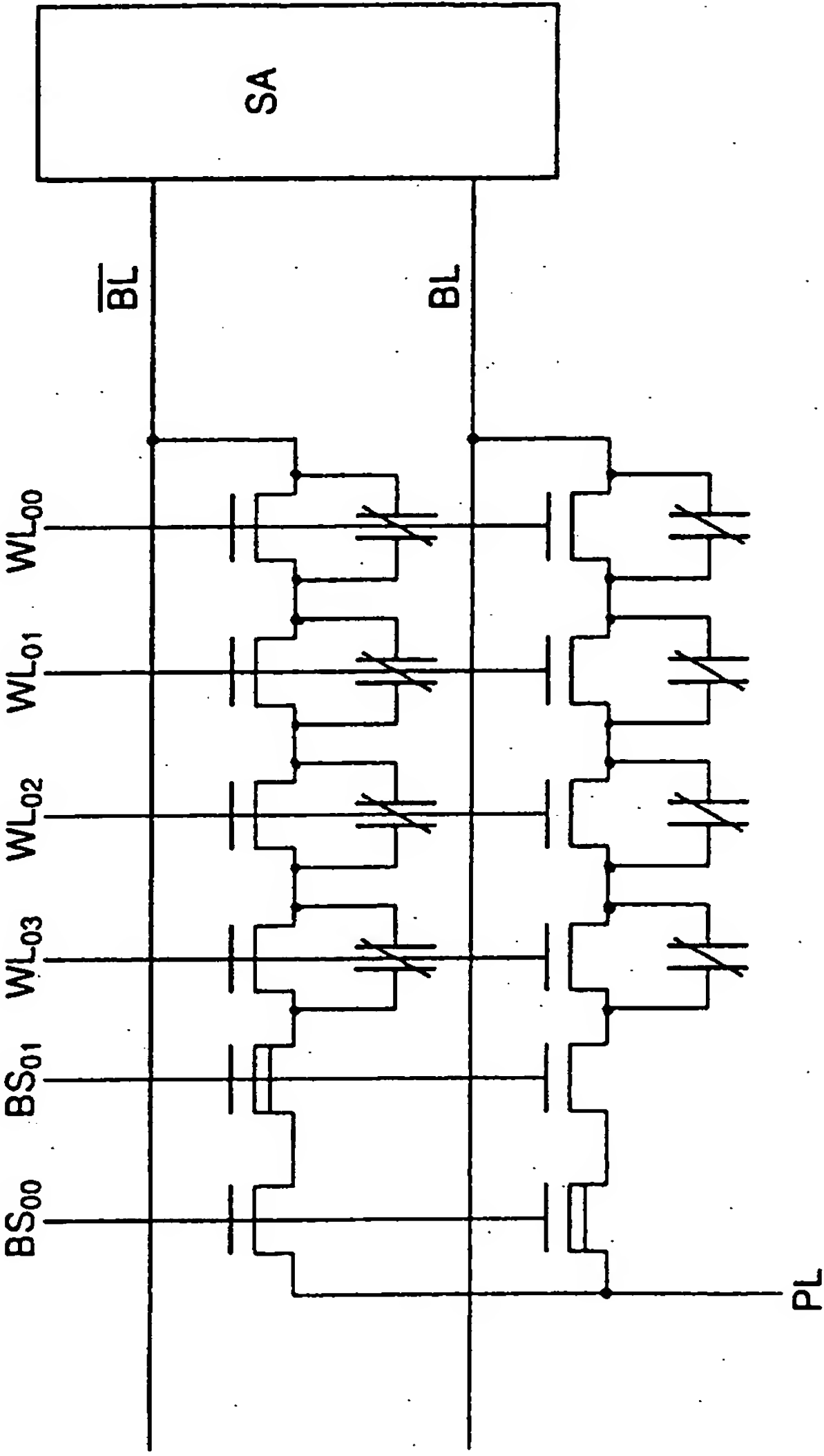


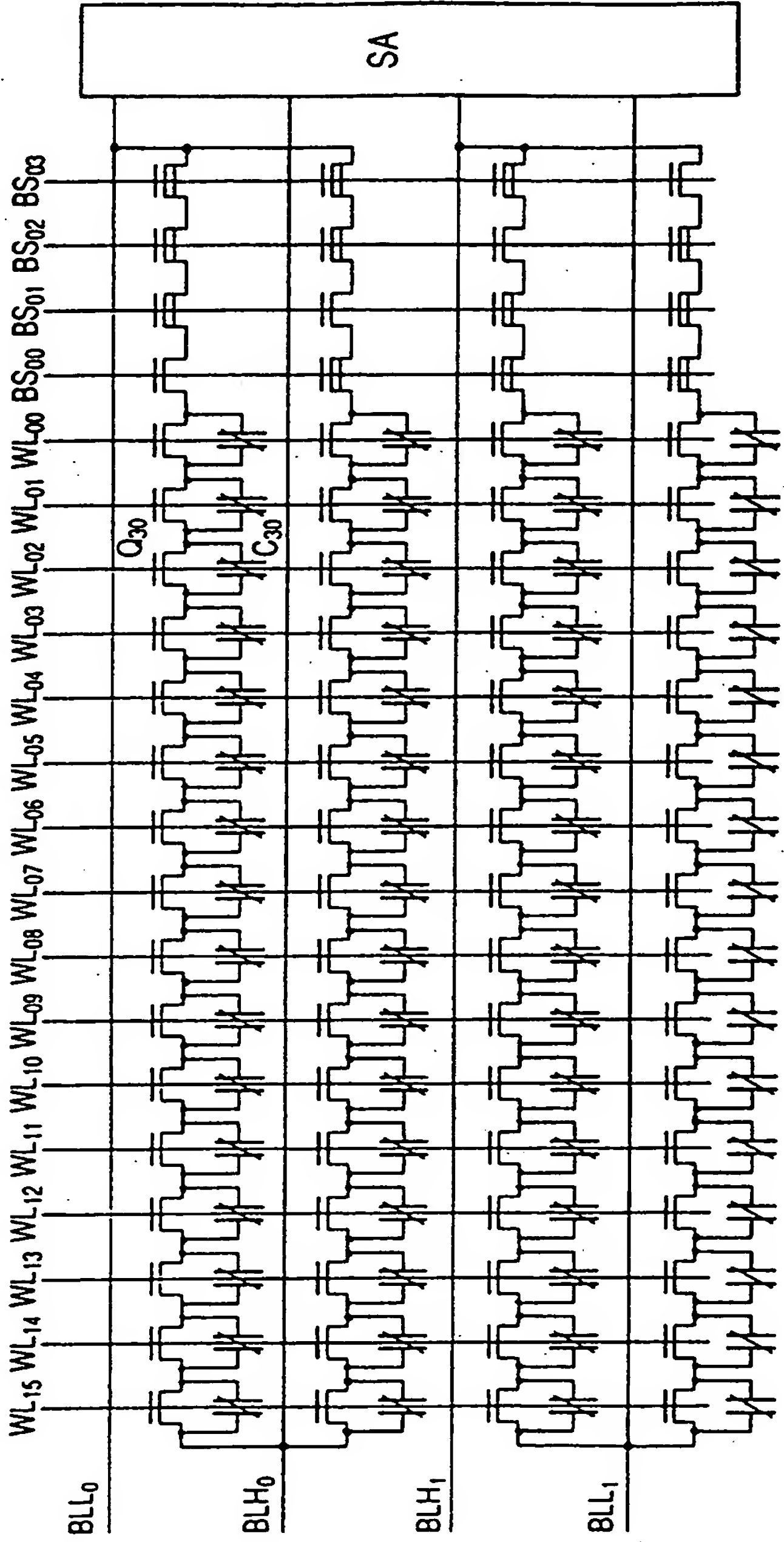
도면 81a



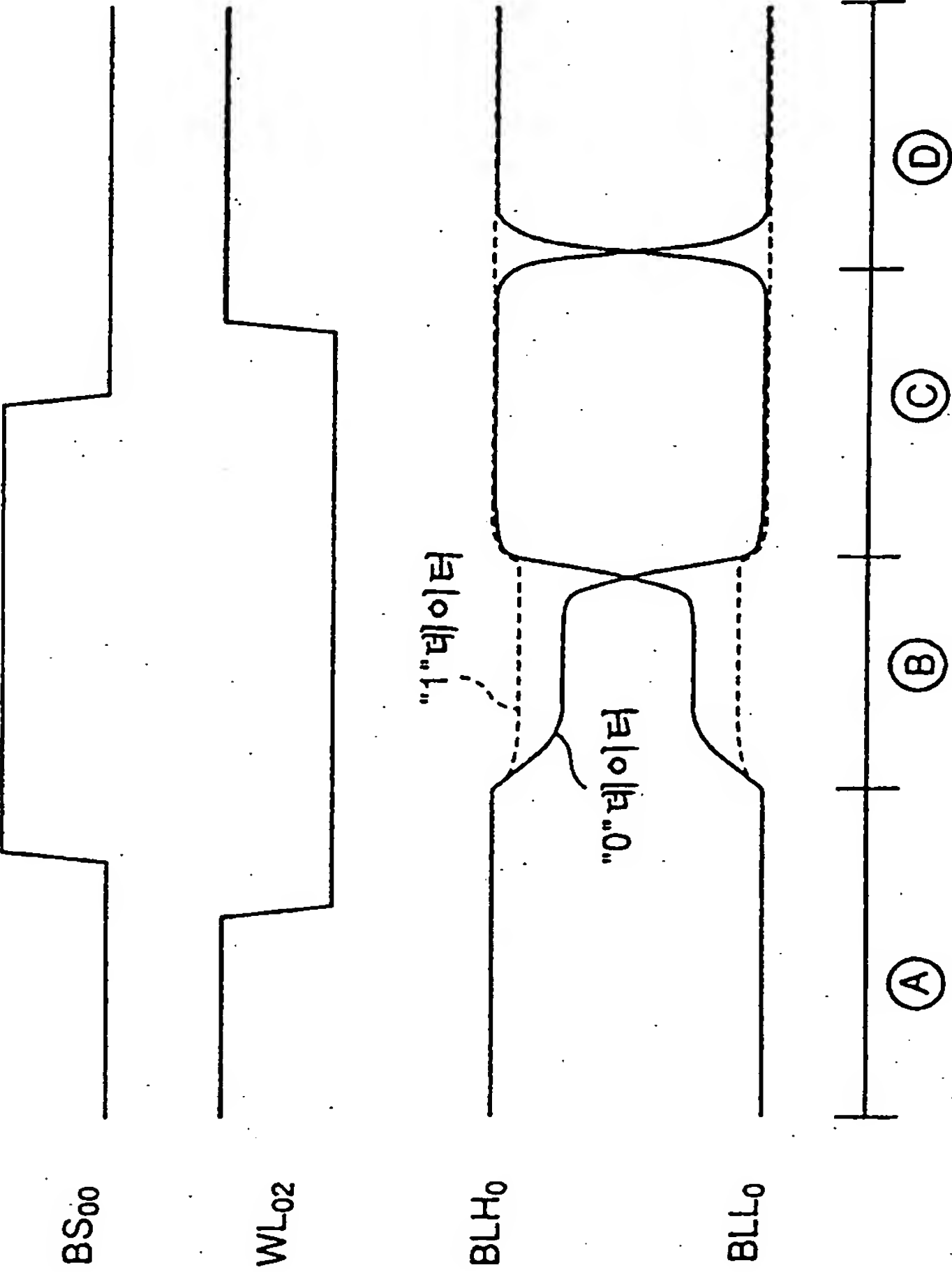
도면 81b

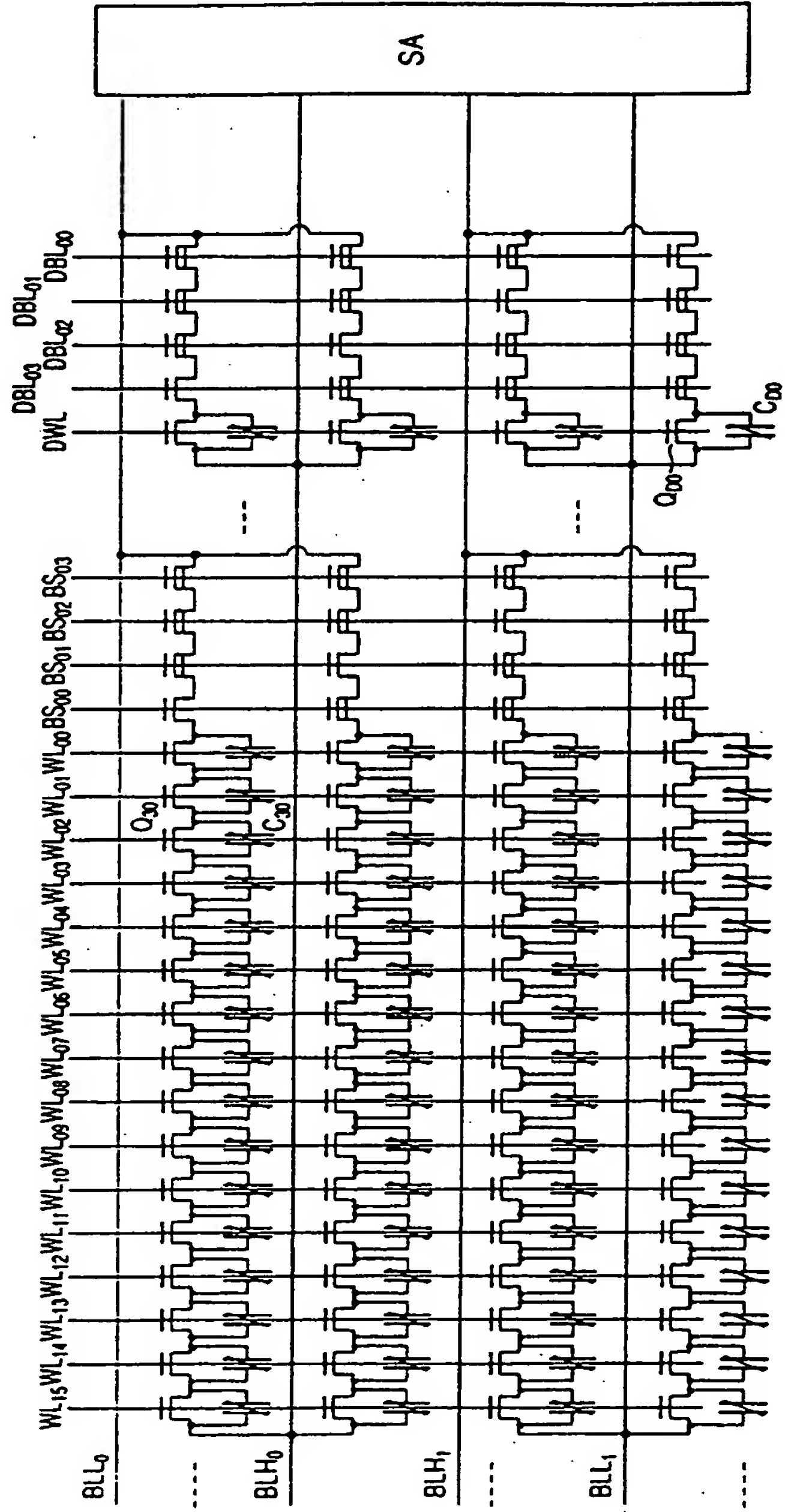




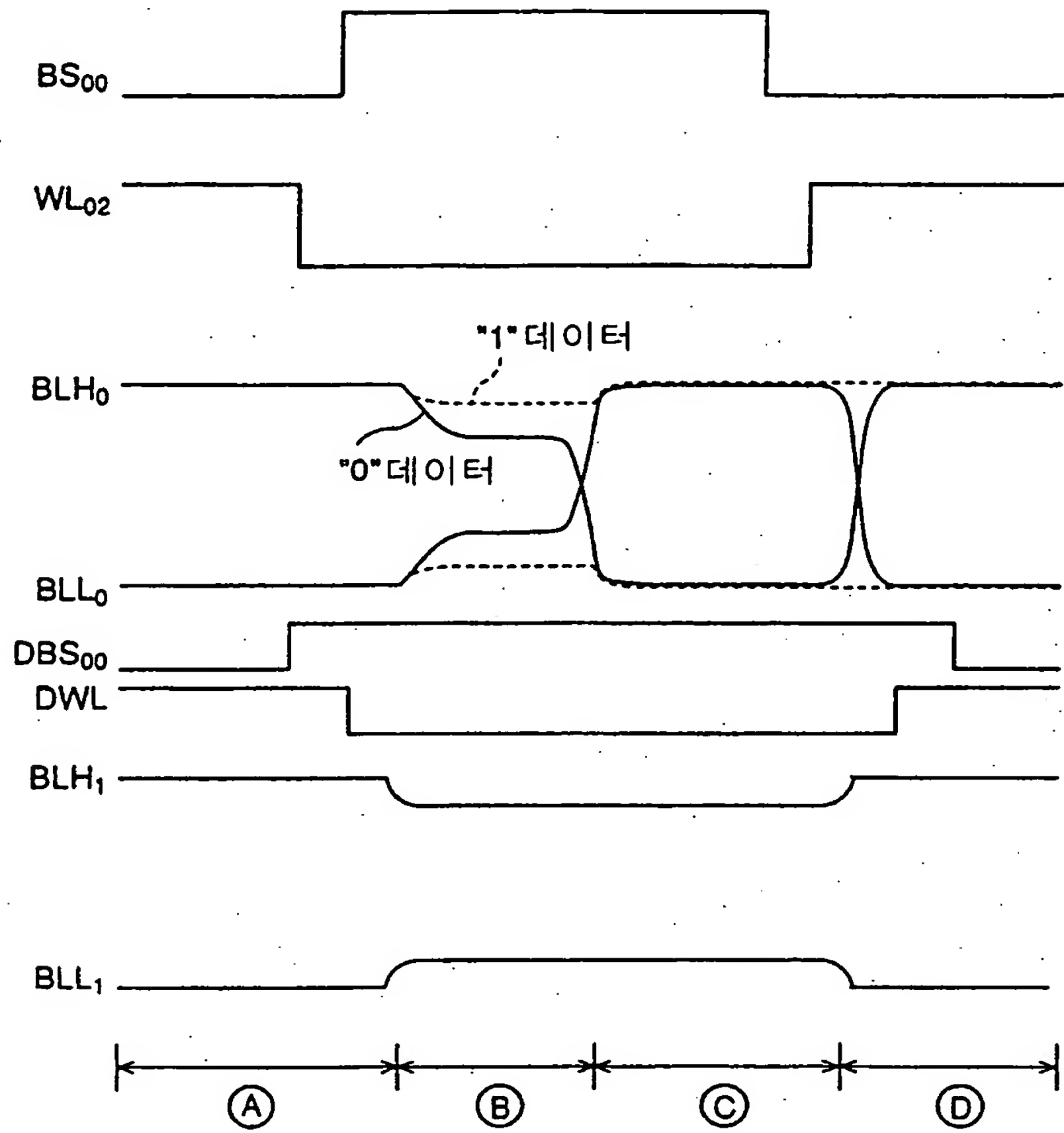


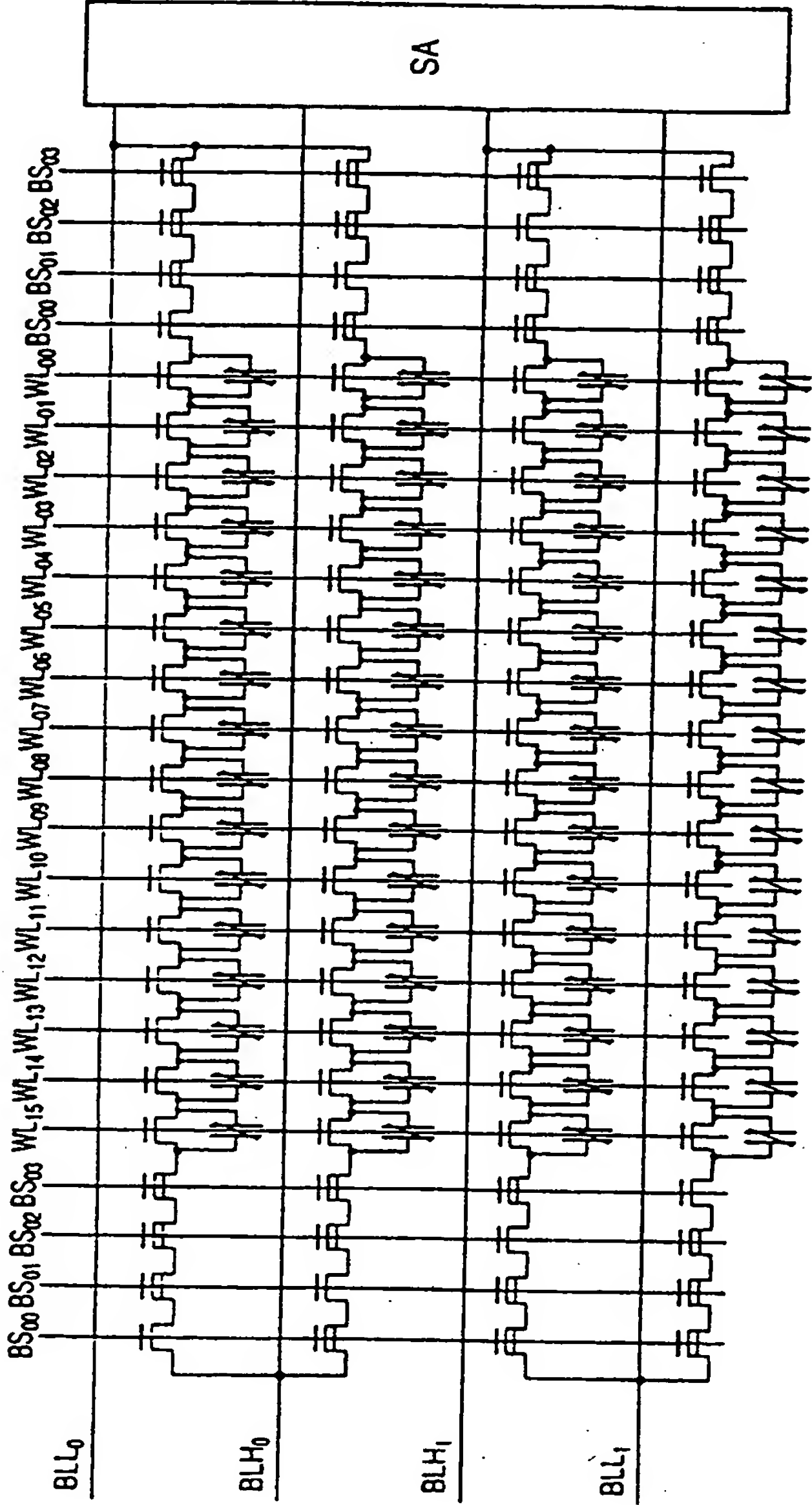
도면 84

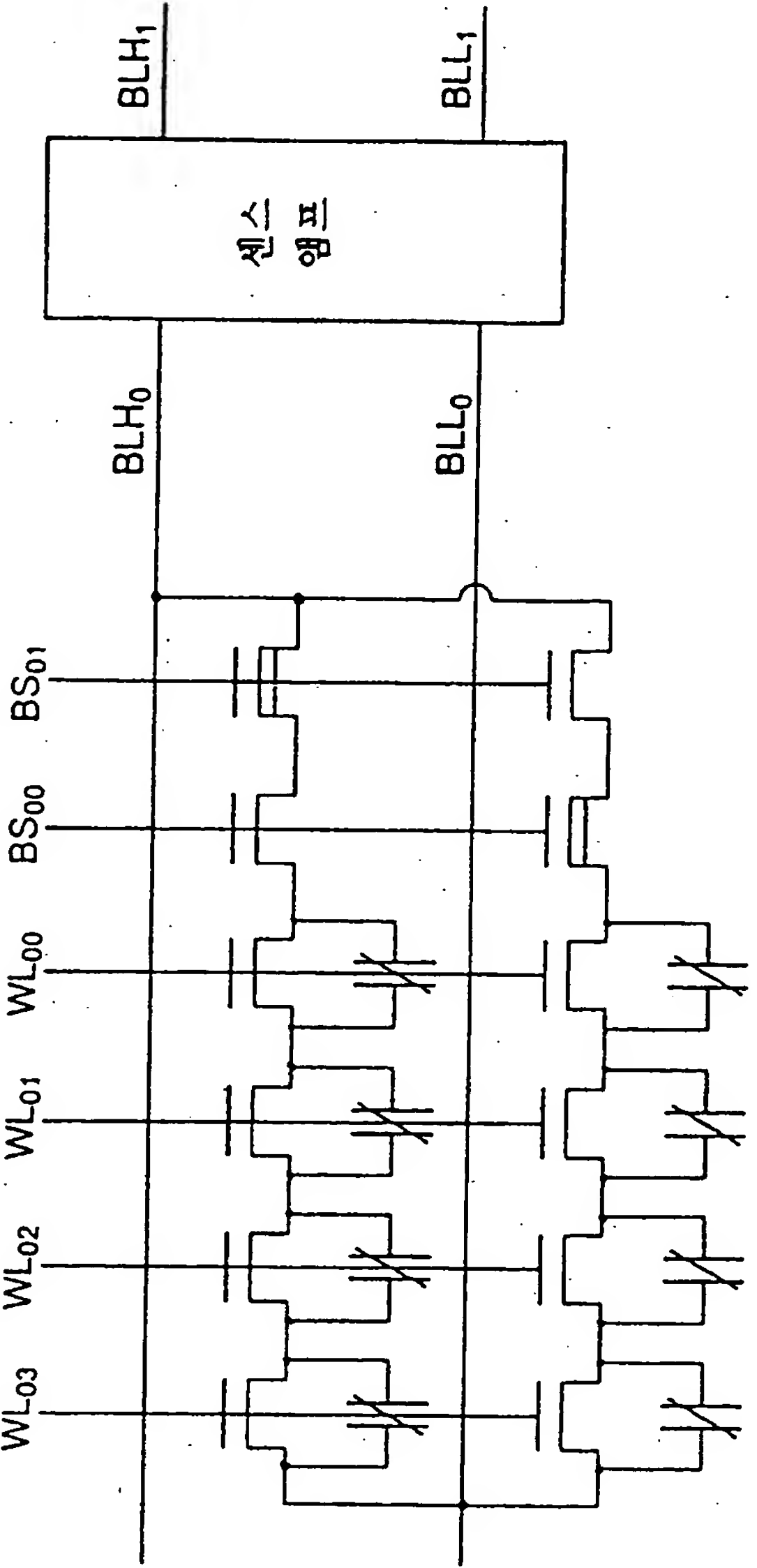


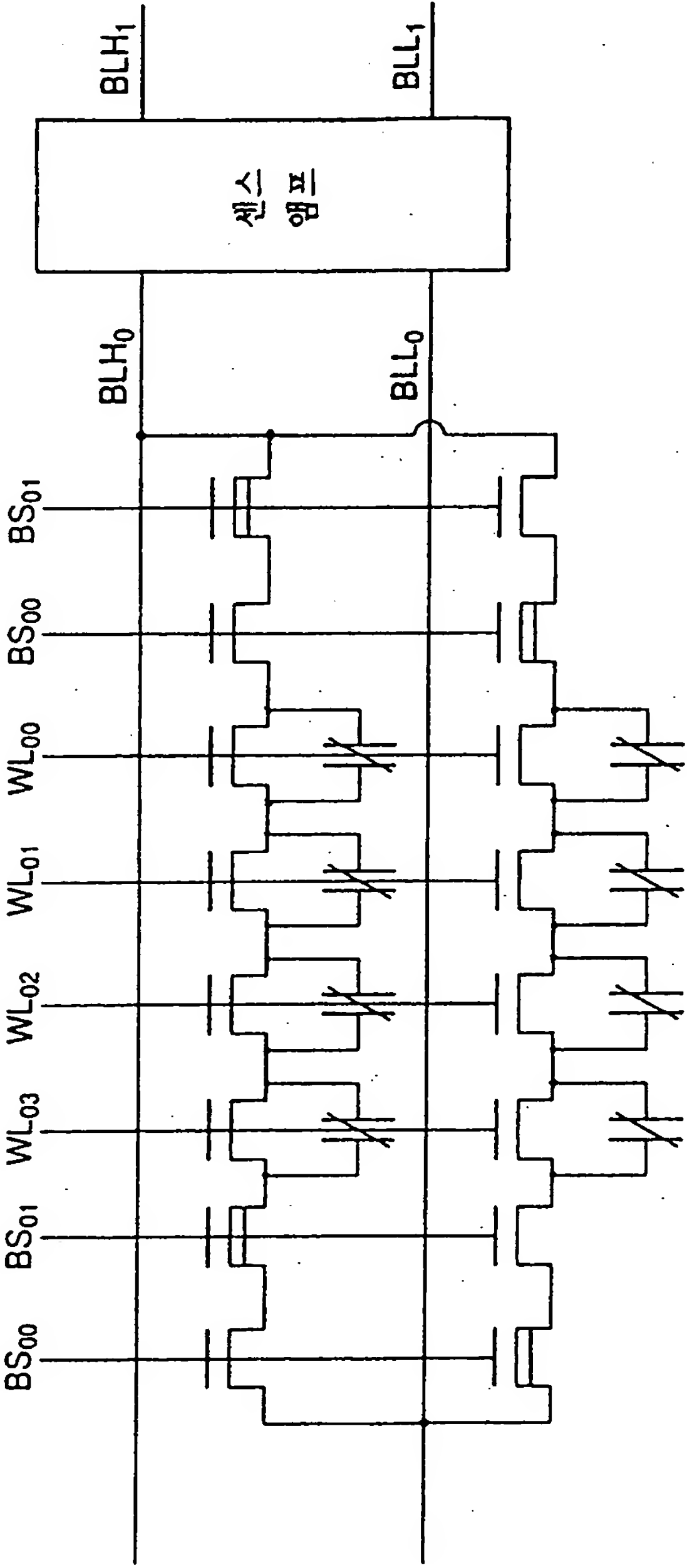


도면 86

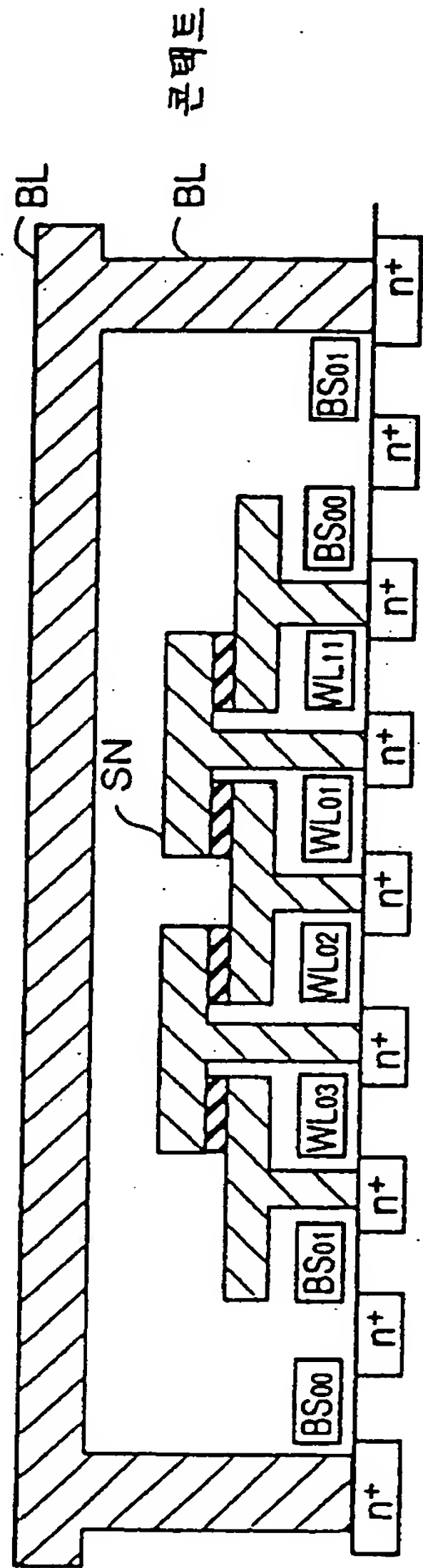




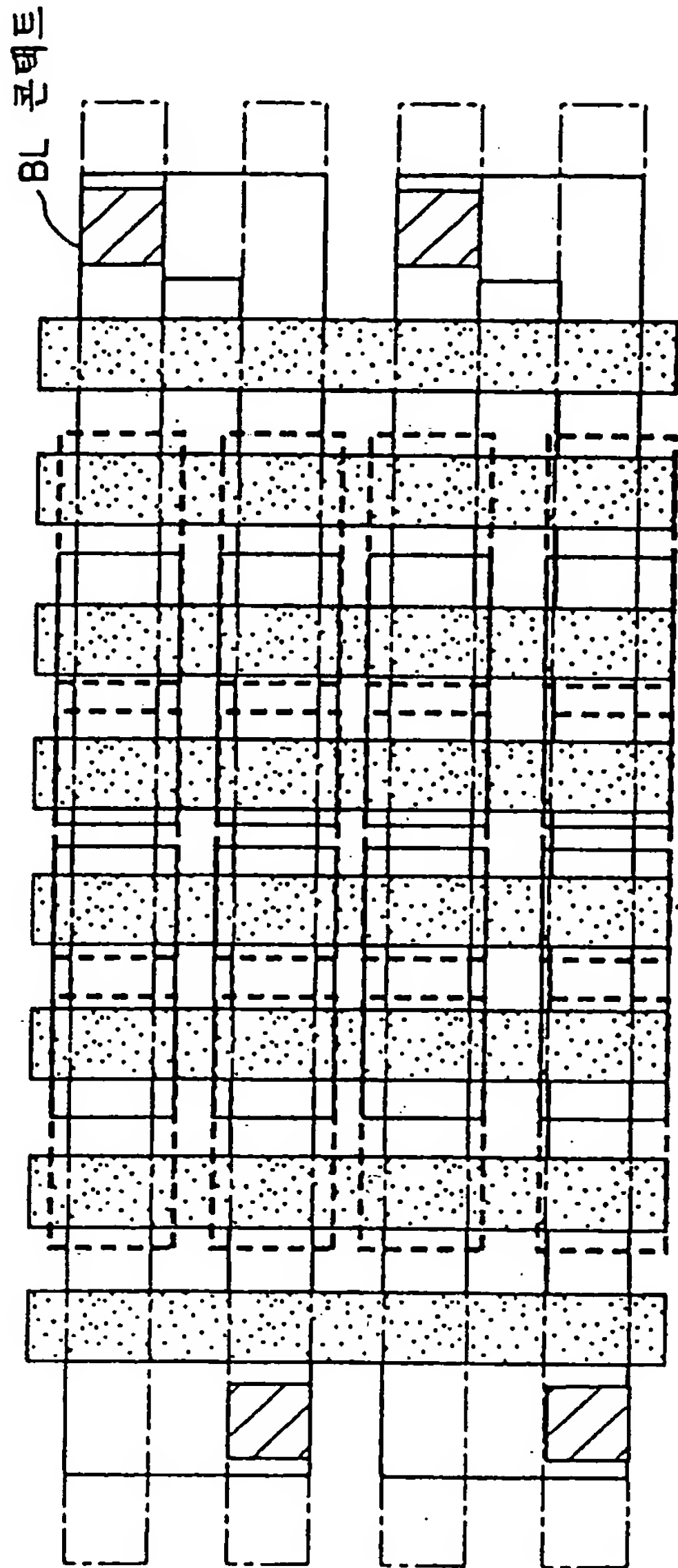


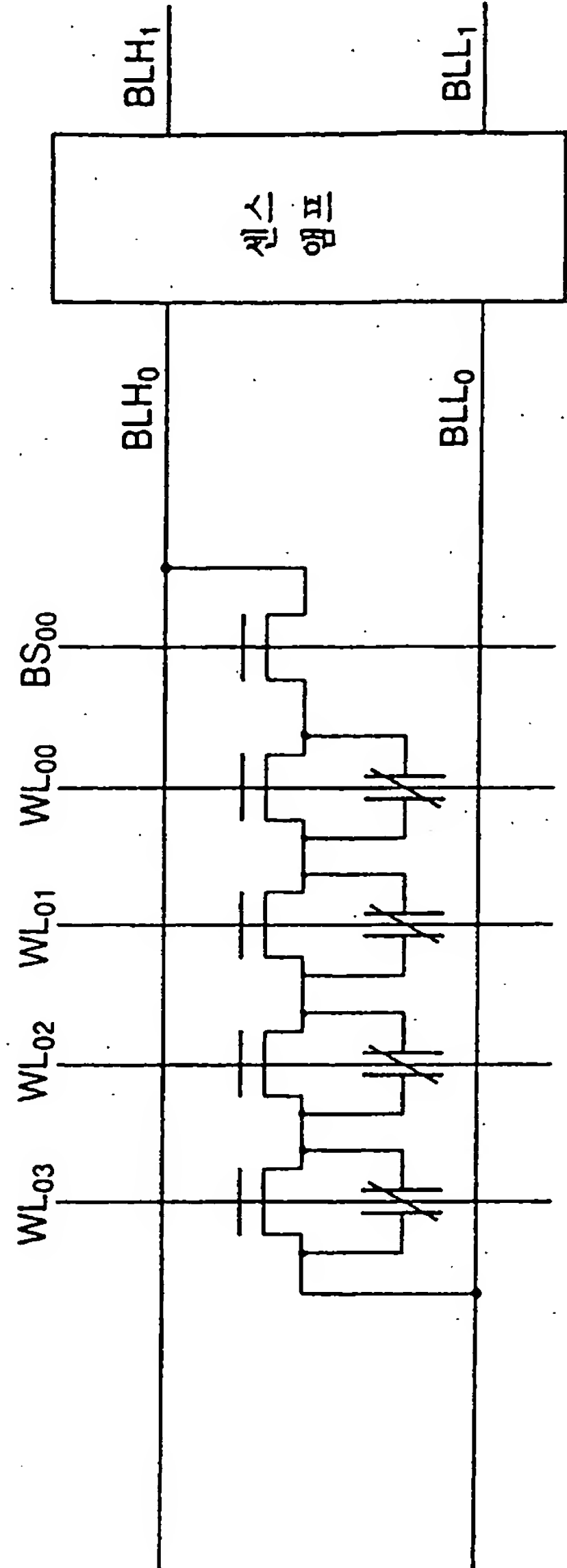


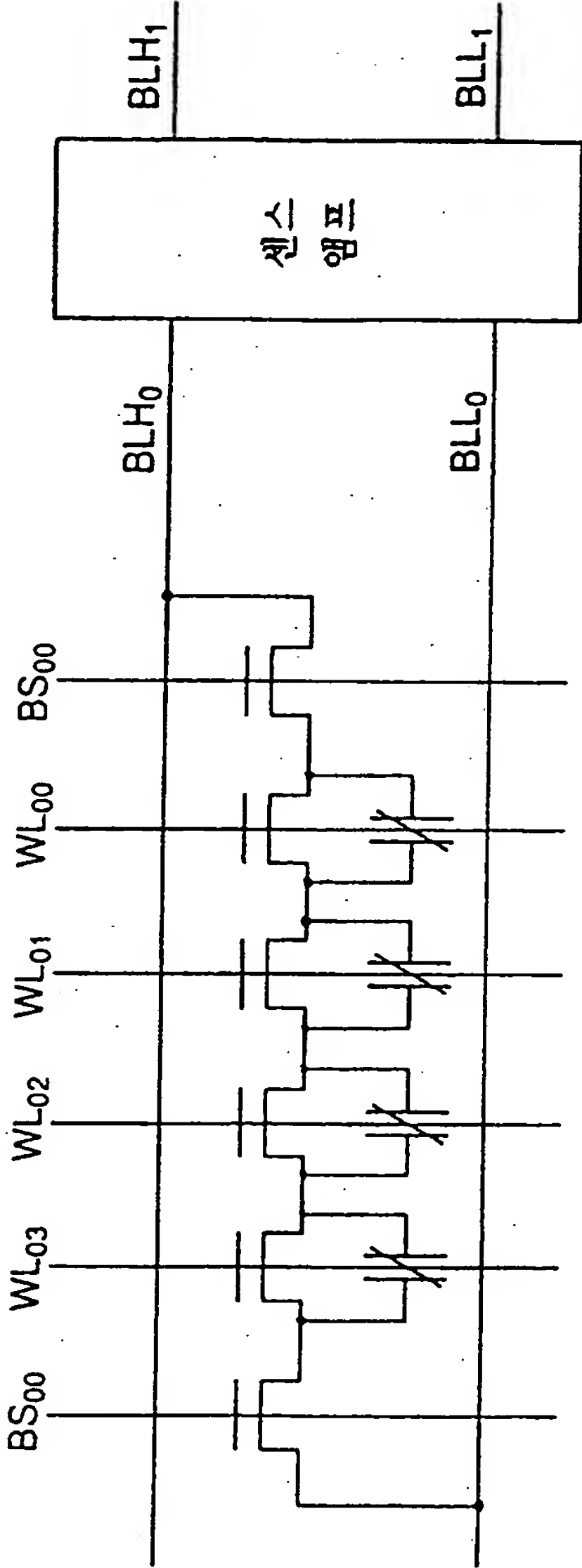
도면 90a

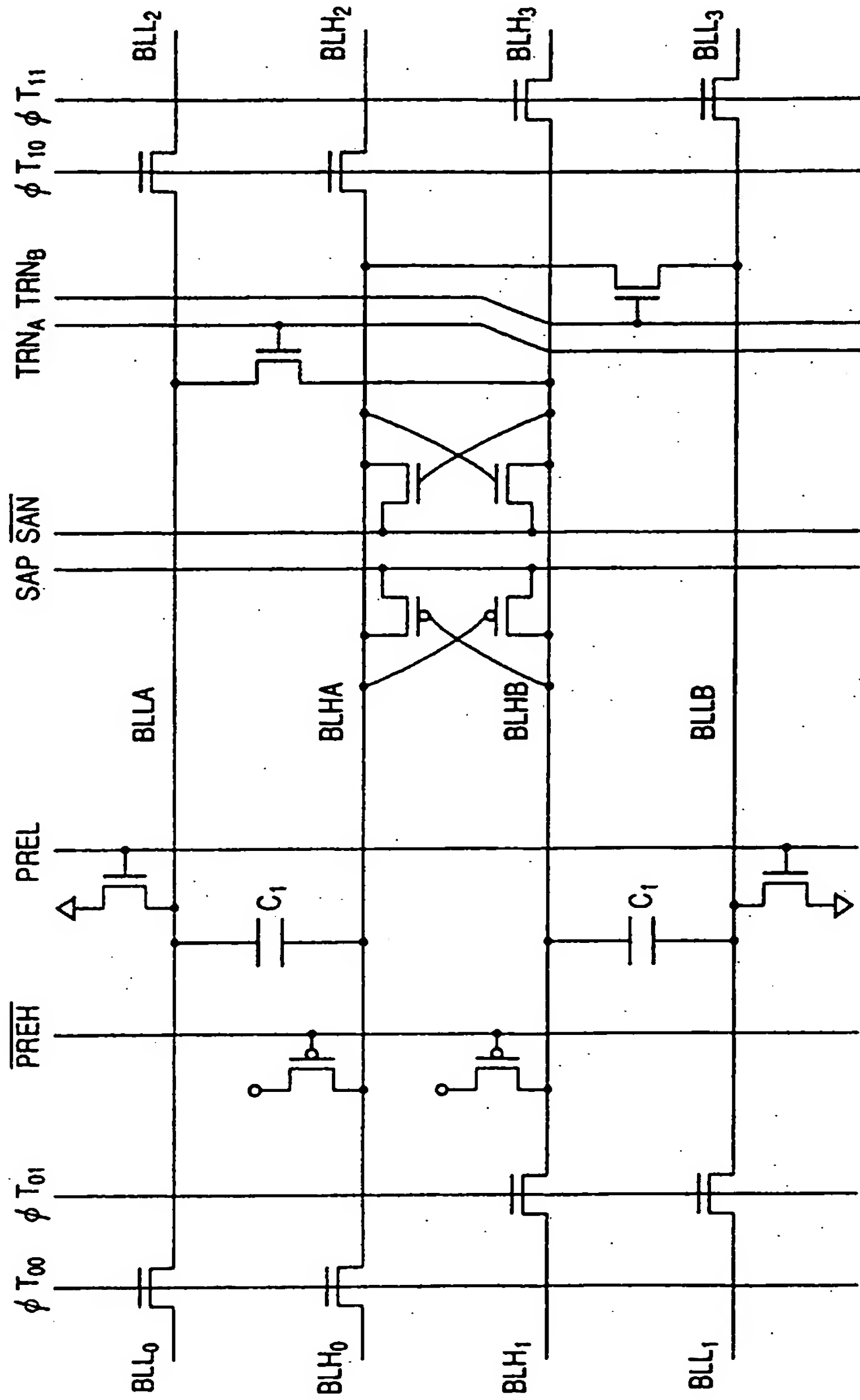


도면 90b

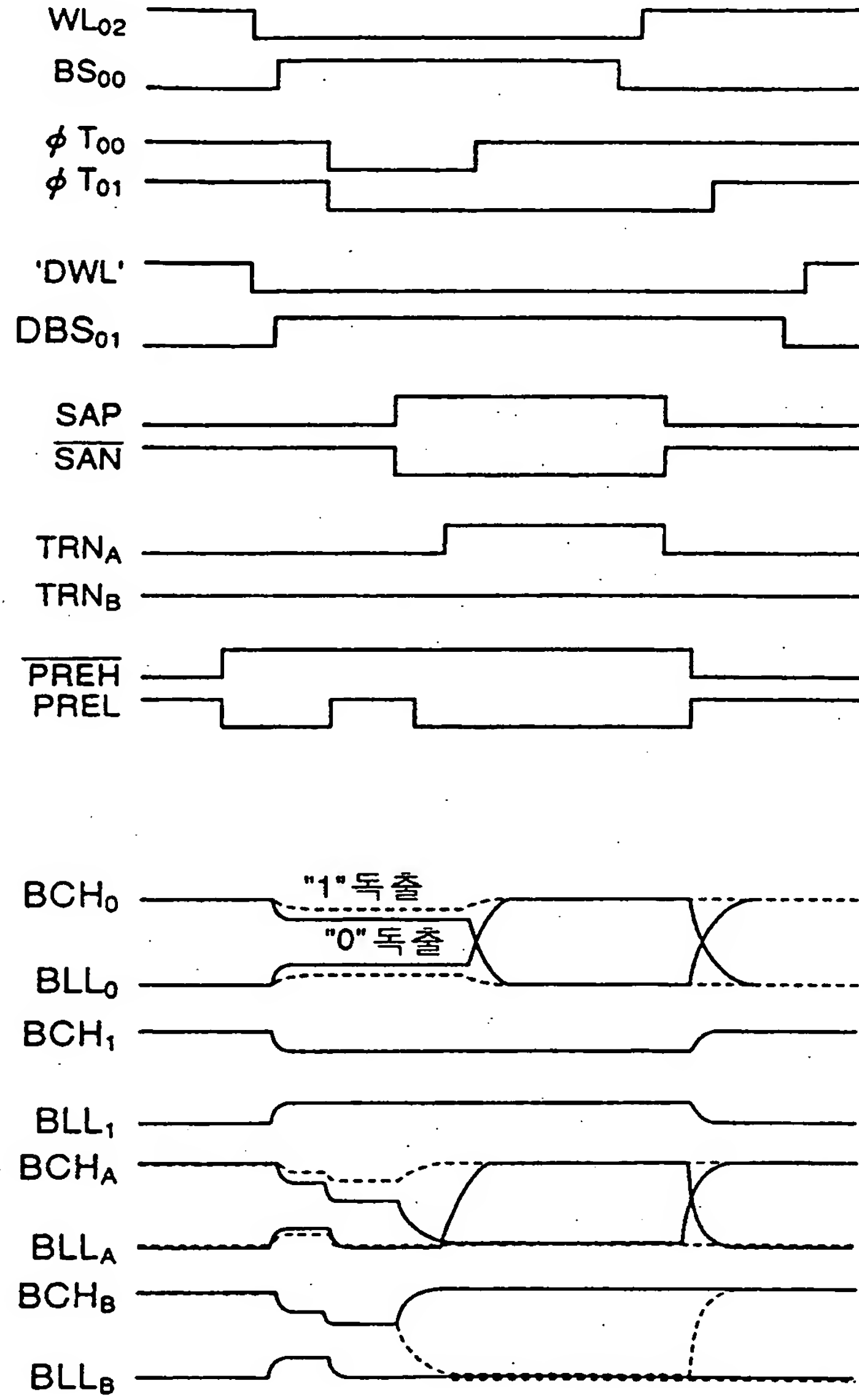


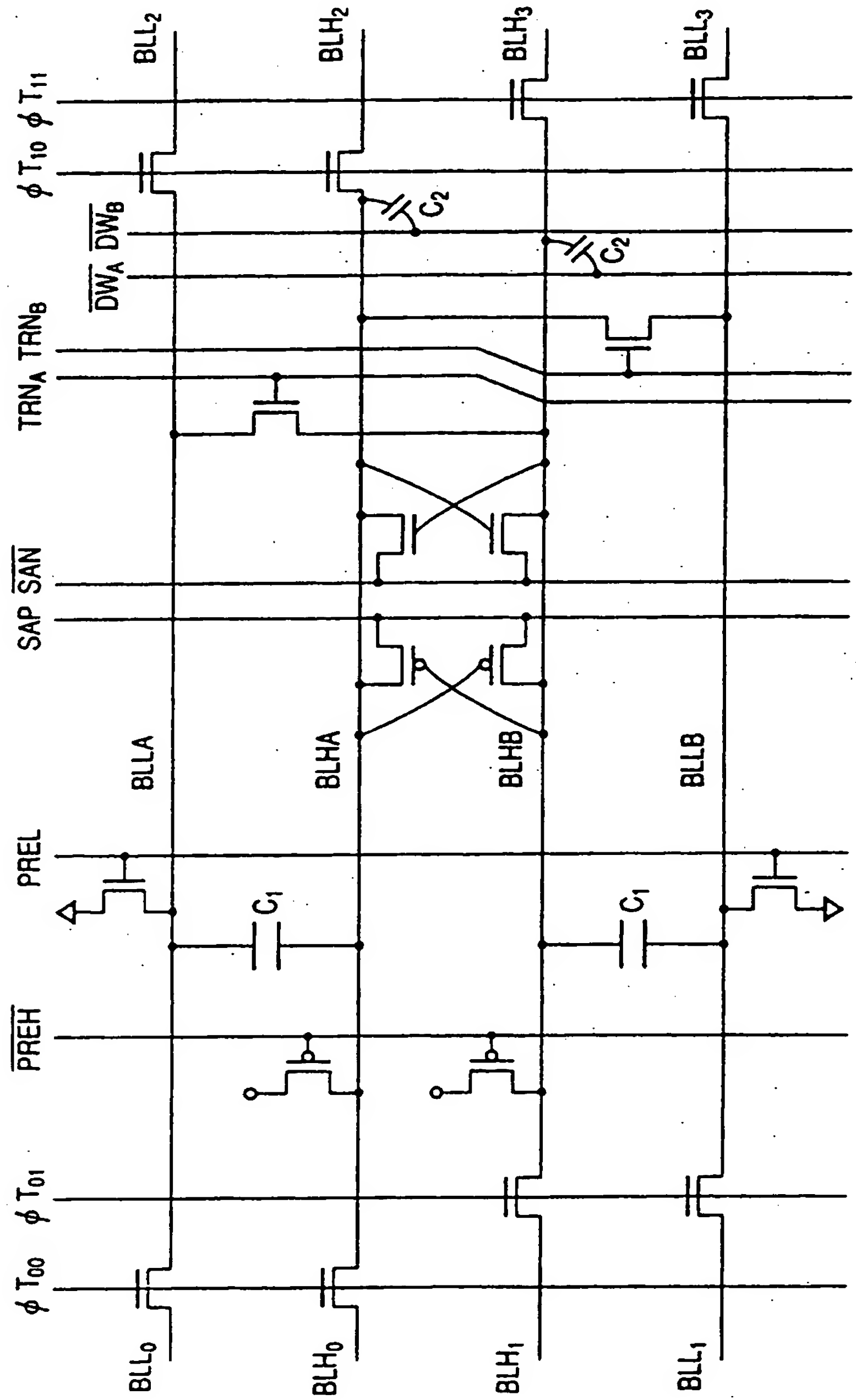


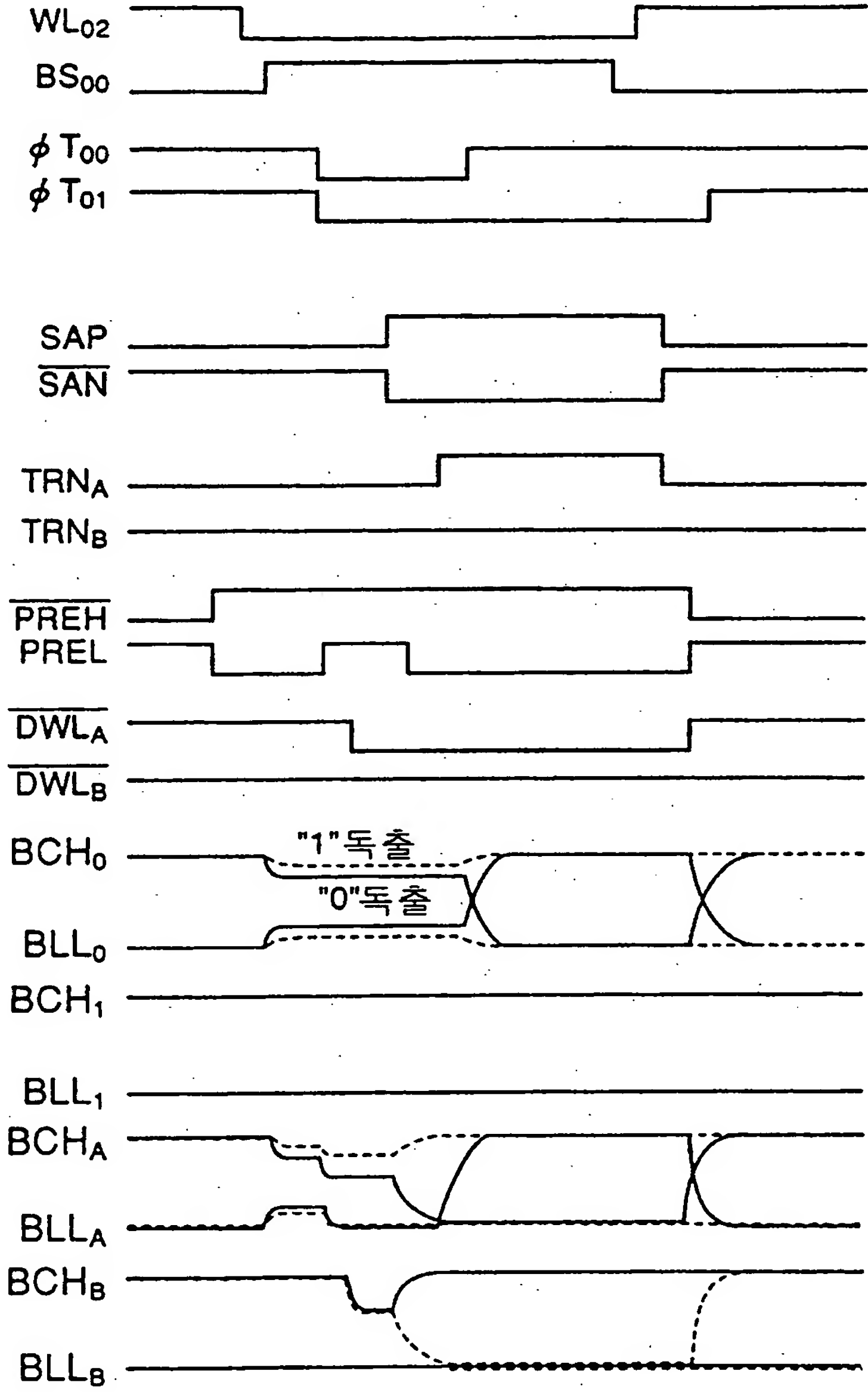


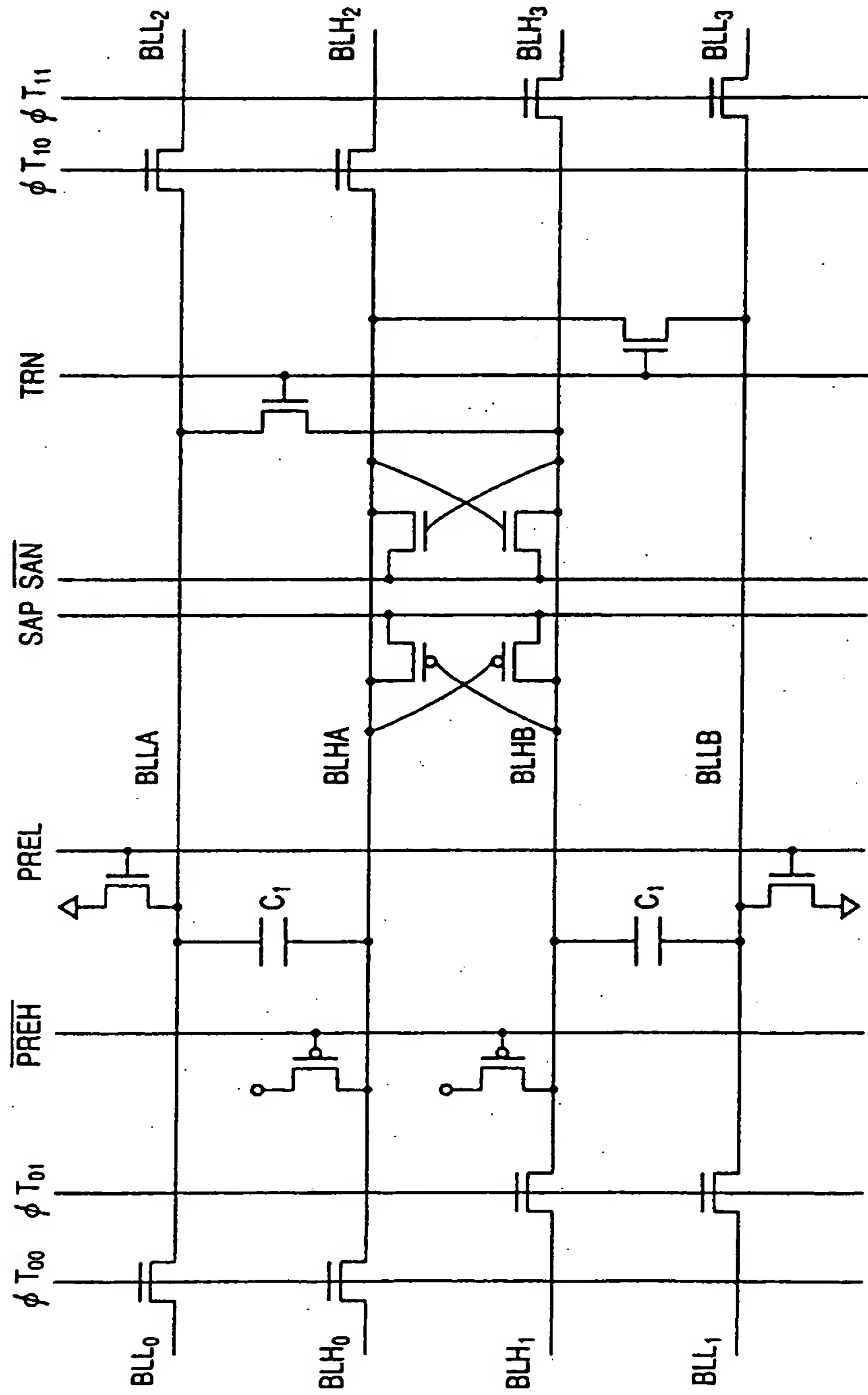


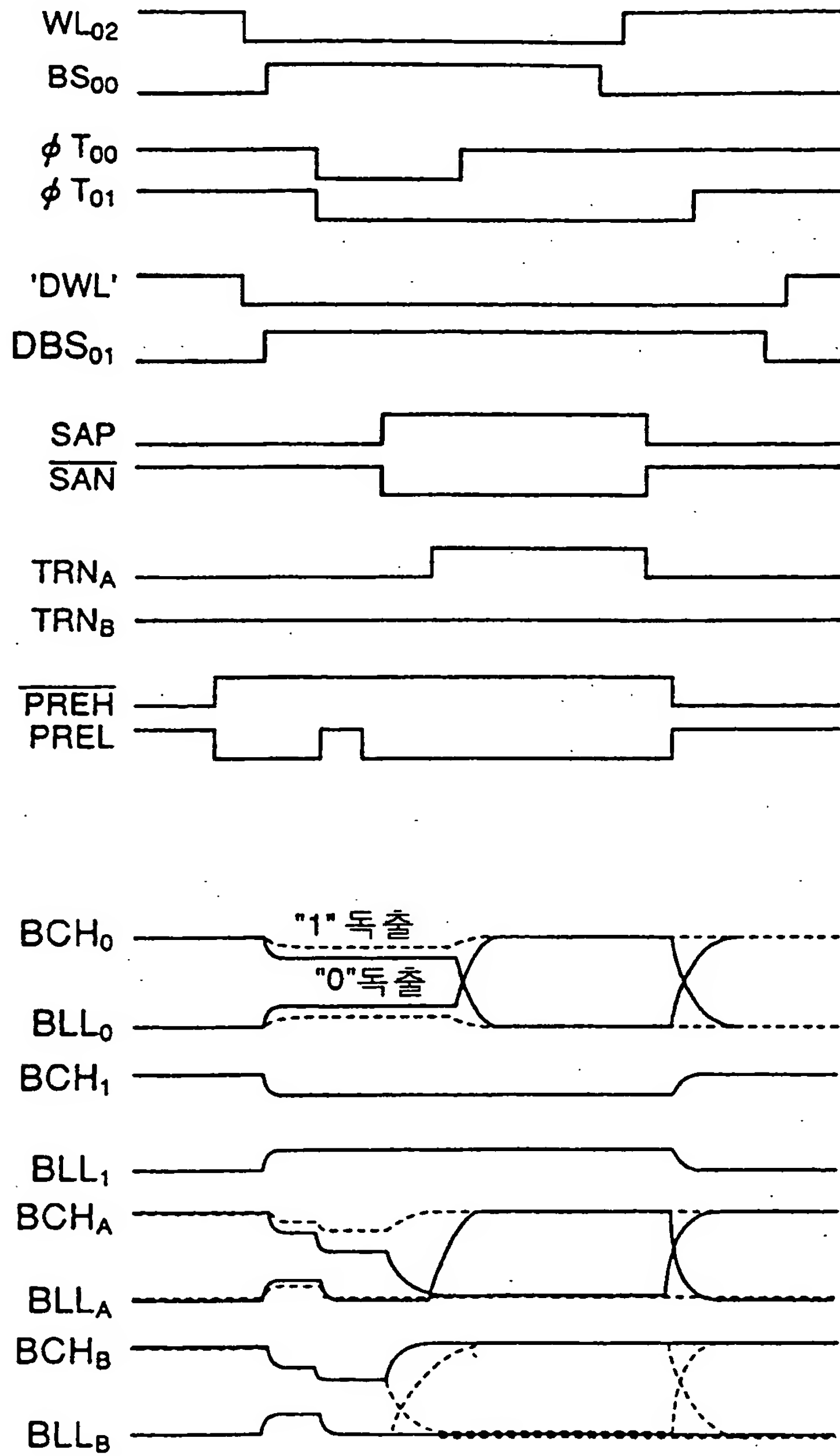
도면 94

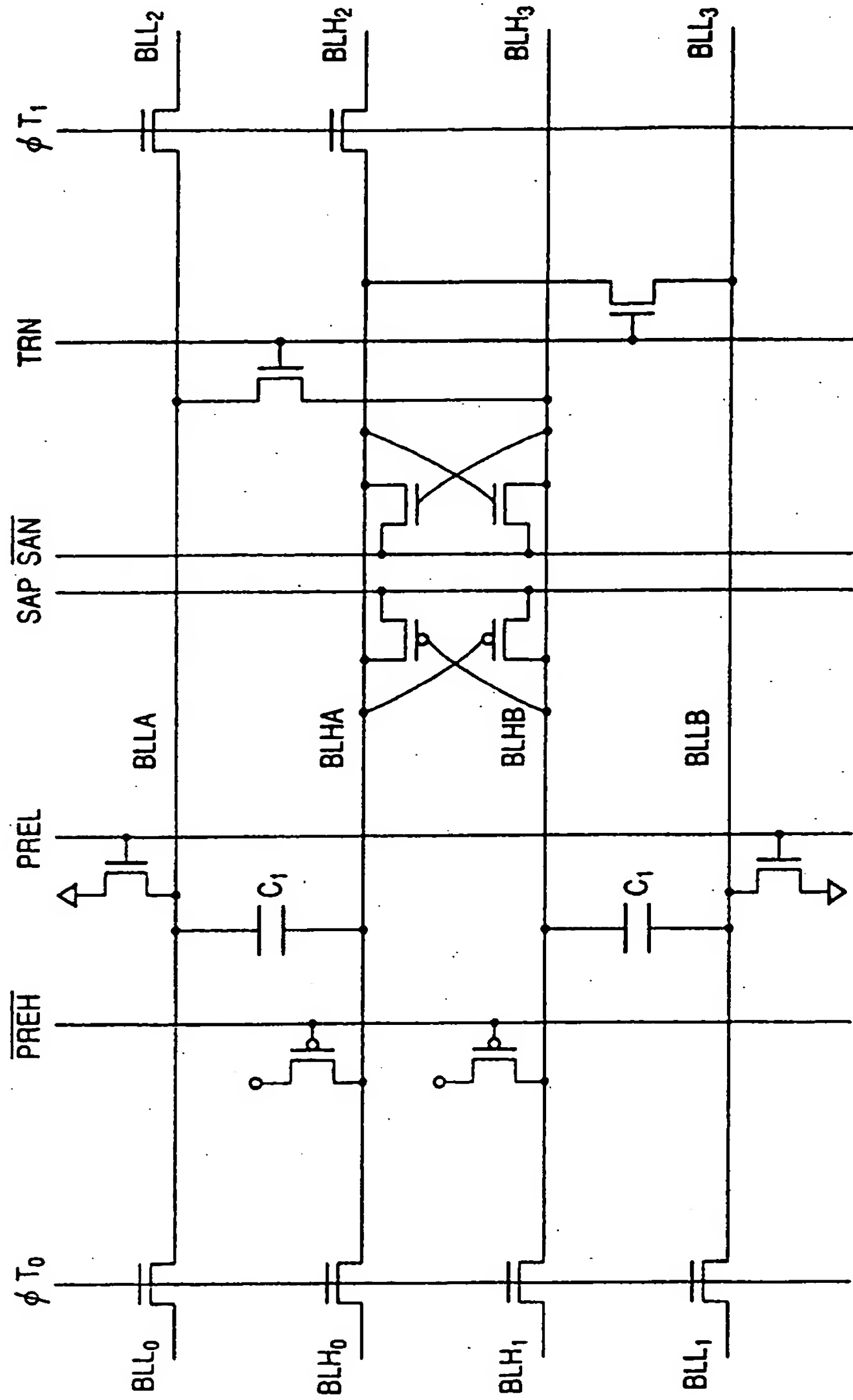




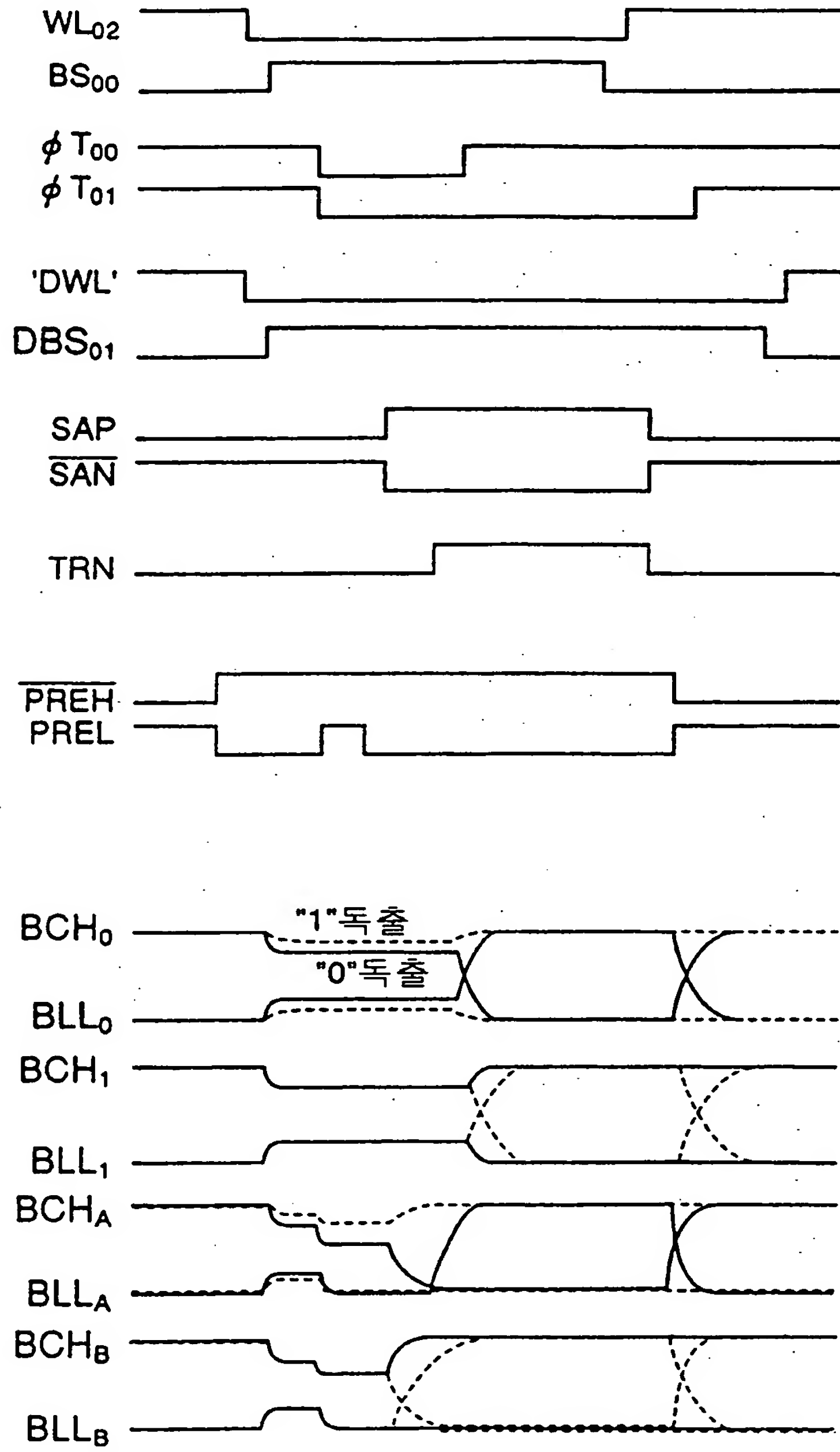


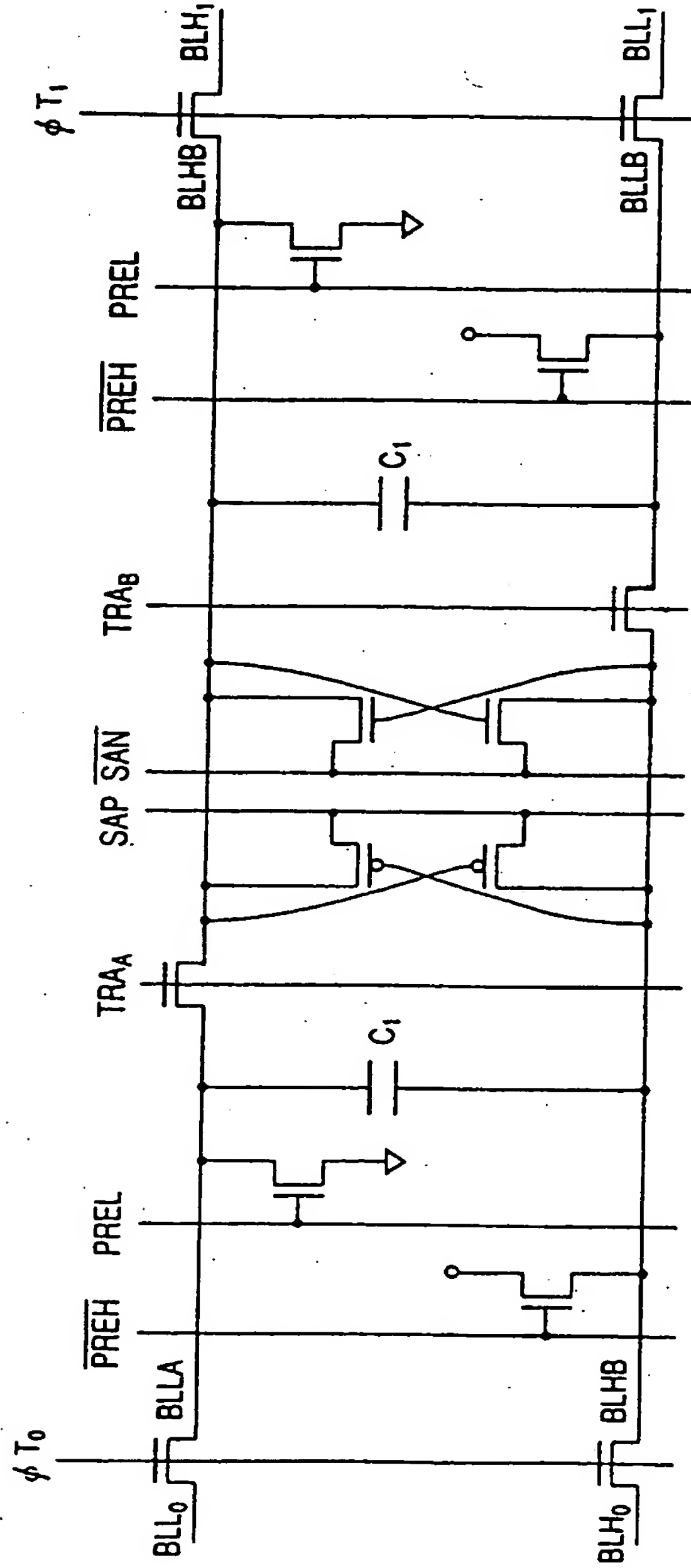


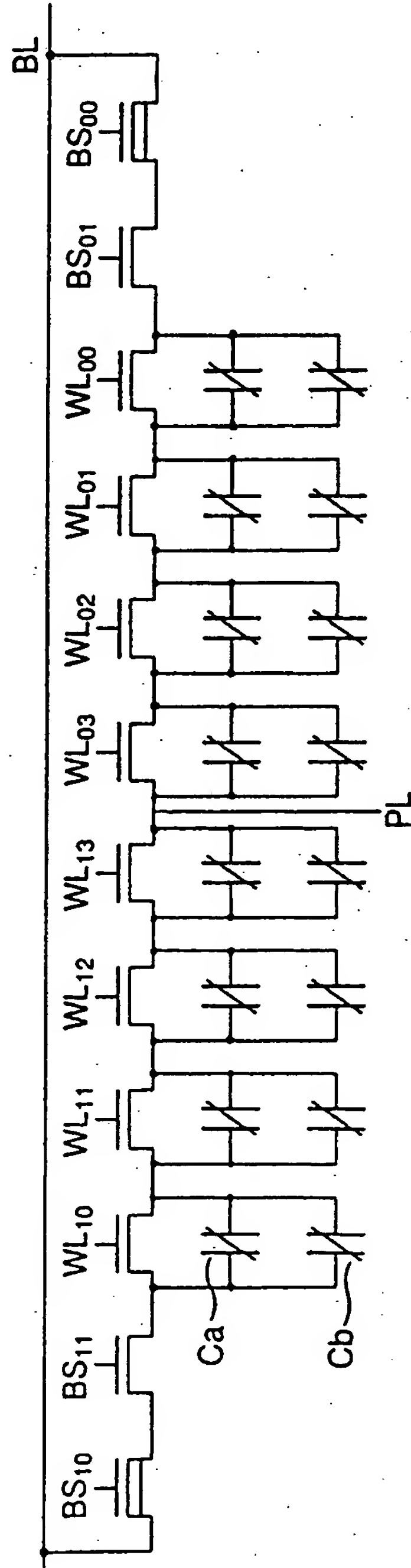
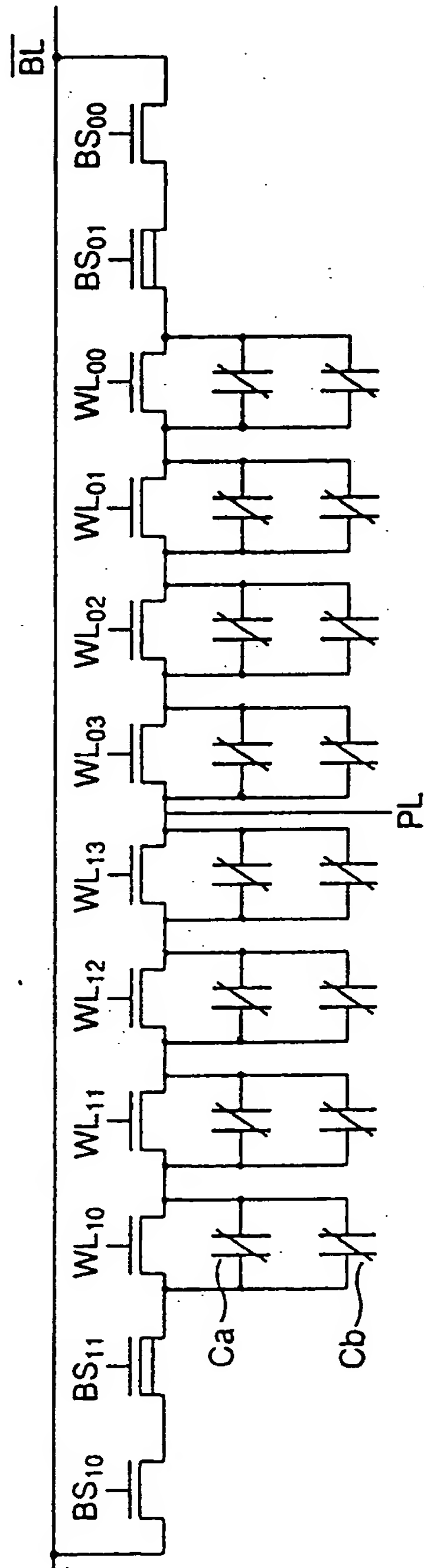


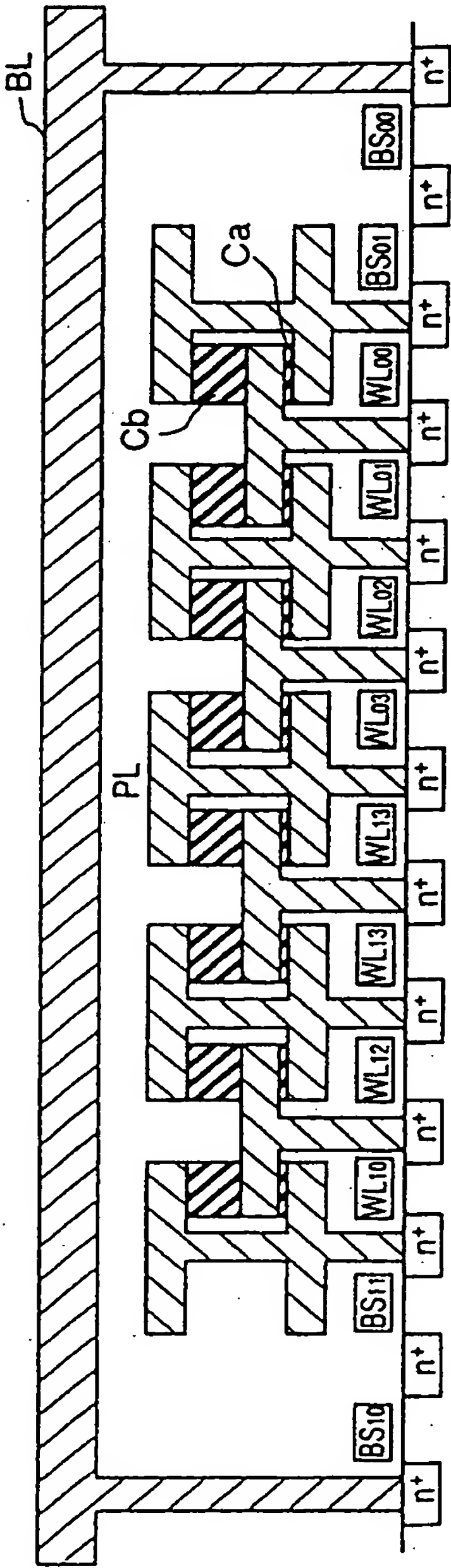


도면 100



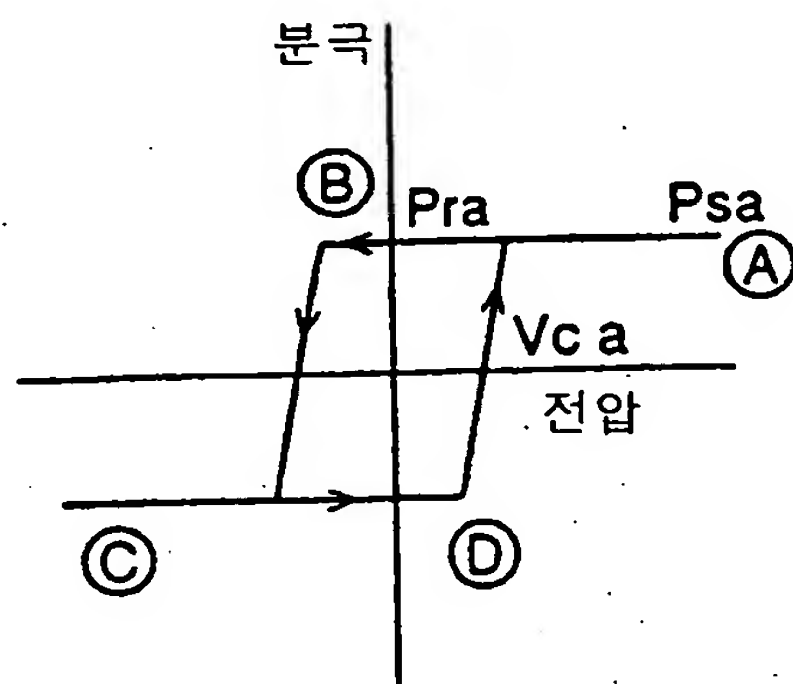




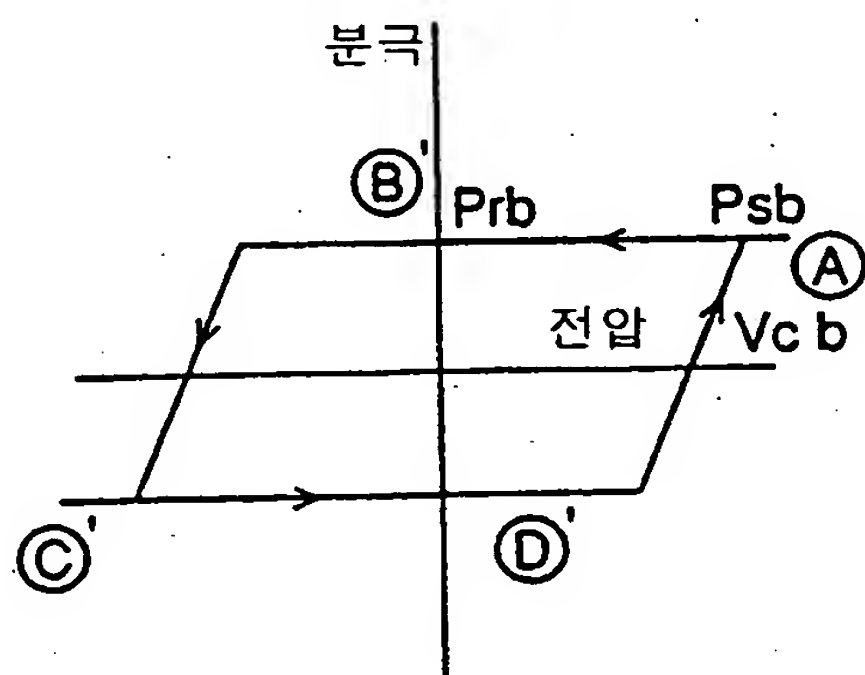


Cb 두께 > Ca 두께

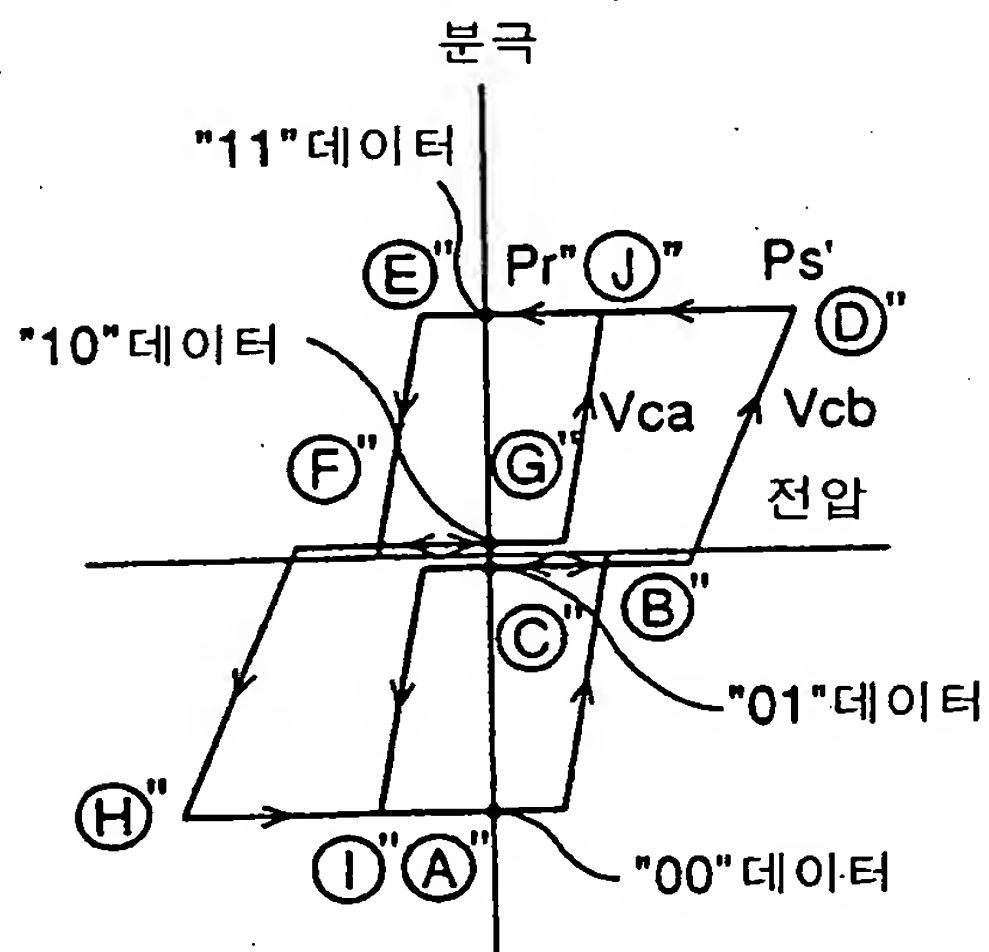
도면 104a



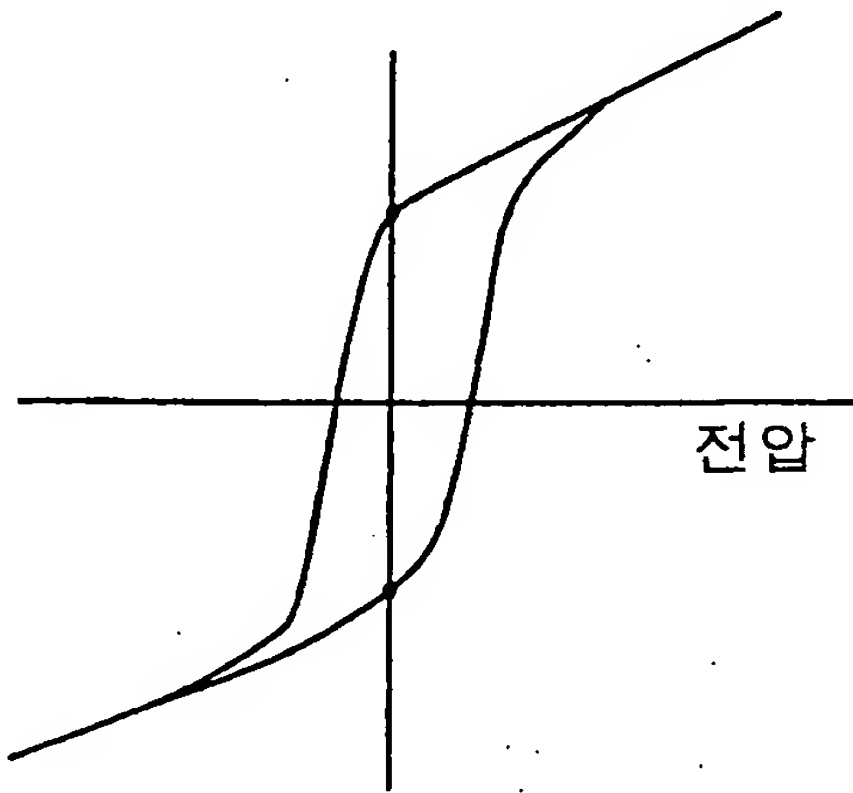
도면 104b



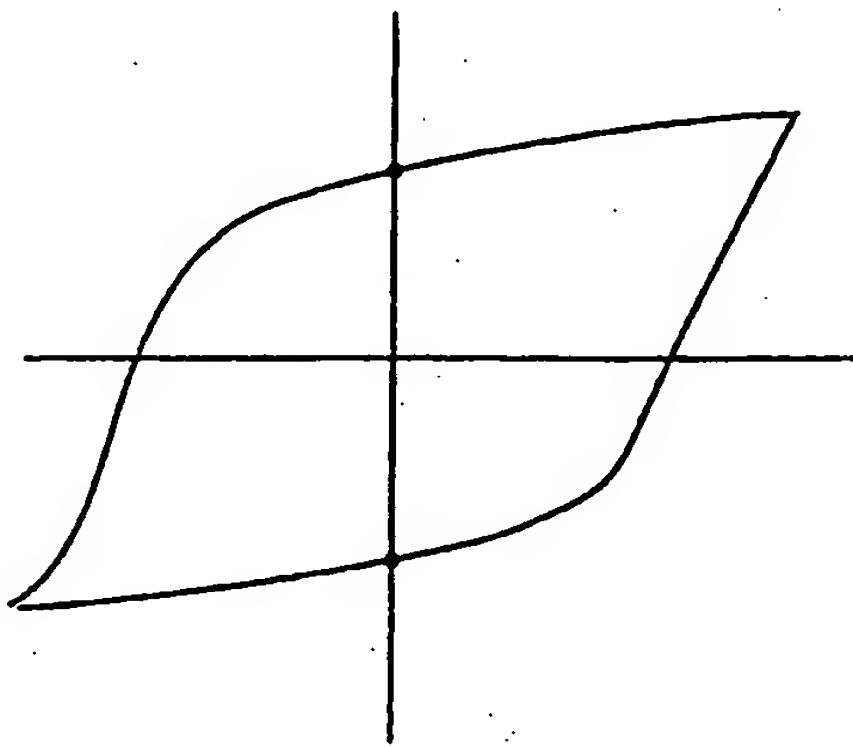
도면 104c



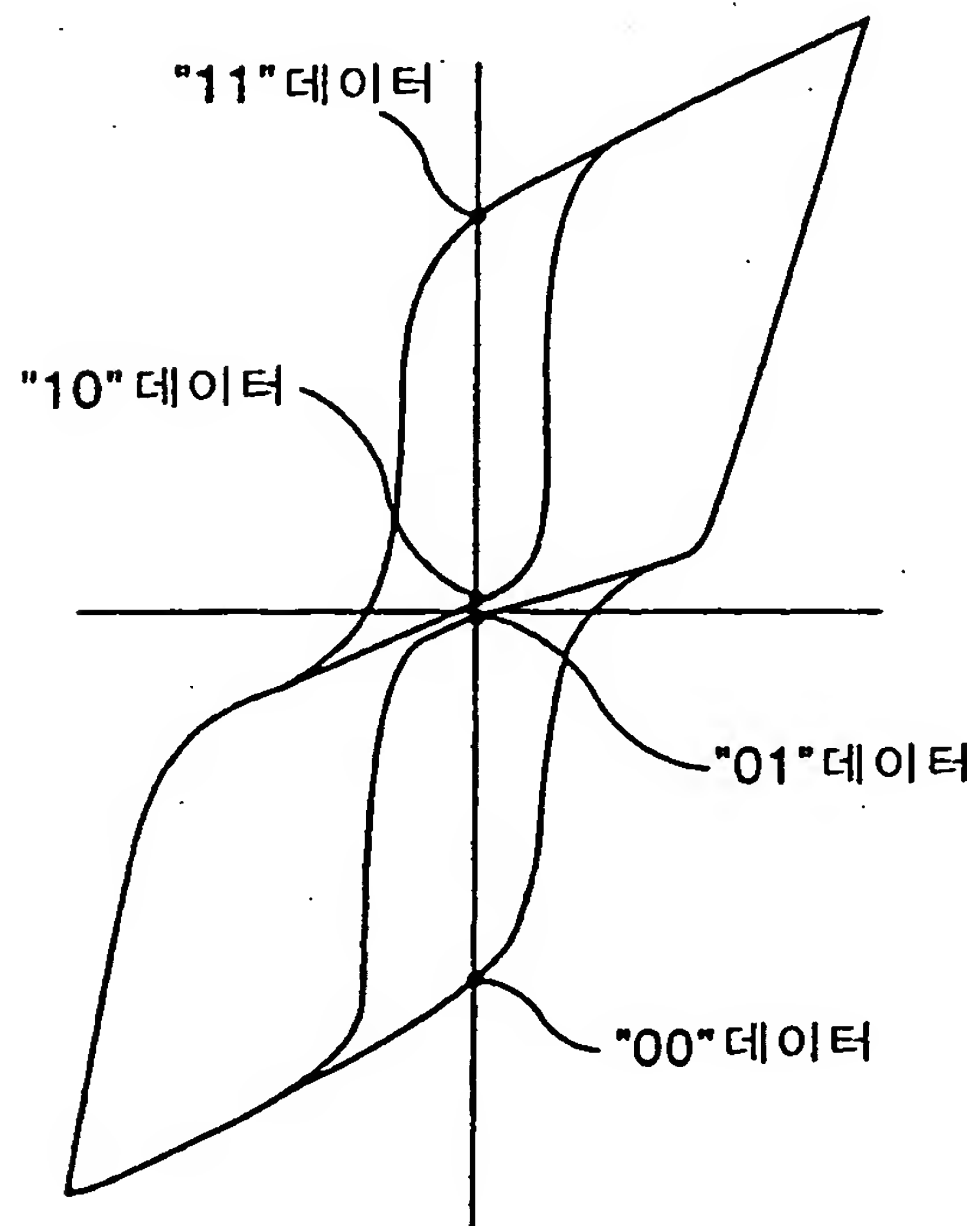
도면 105a

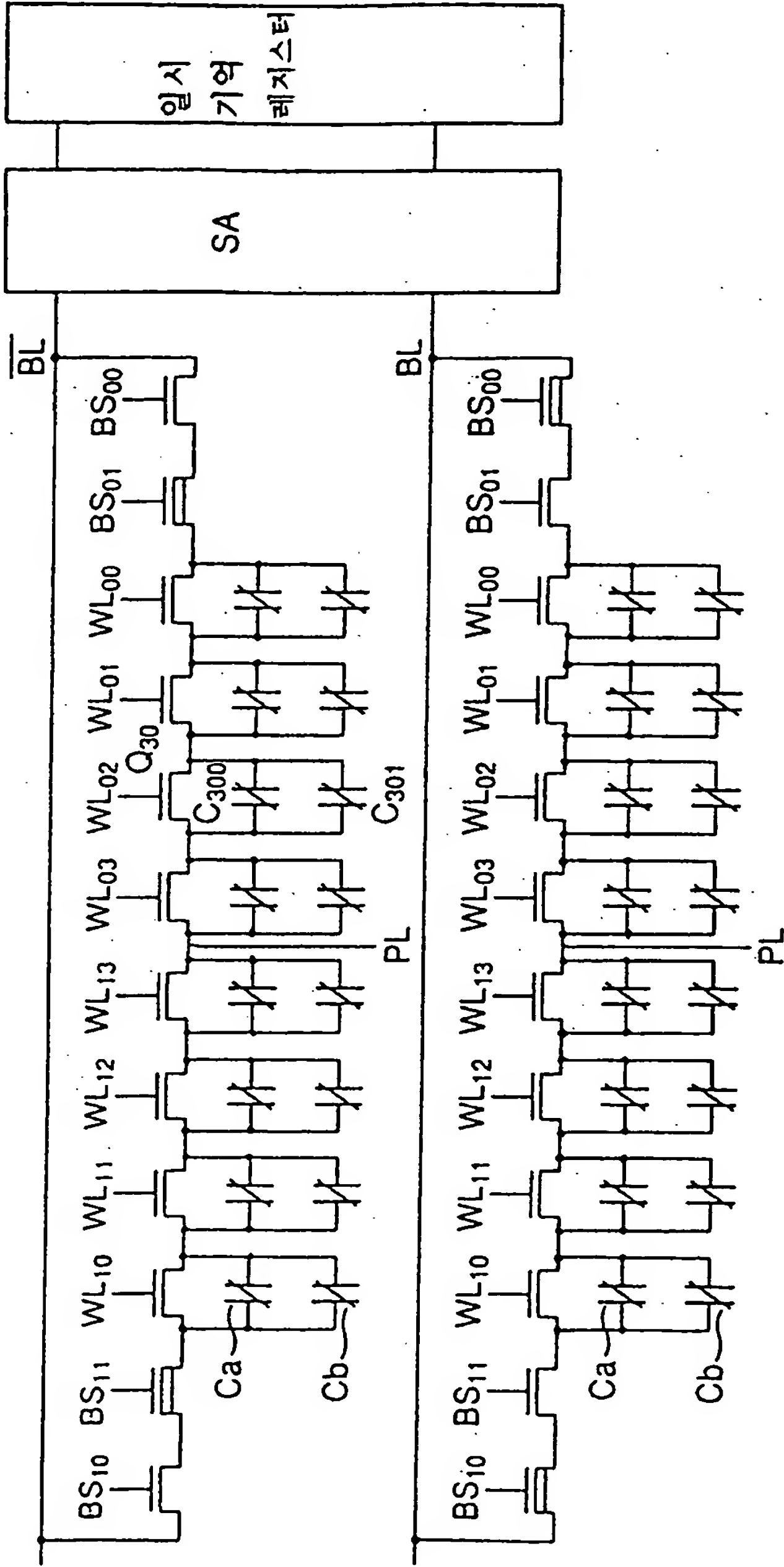


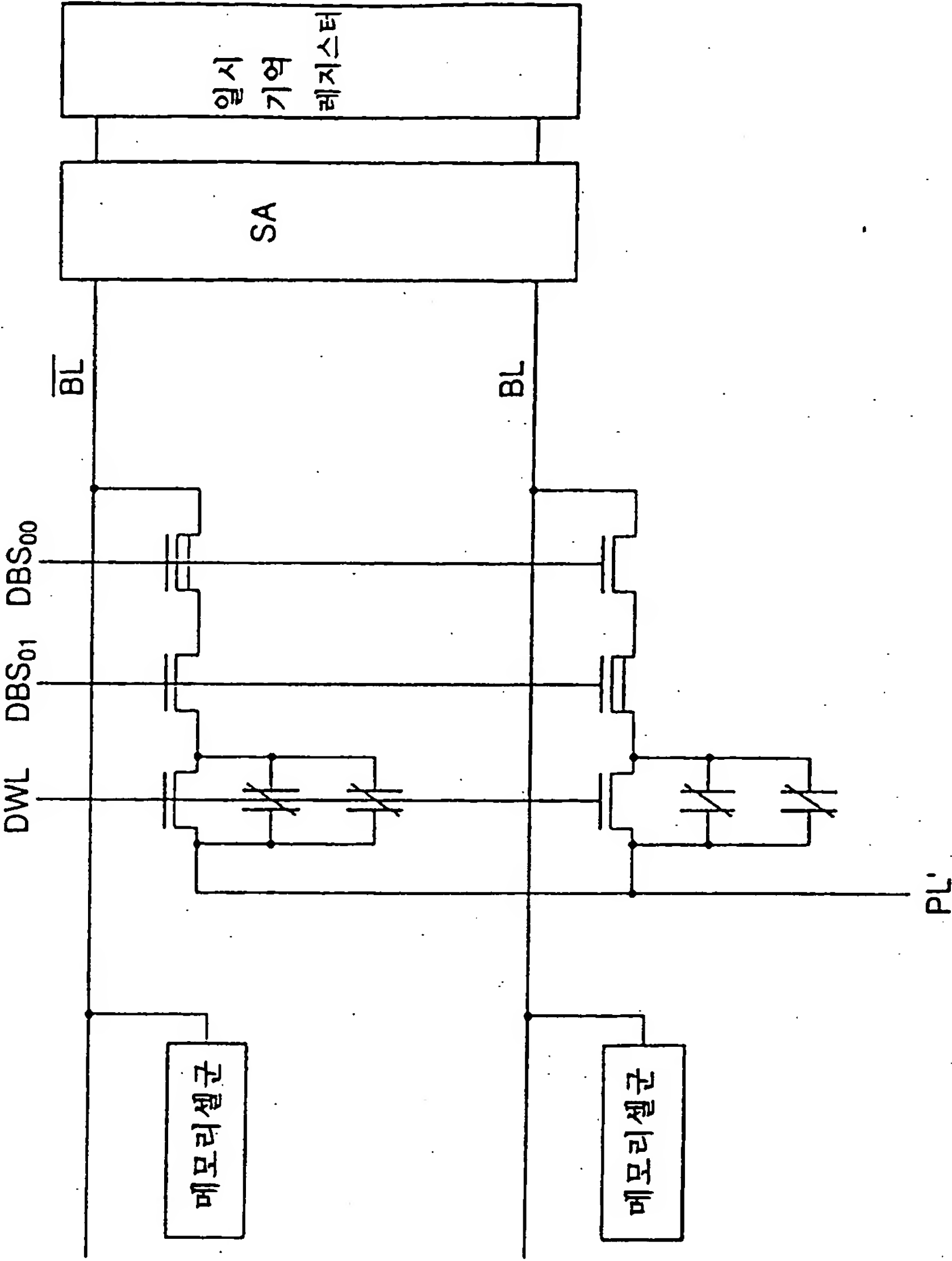
도면 105b

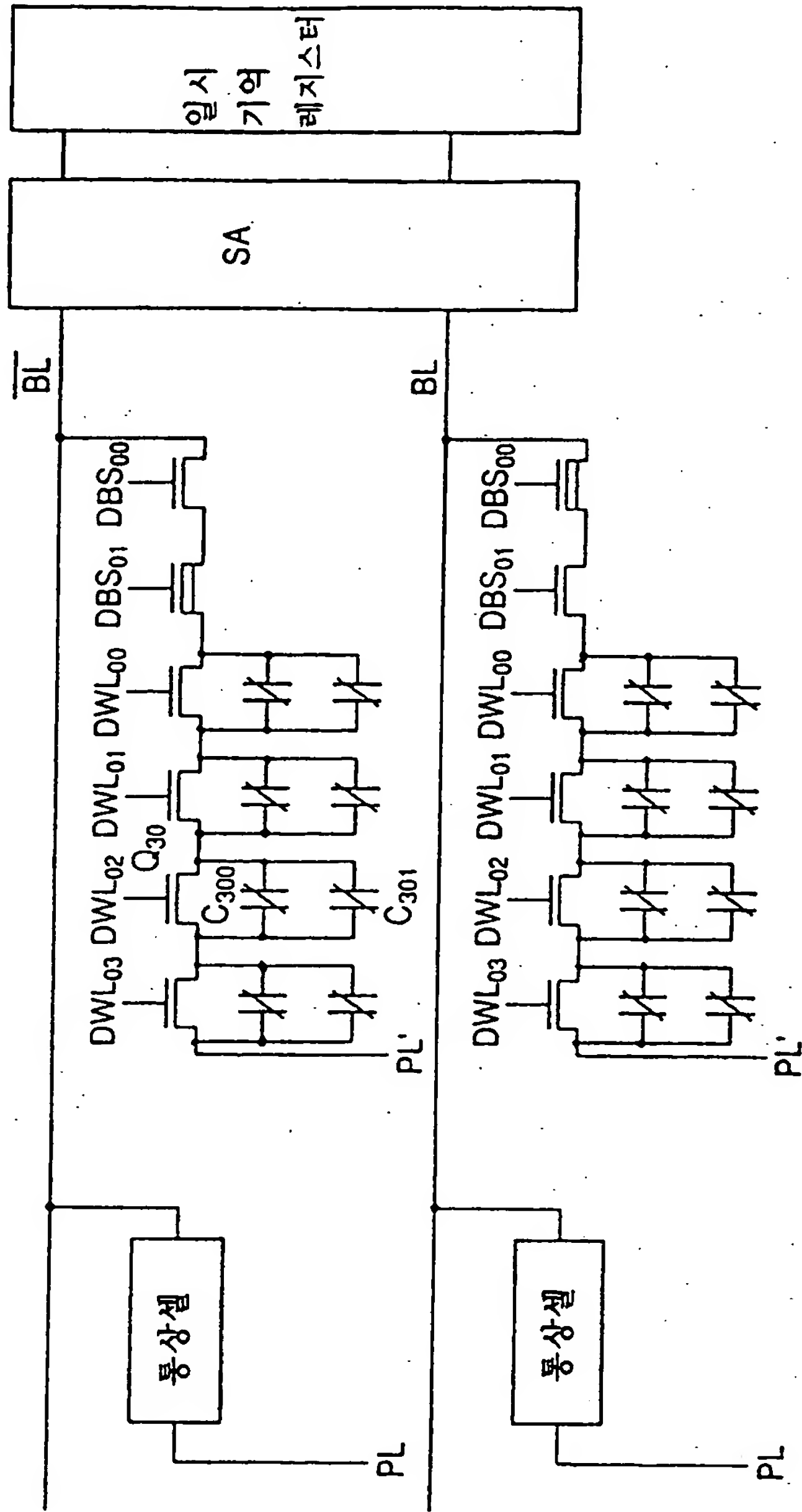


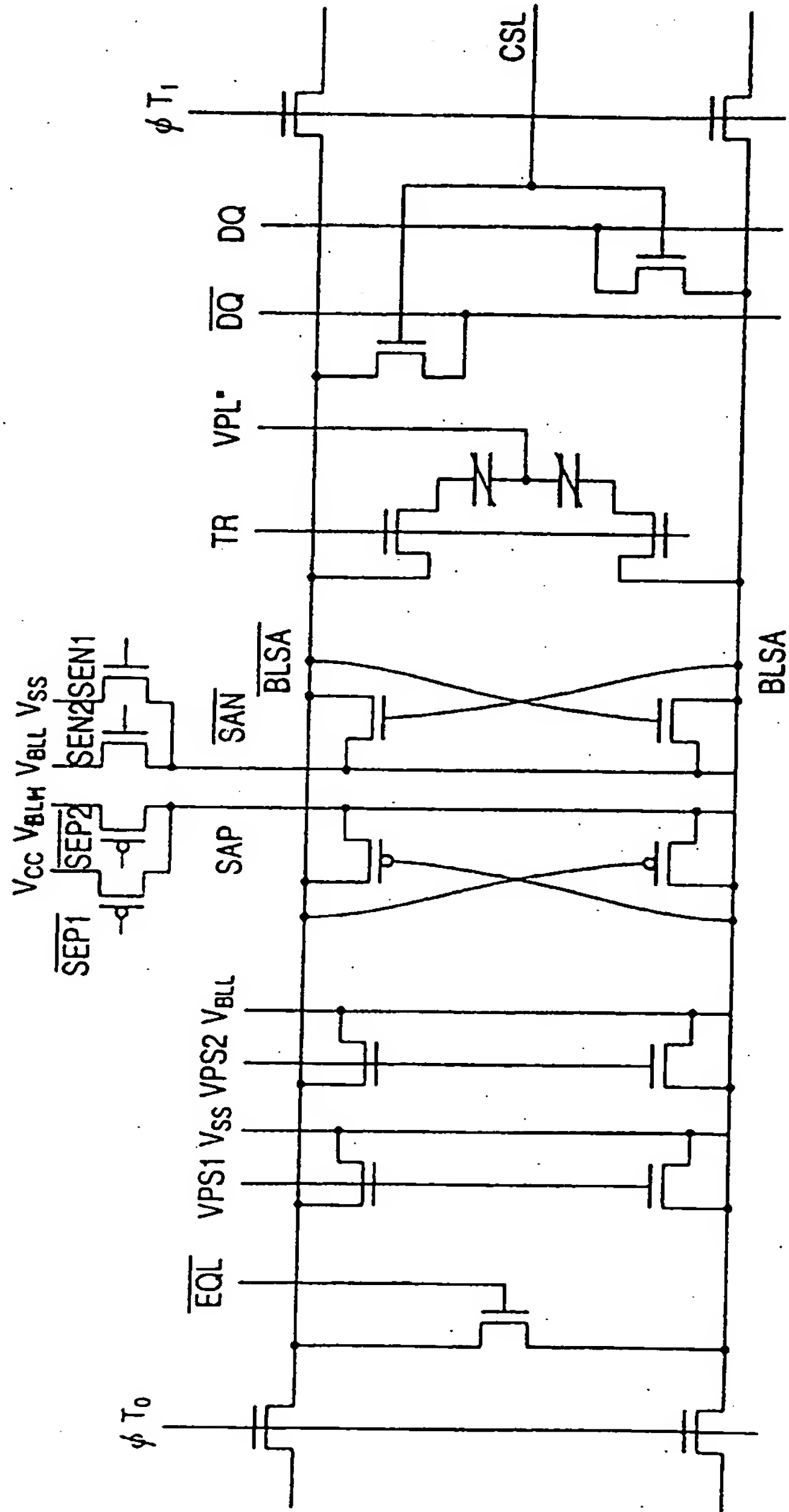
도면 105c



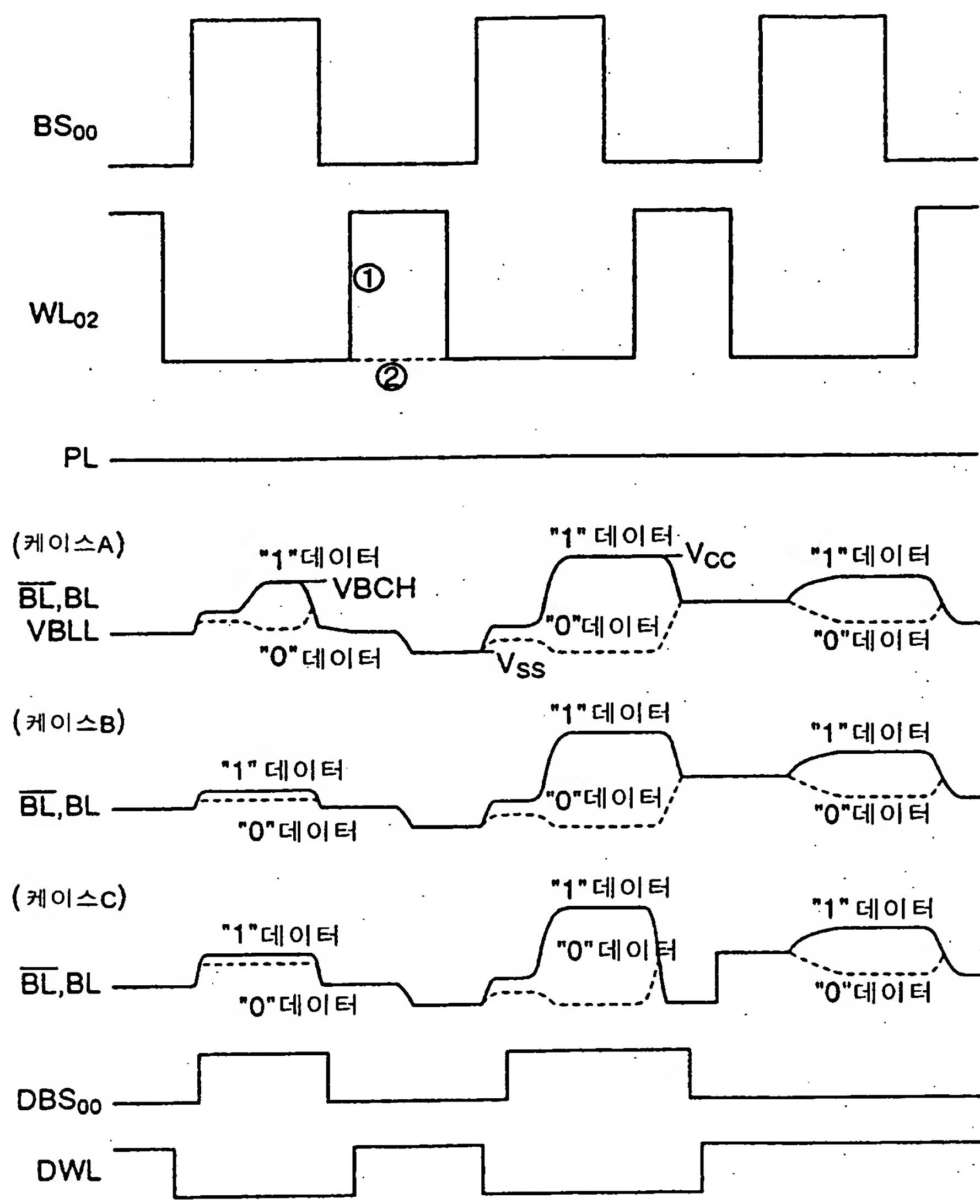




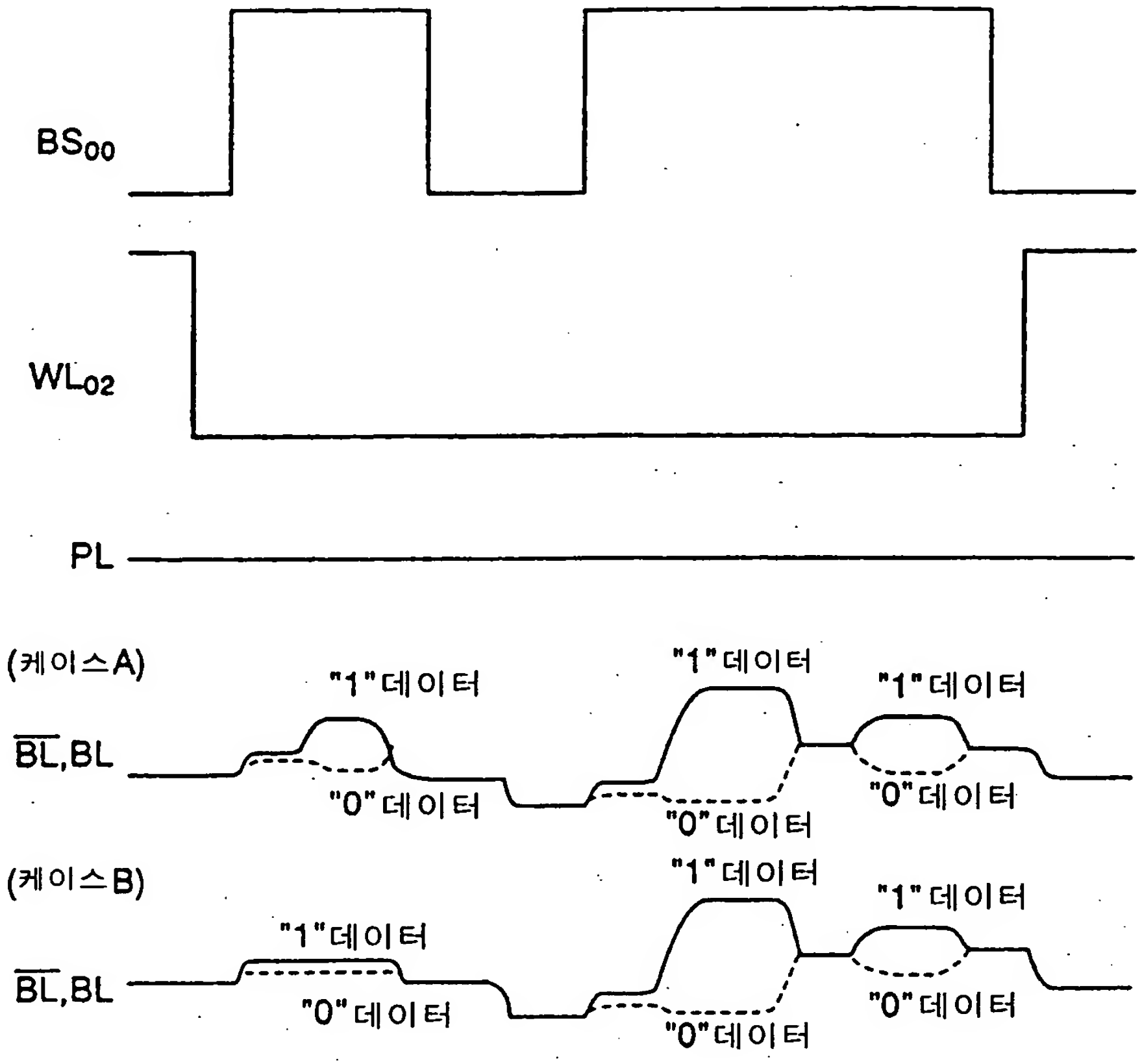


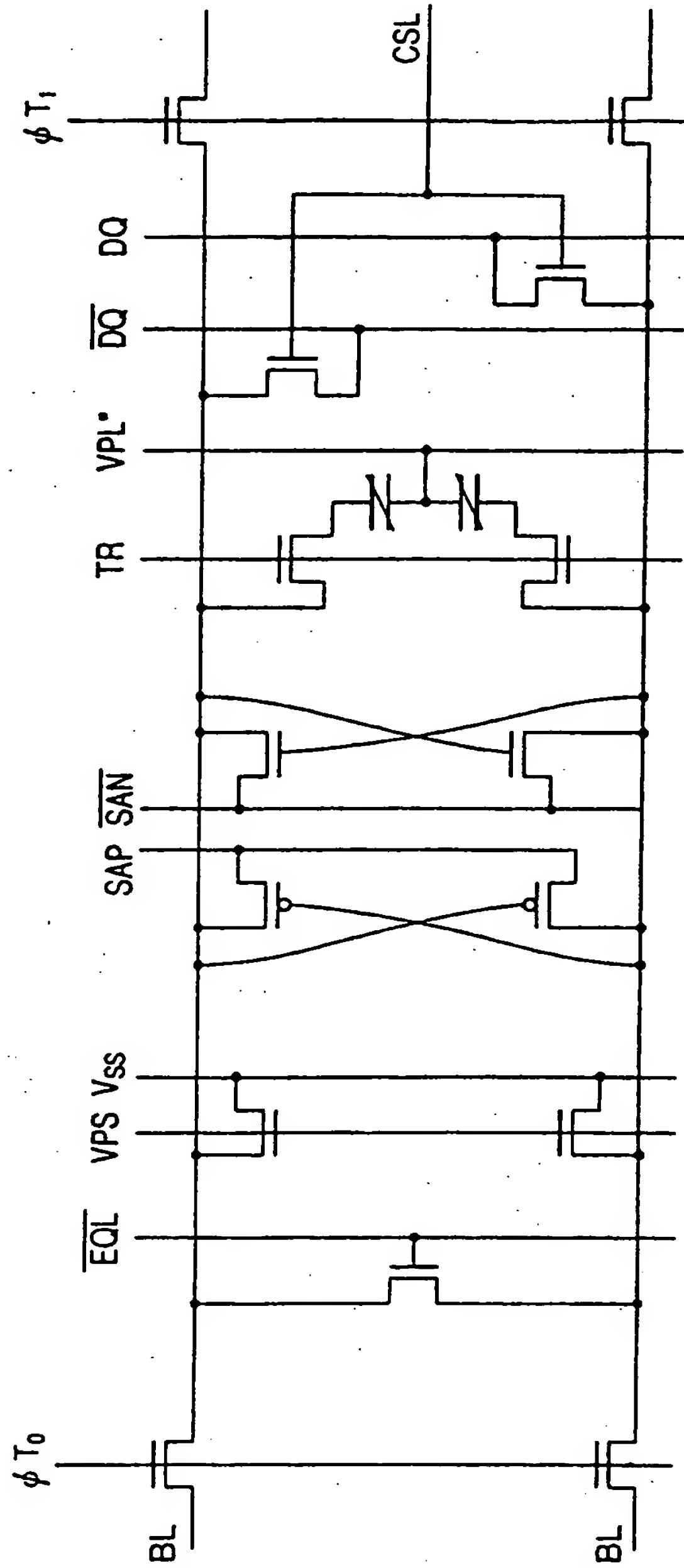


도면 110

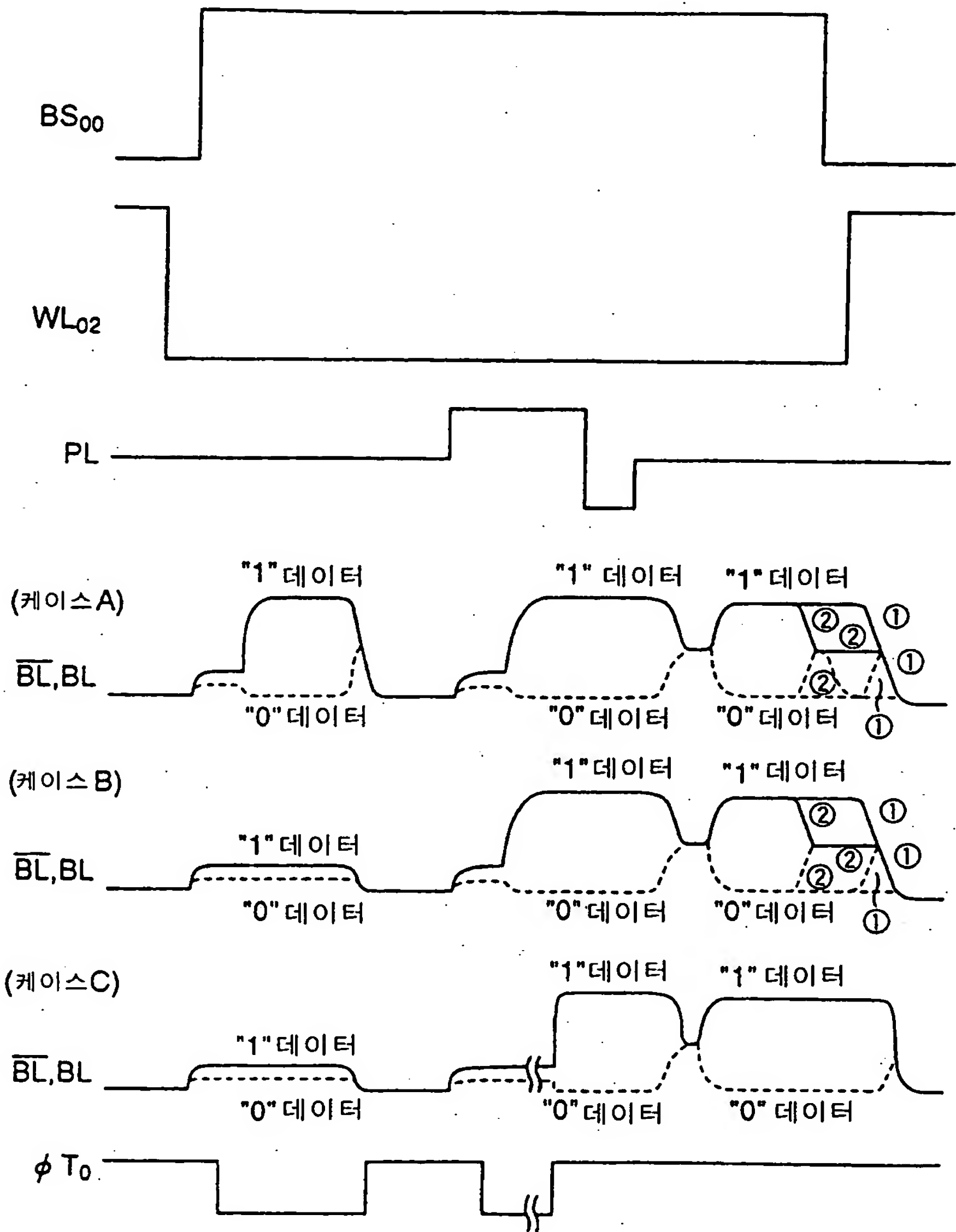


도면 111

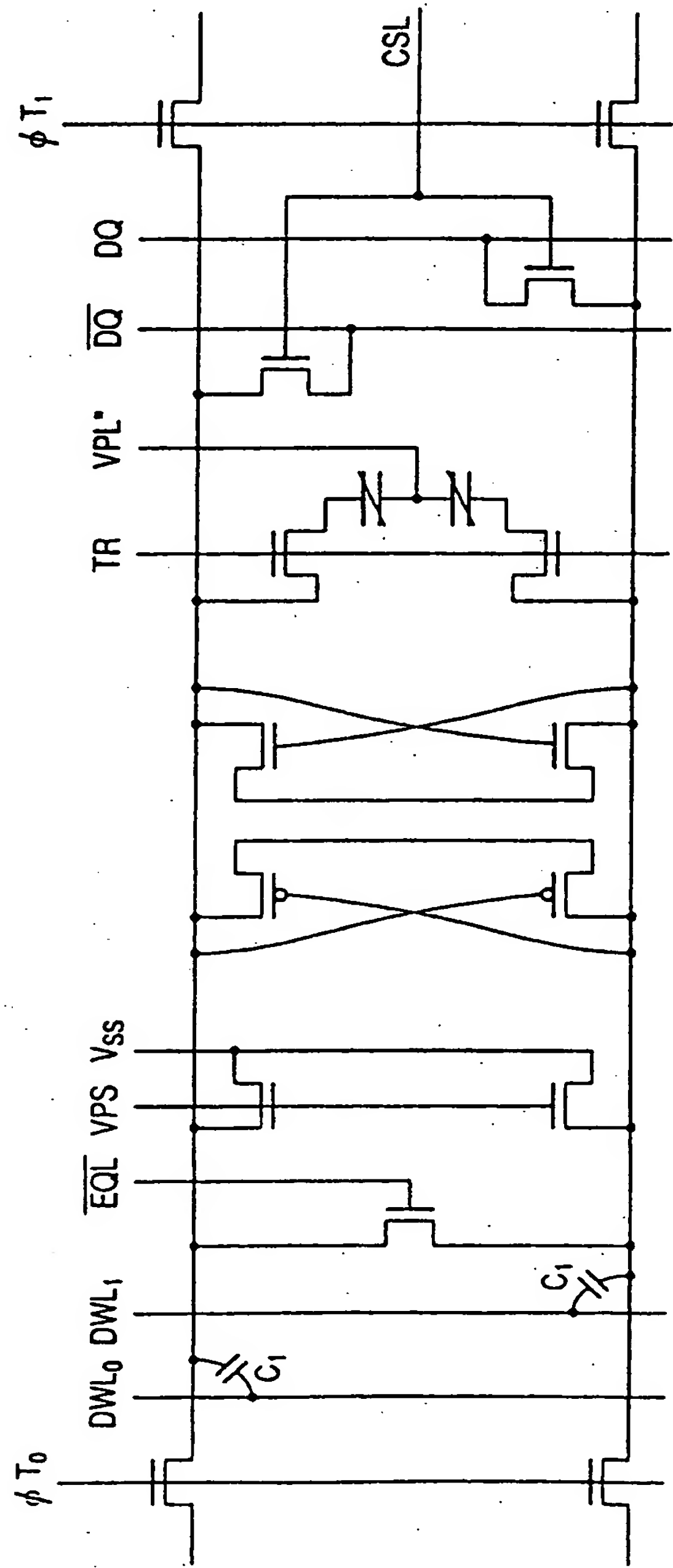


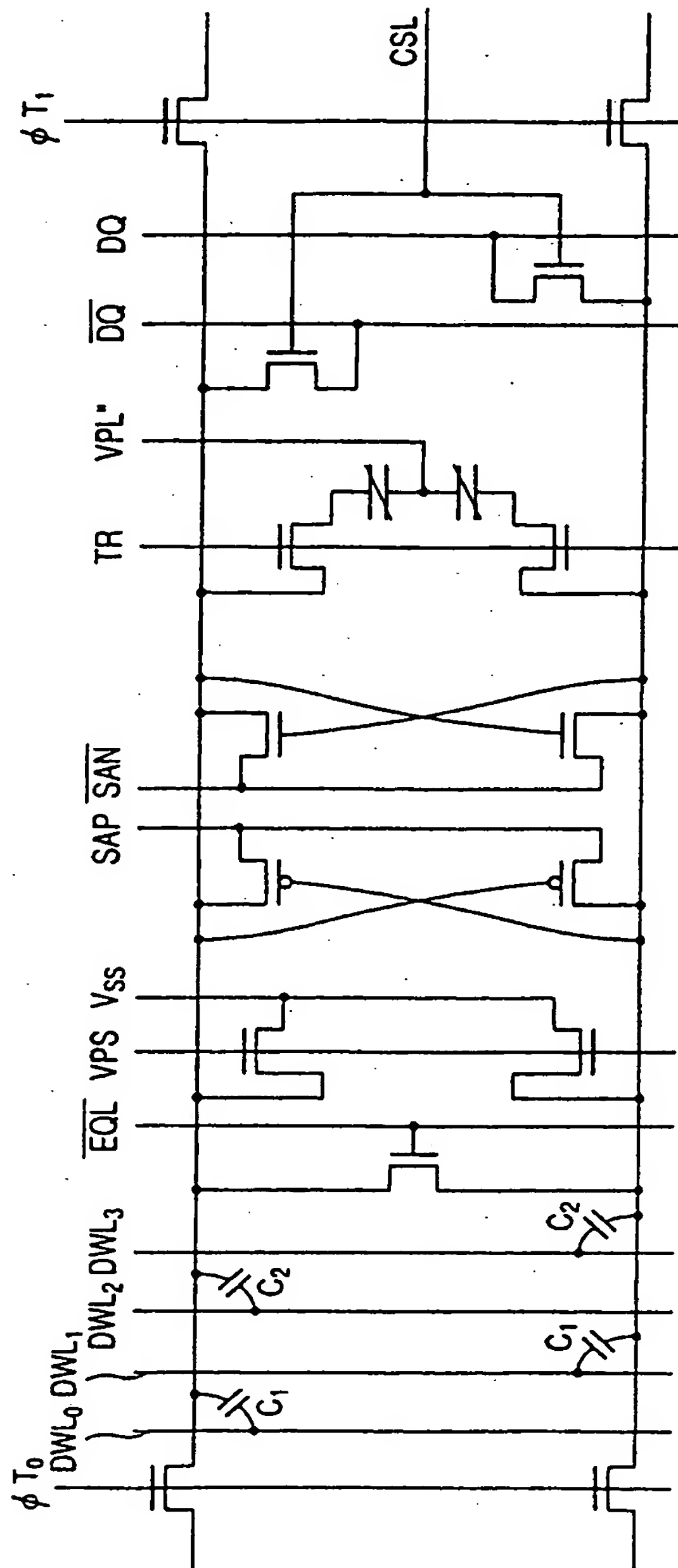


도면 113

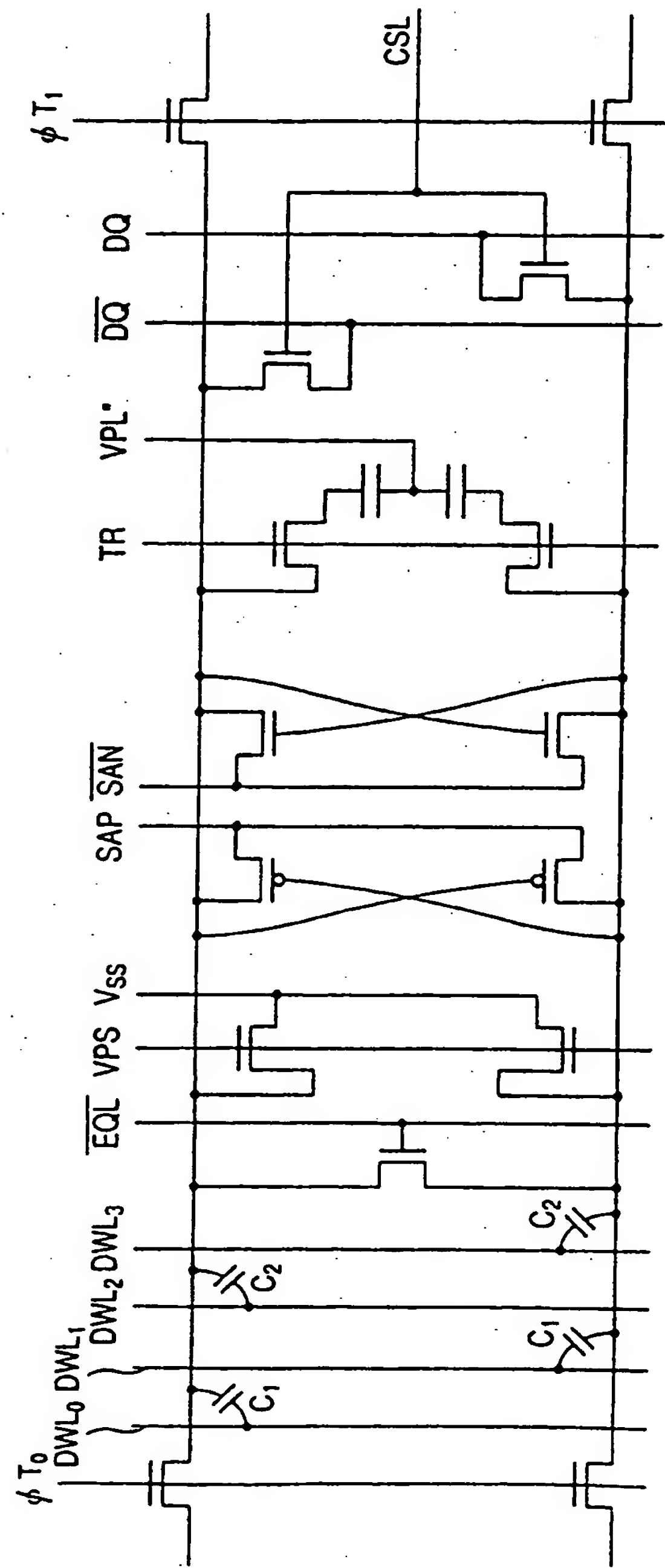


도면 114

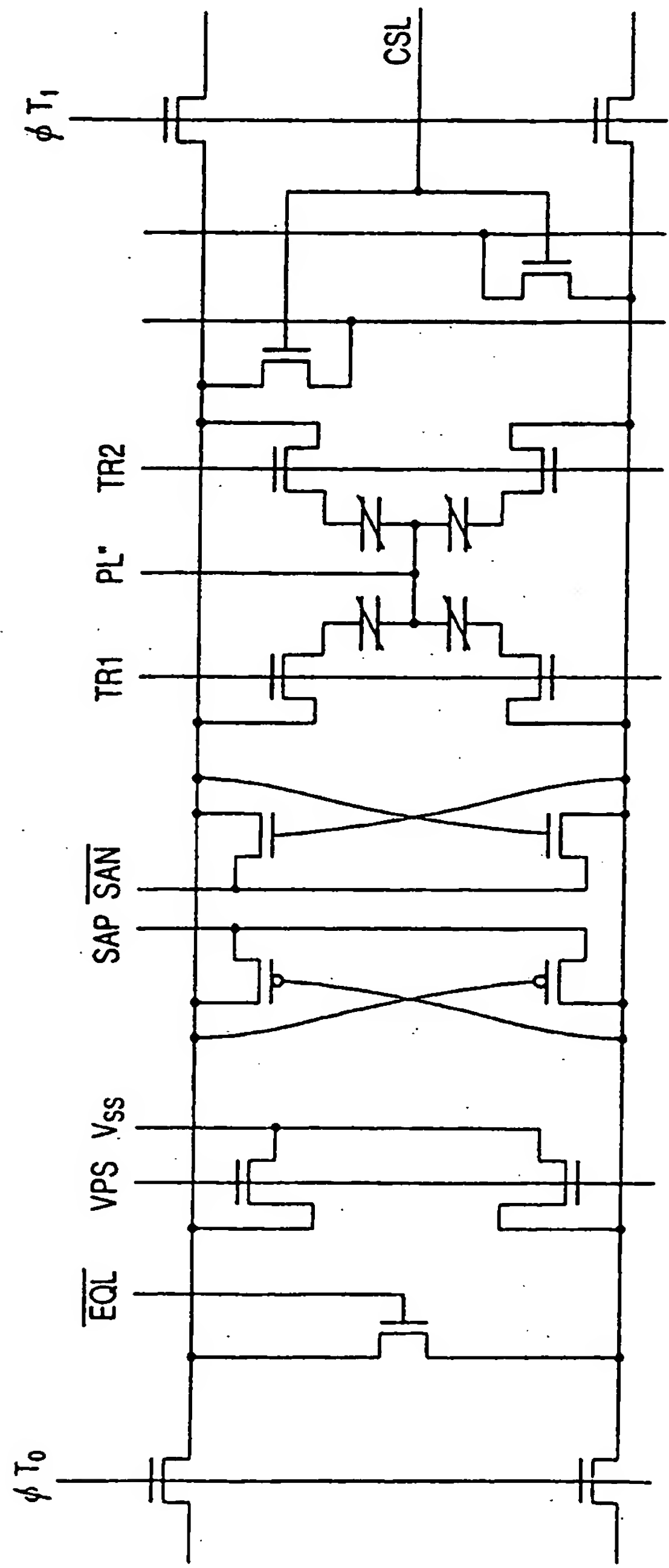




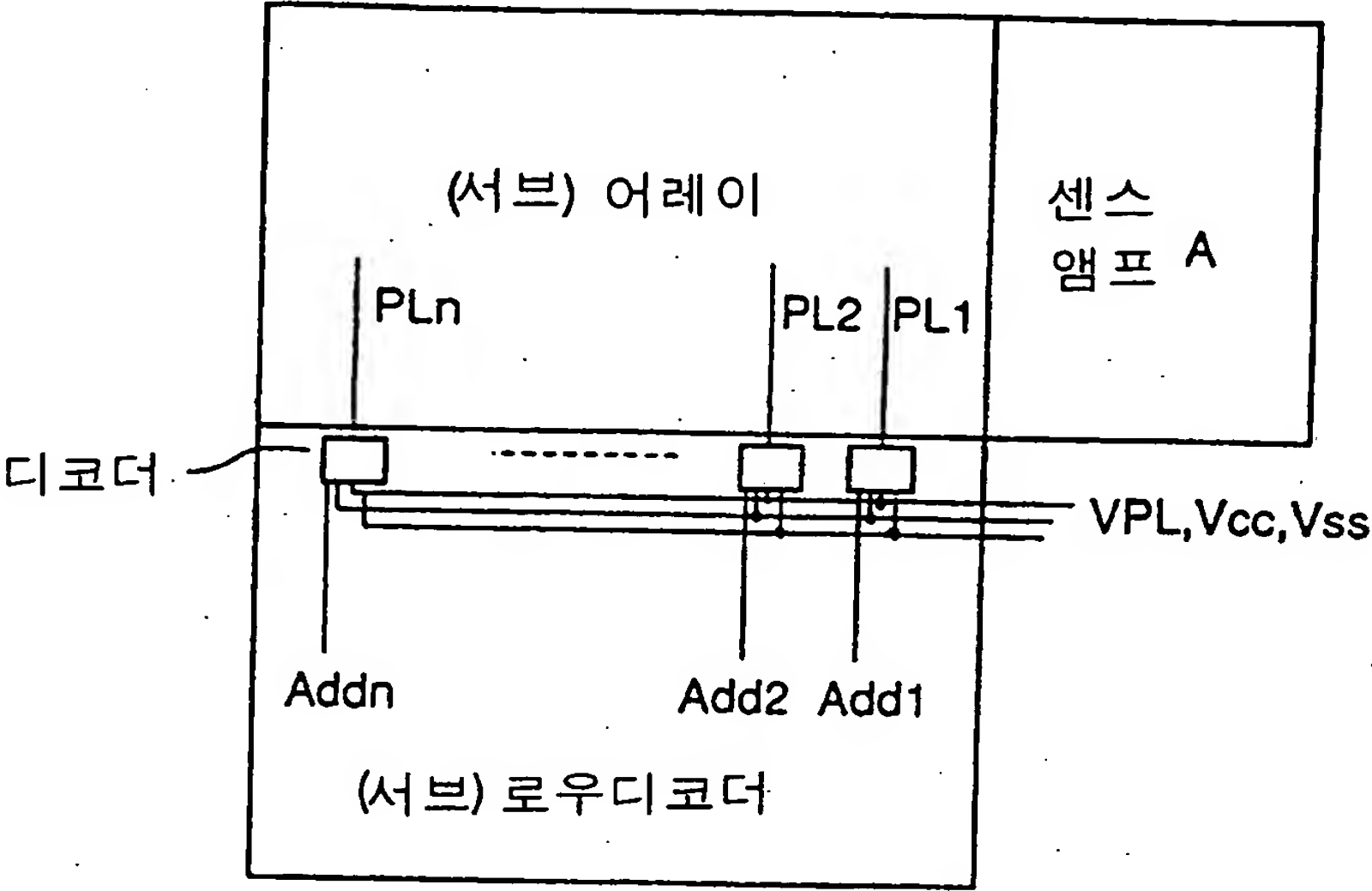
도면 116



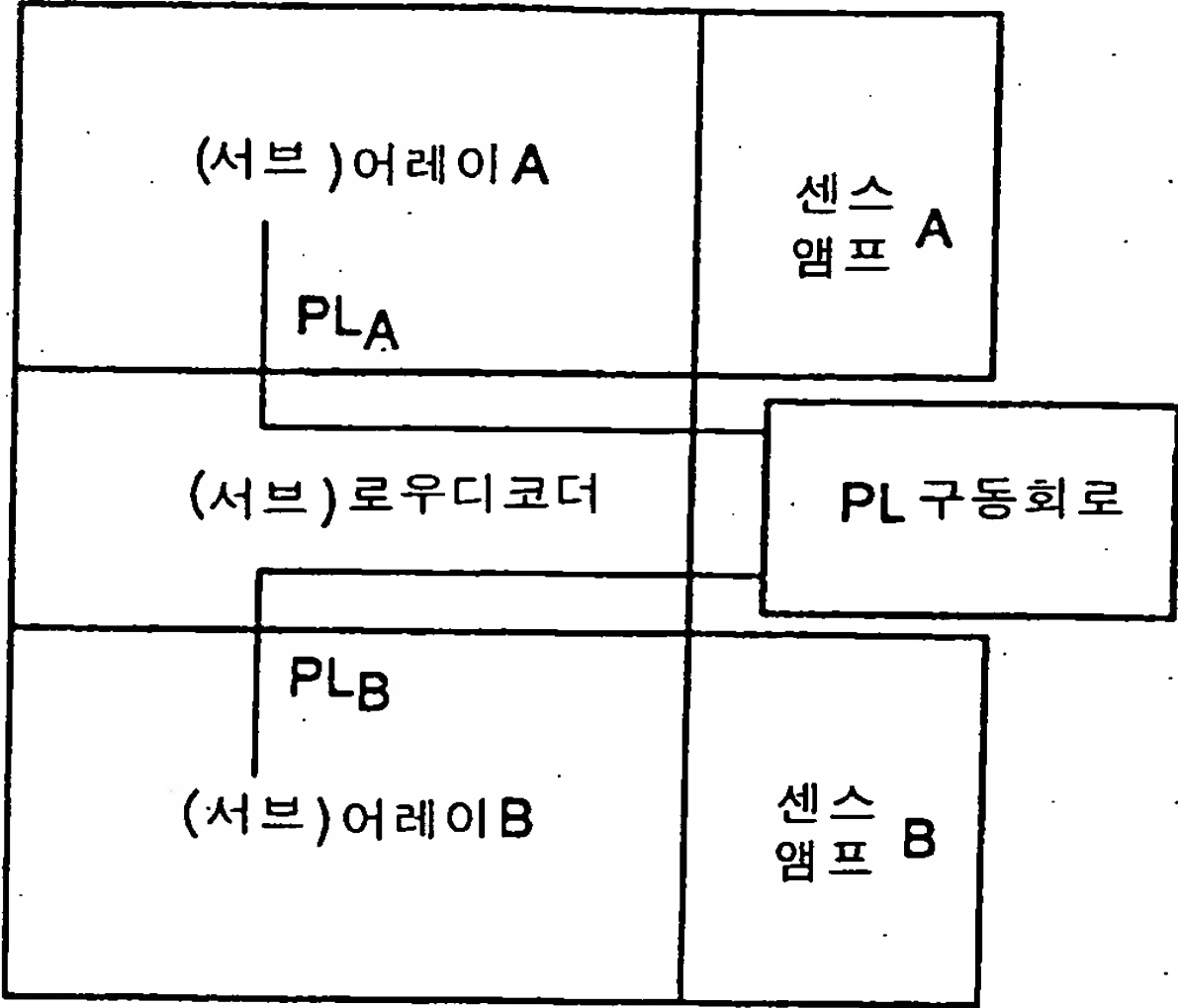
도면 117



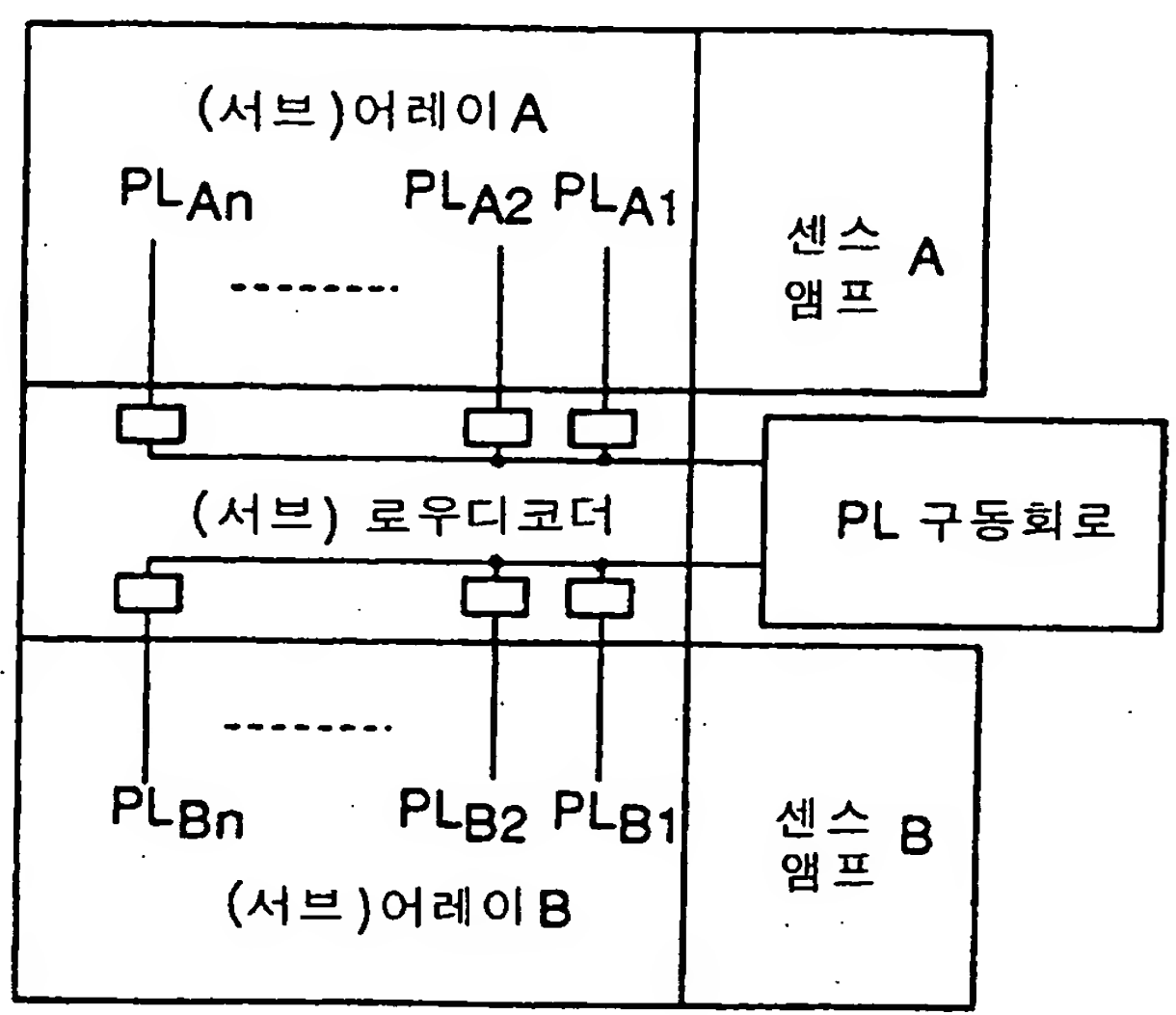
도면 118



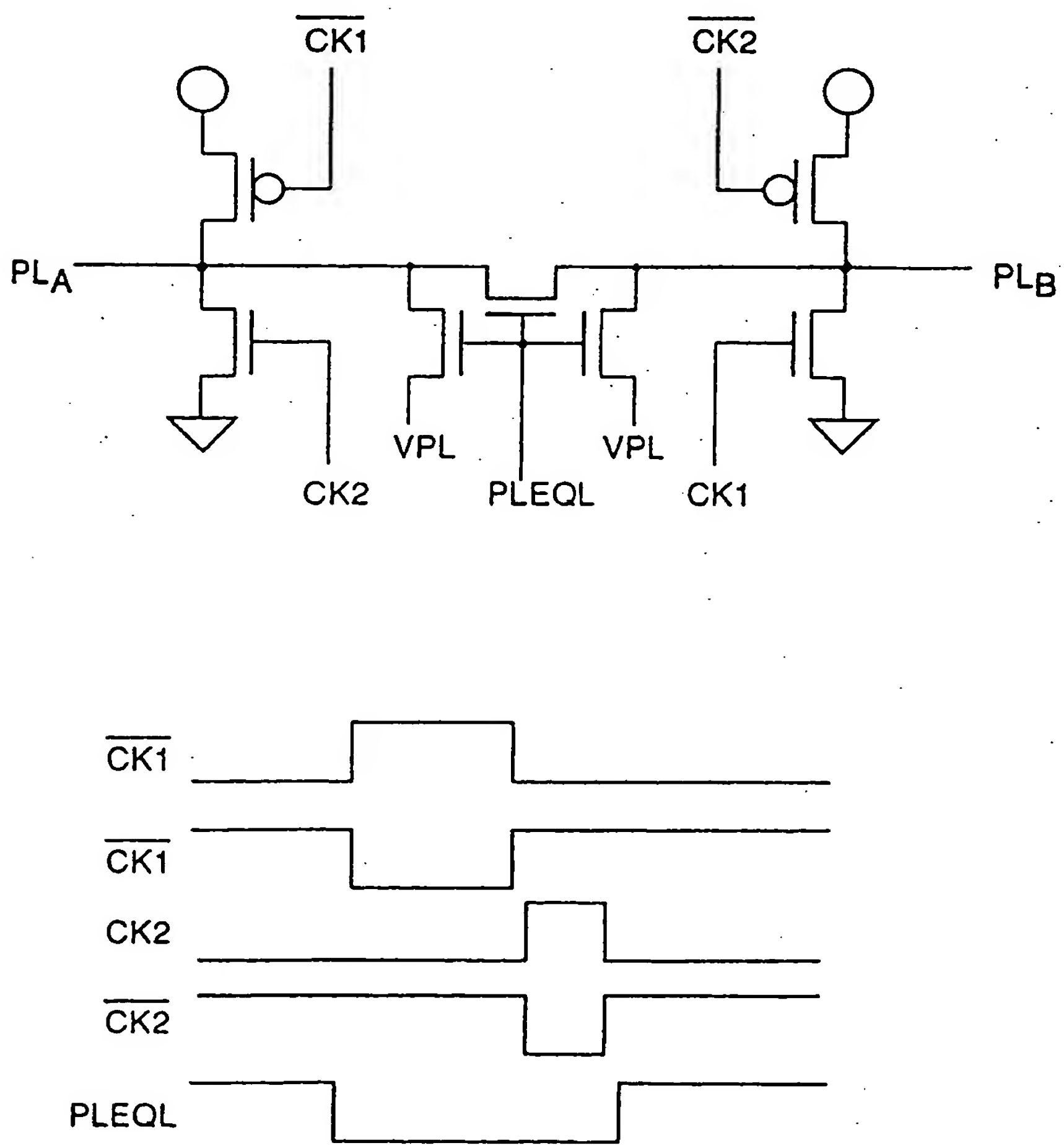
도면 119a

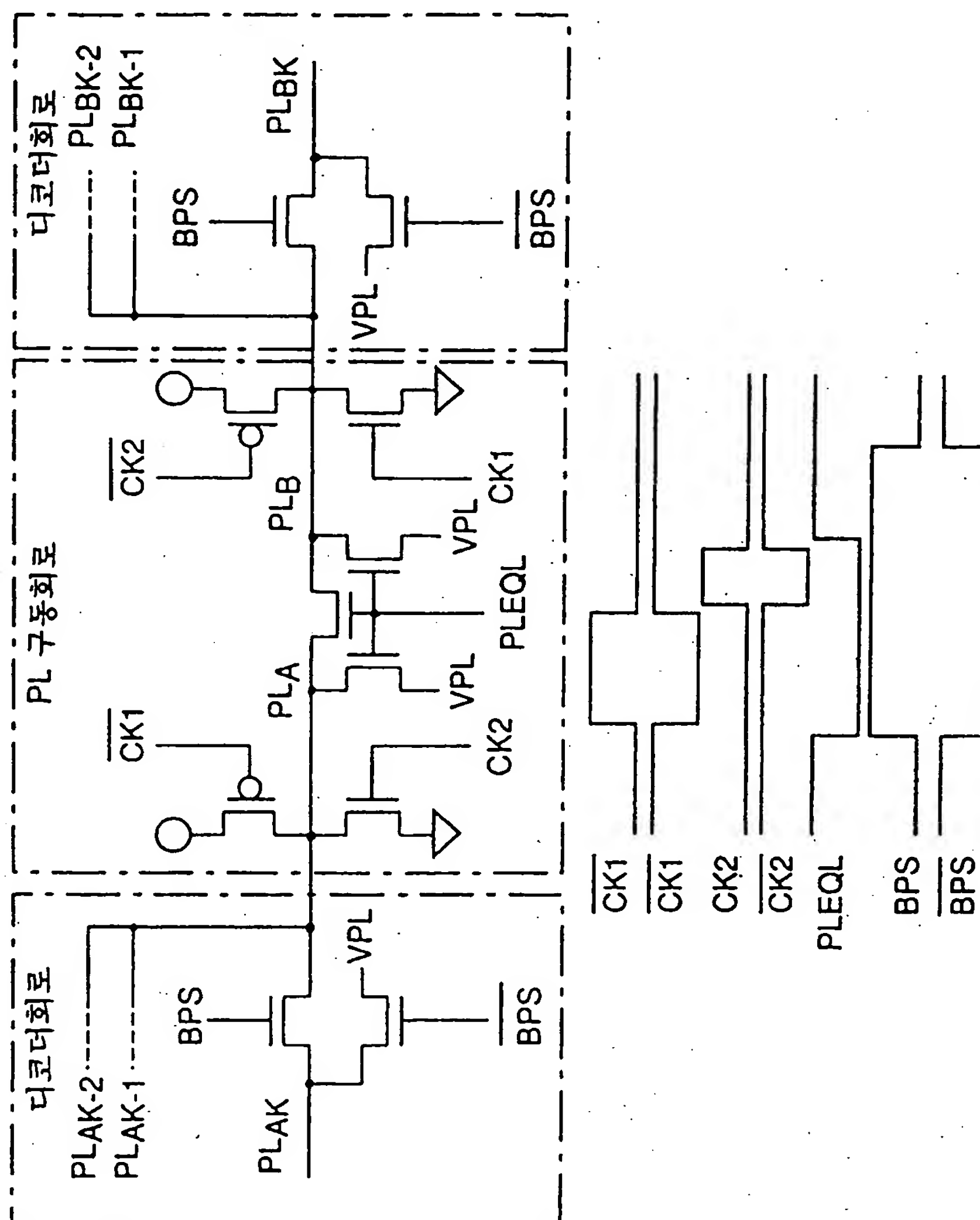


도면 119b

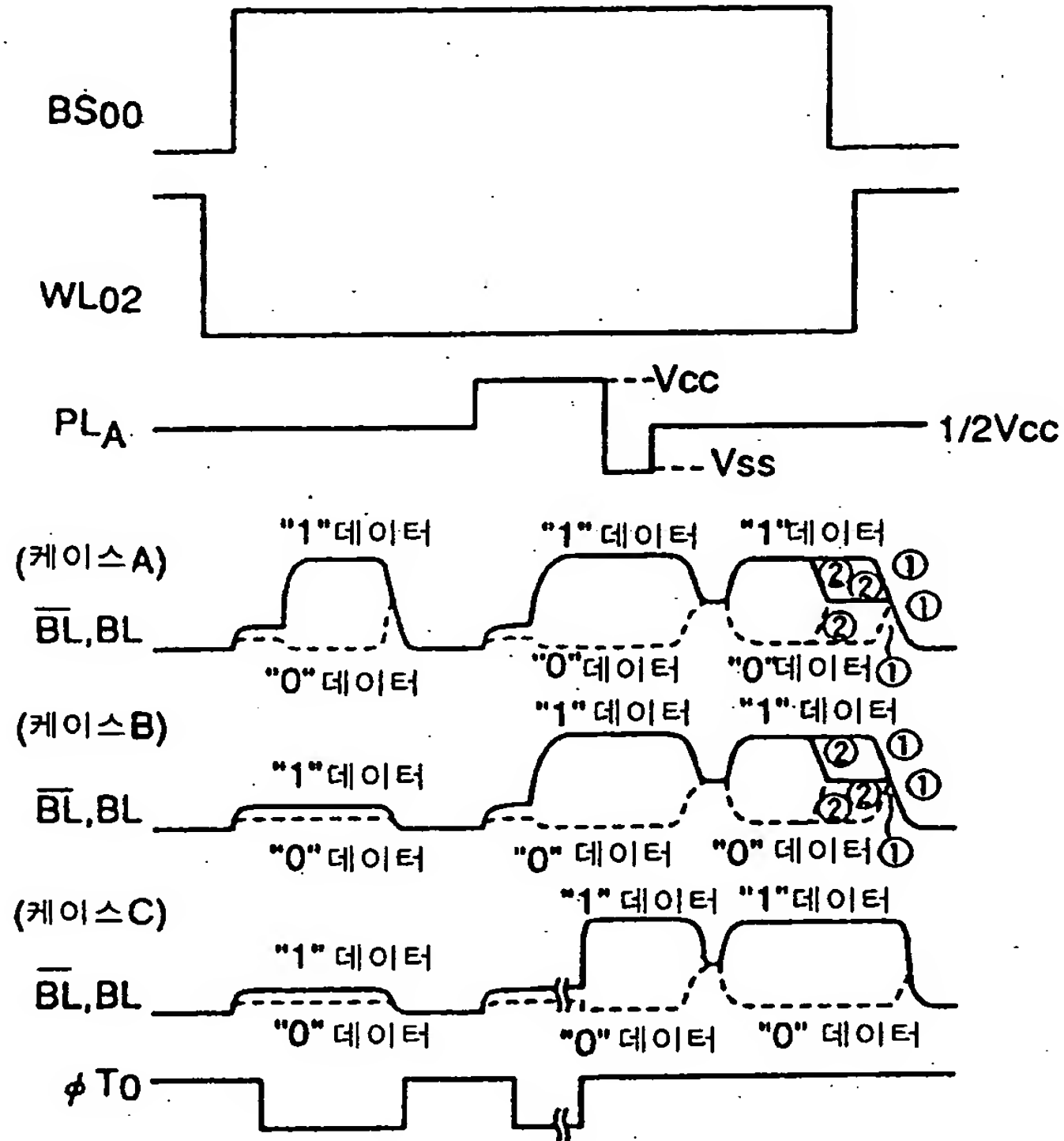


도면 120



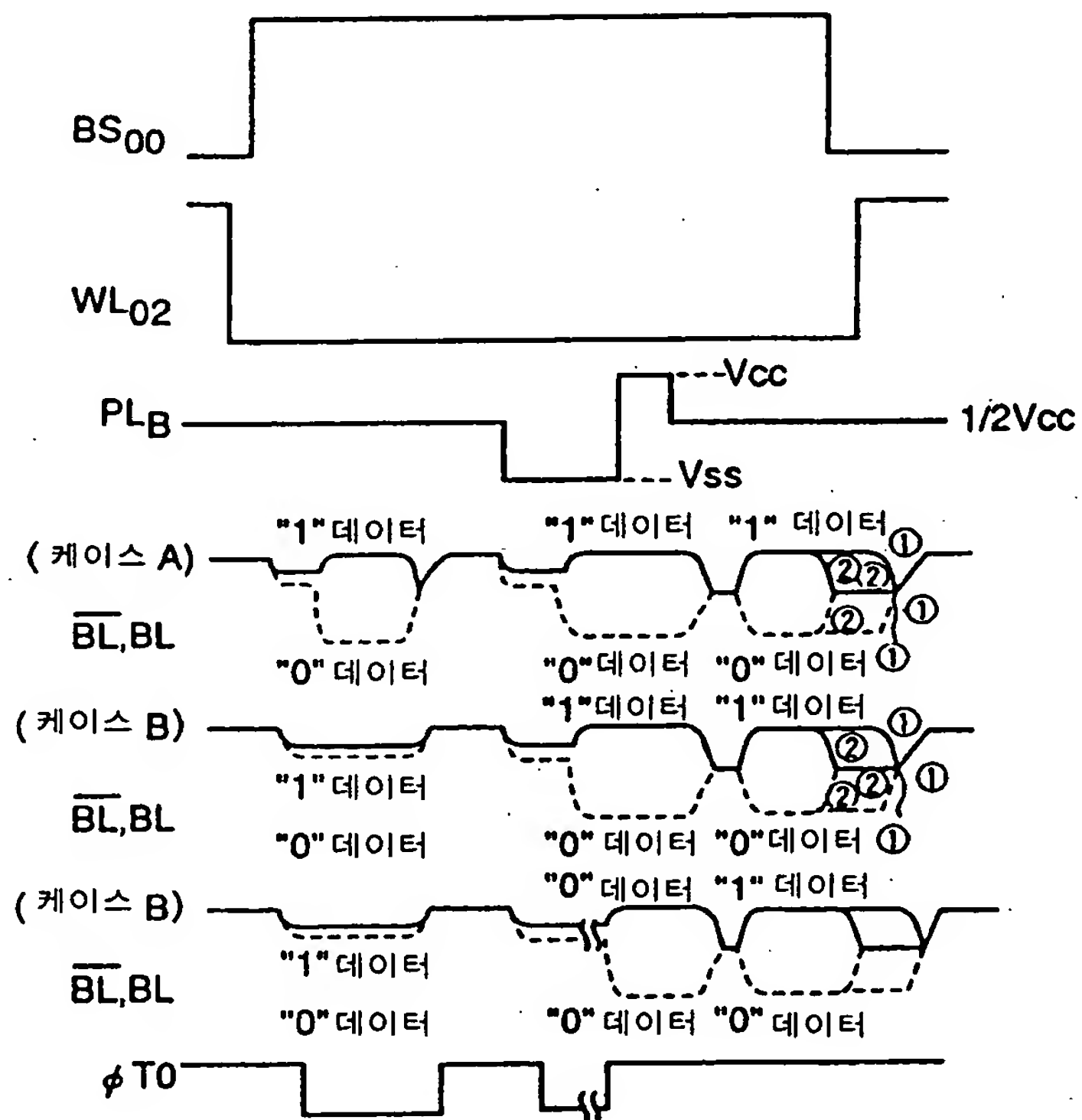


도면 122a



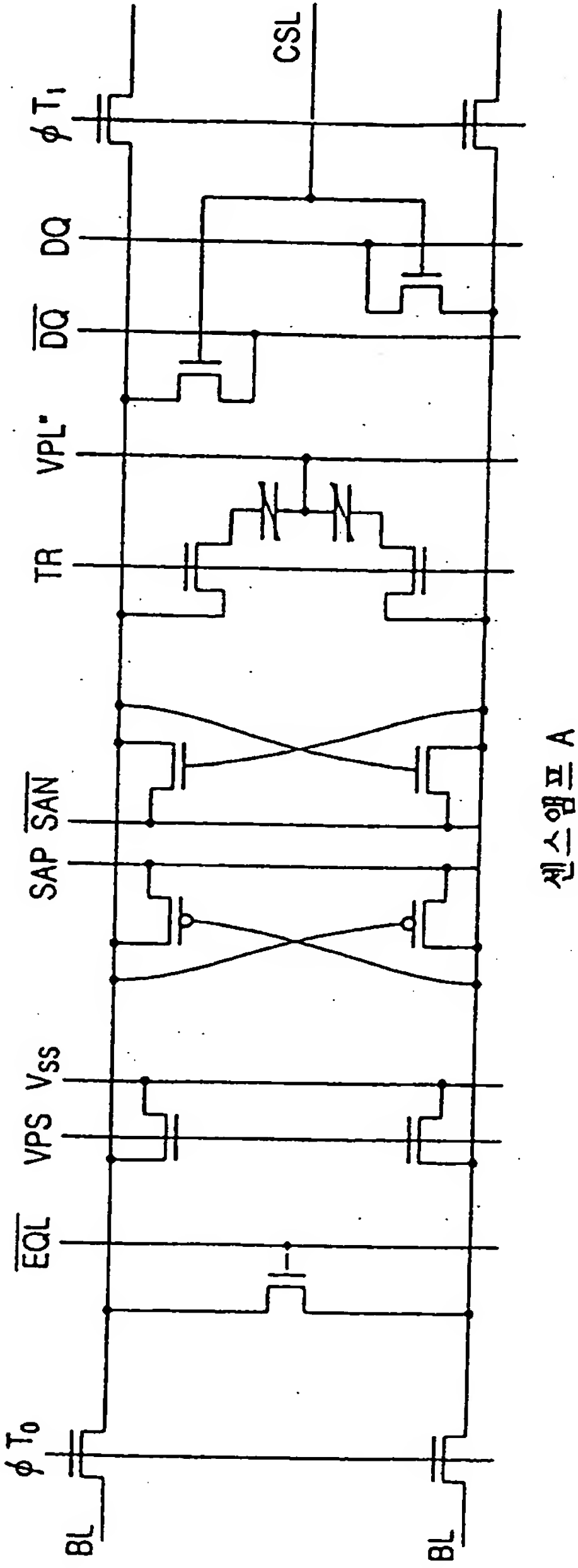
서브어레이 A

도면 122b

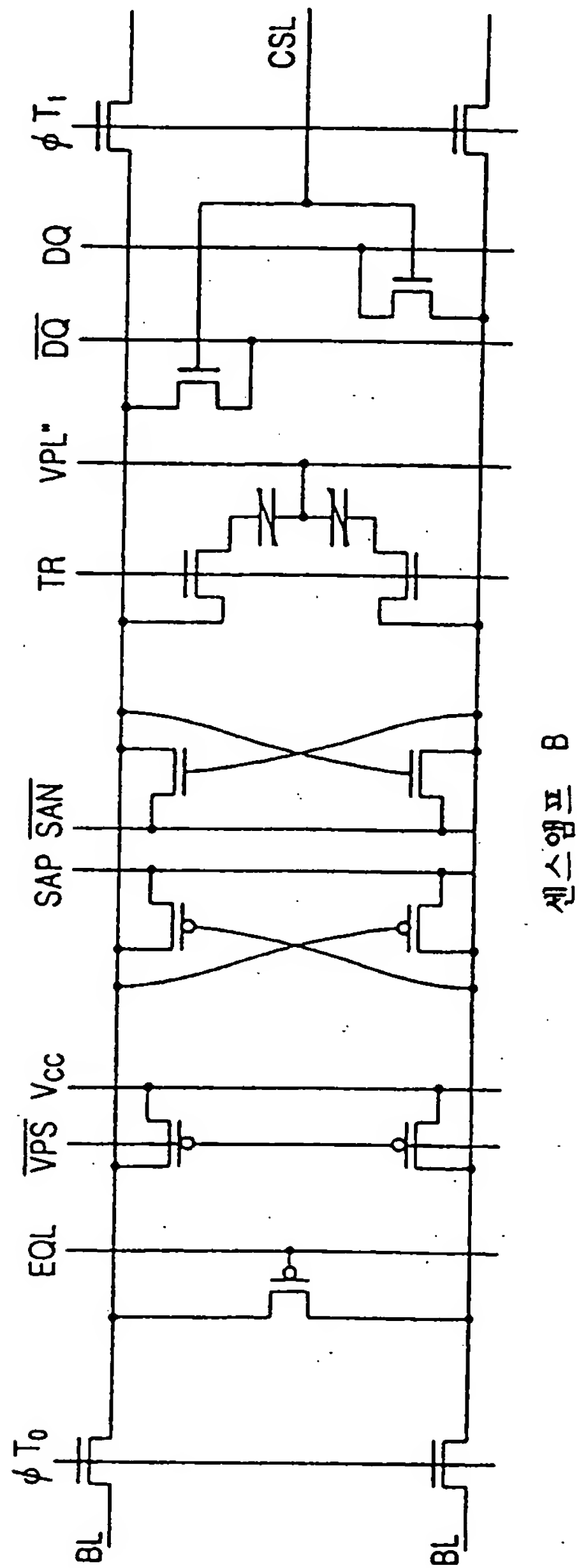


서브어레이 B

도면 123a

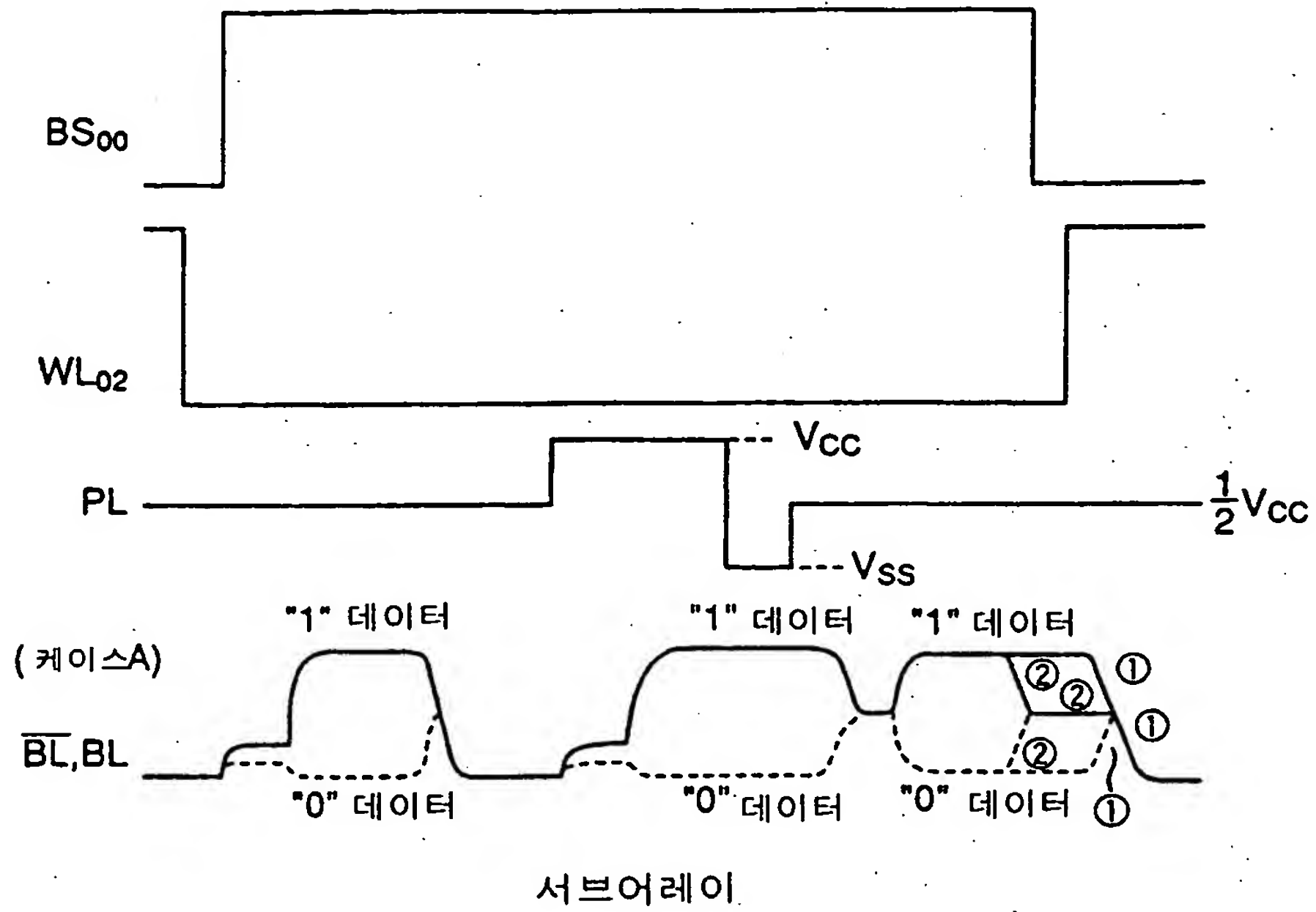


도면 123b

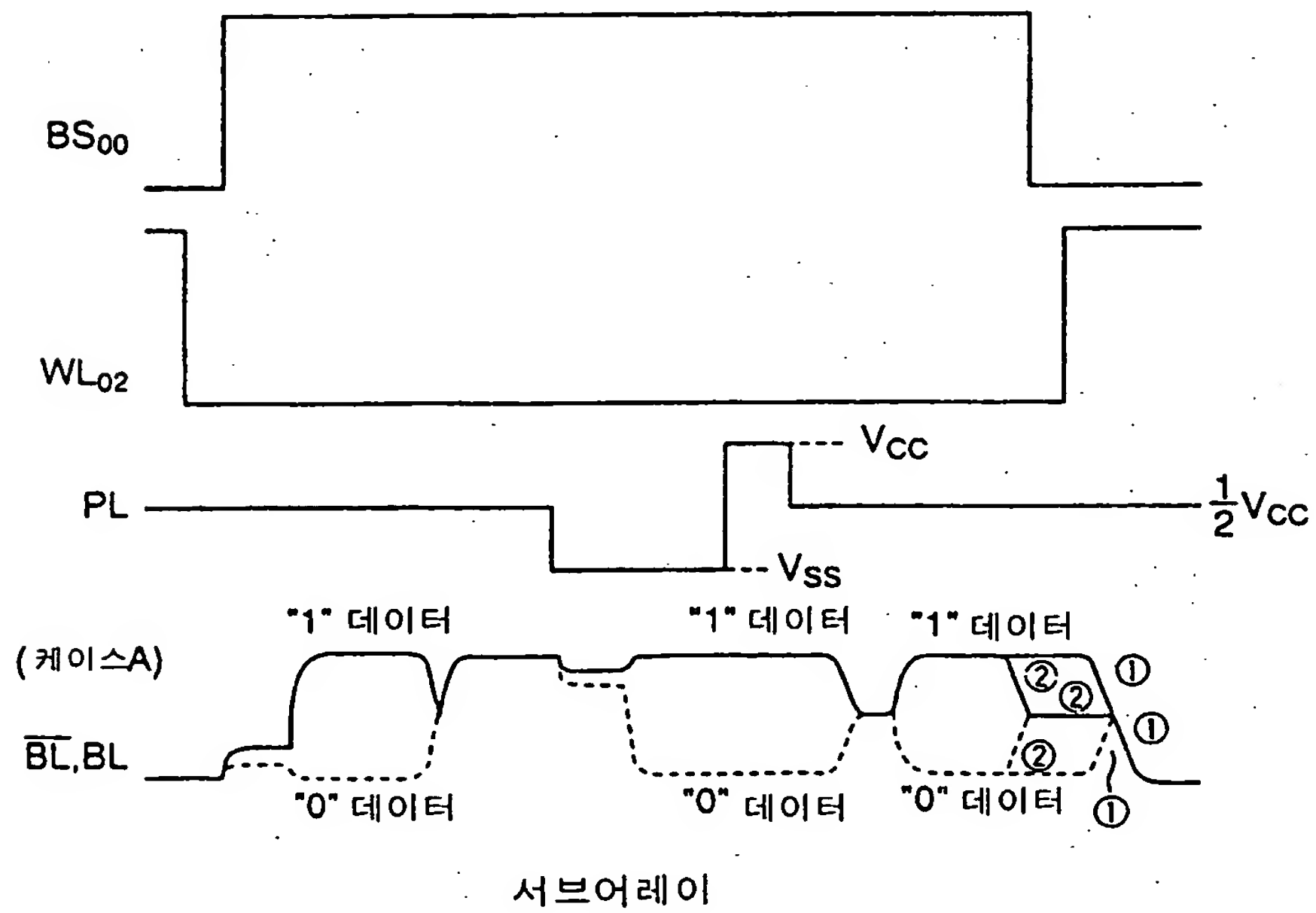


센스앰프 B

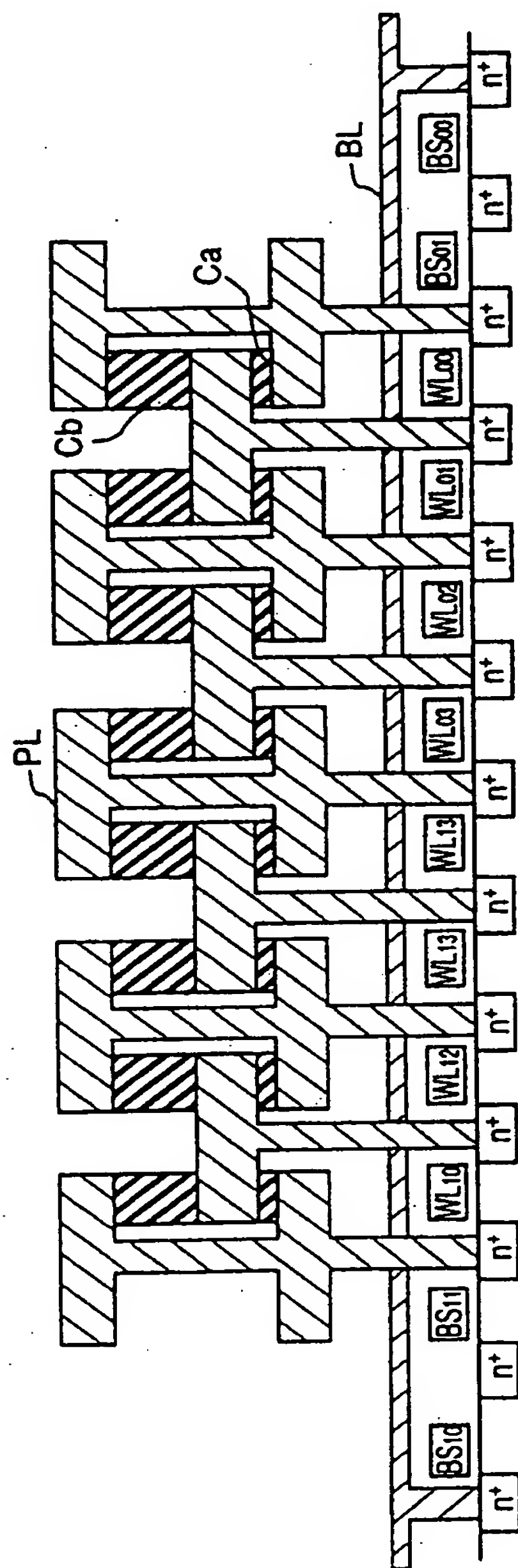
도면 124a



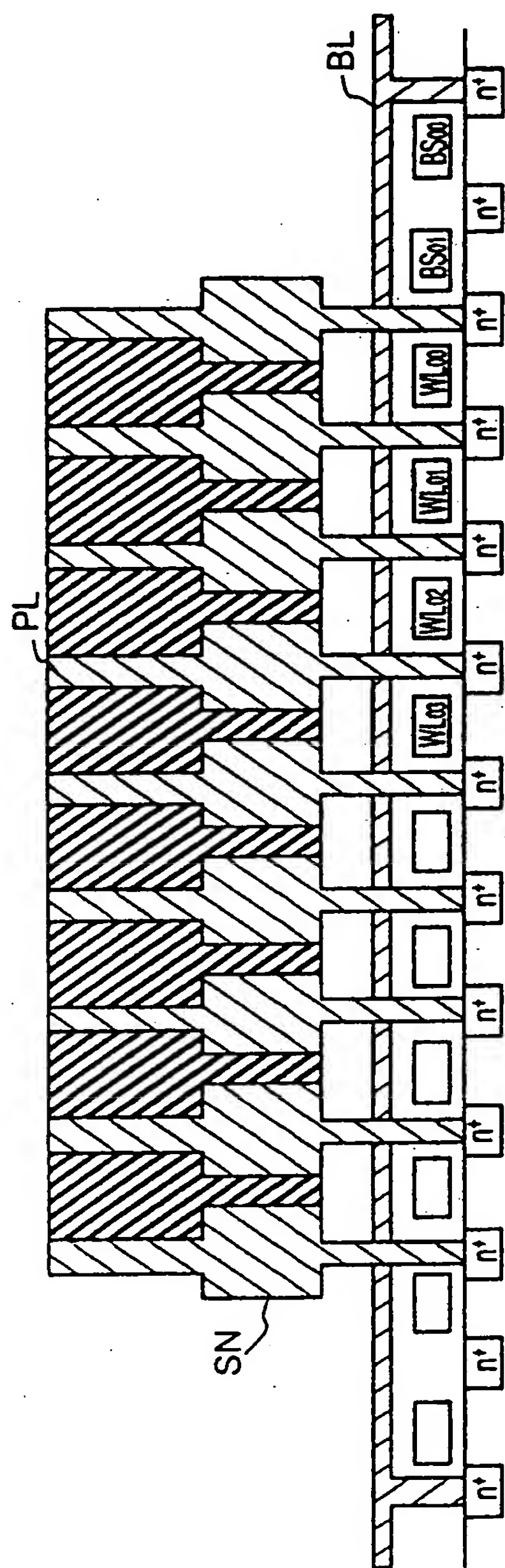
도면 124b



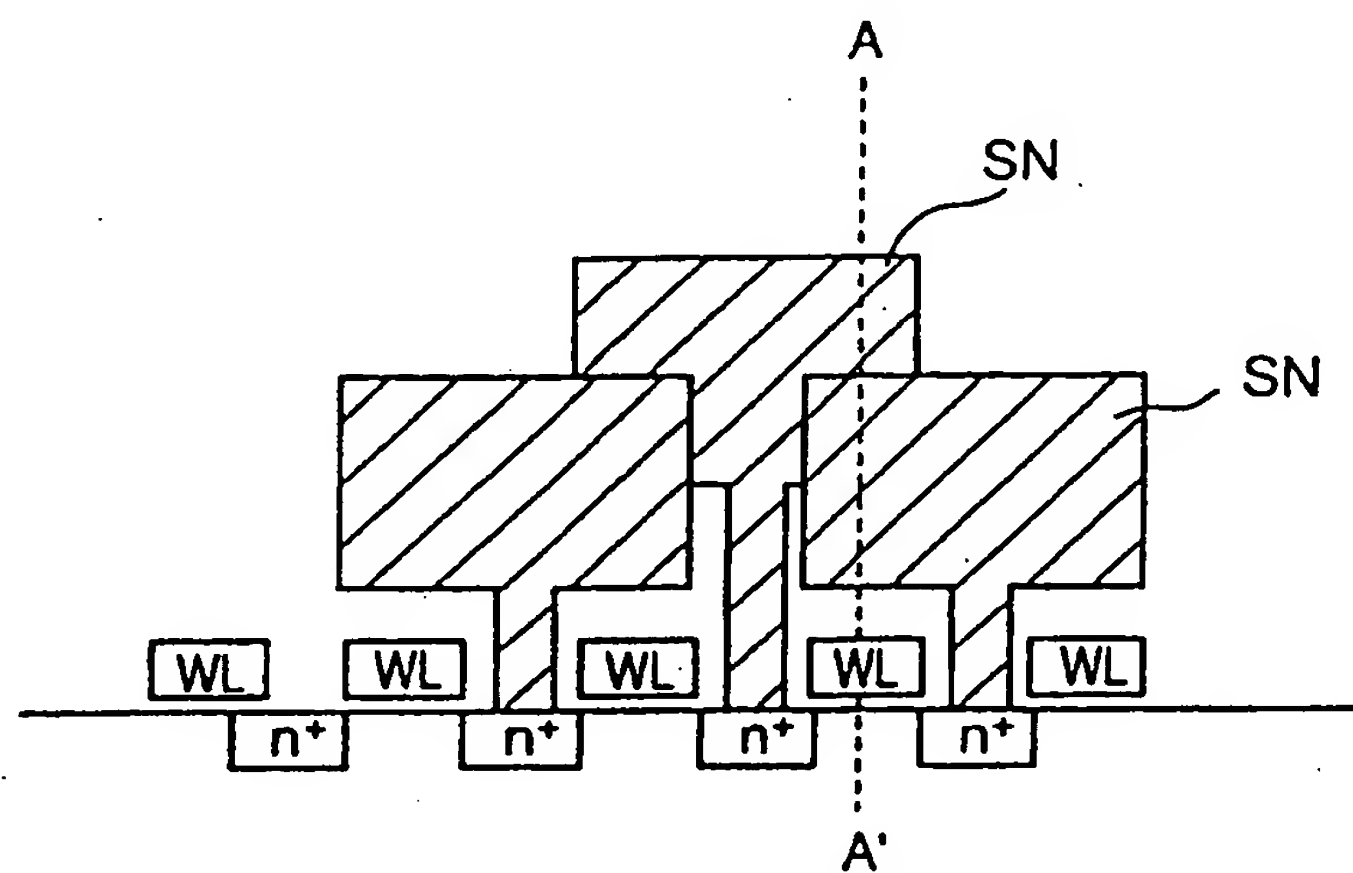
도면 125



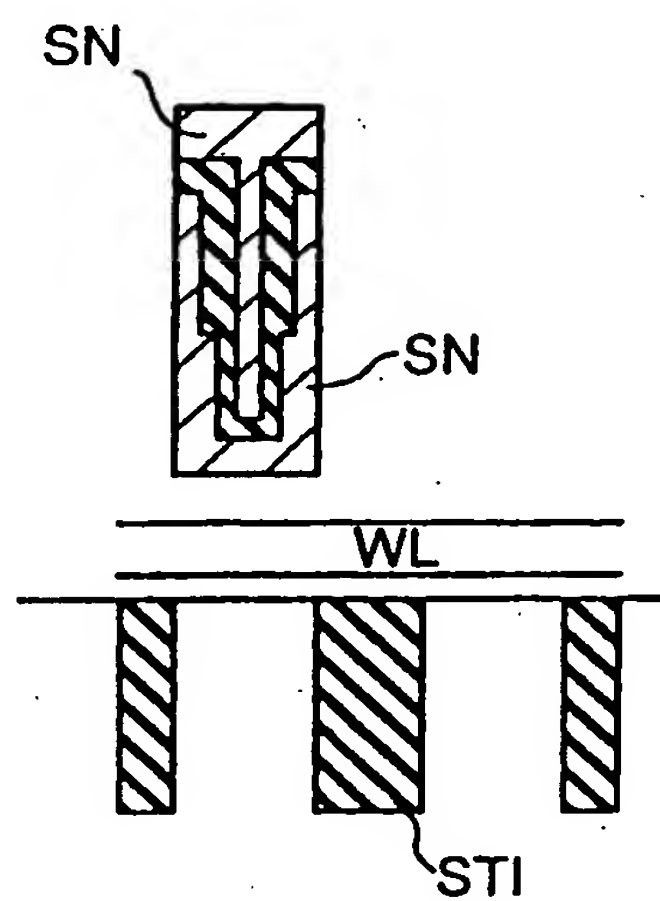
도면 126



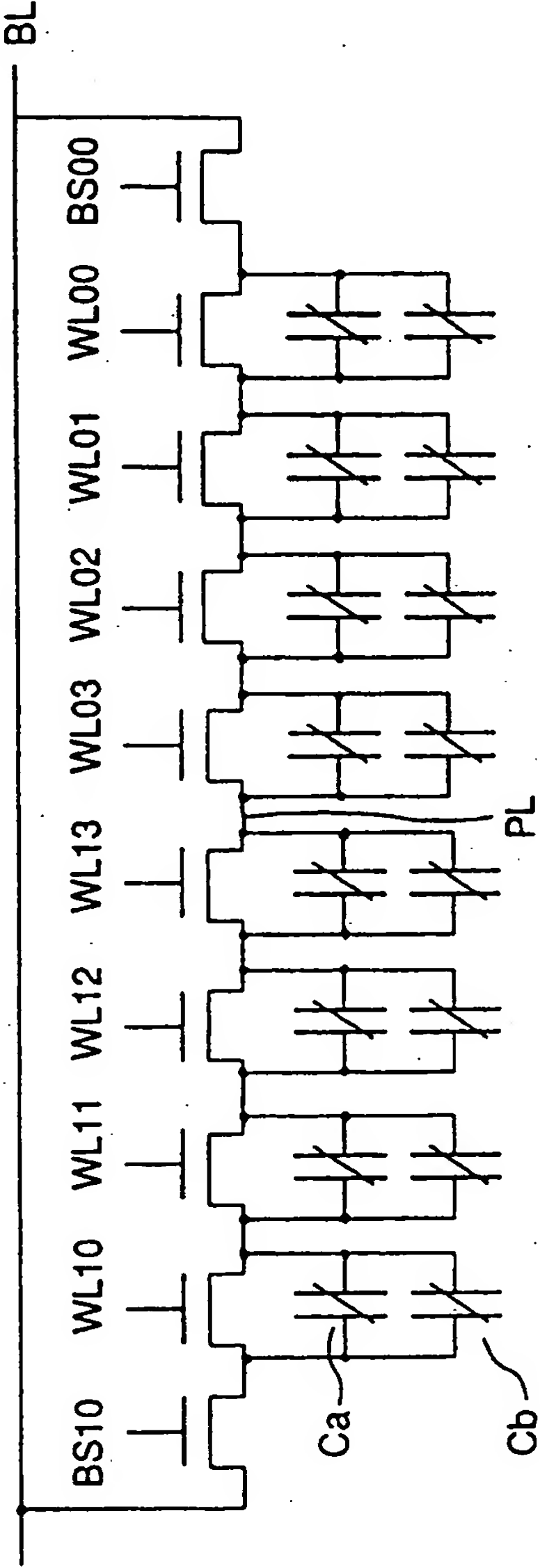
도면 127a

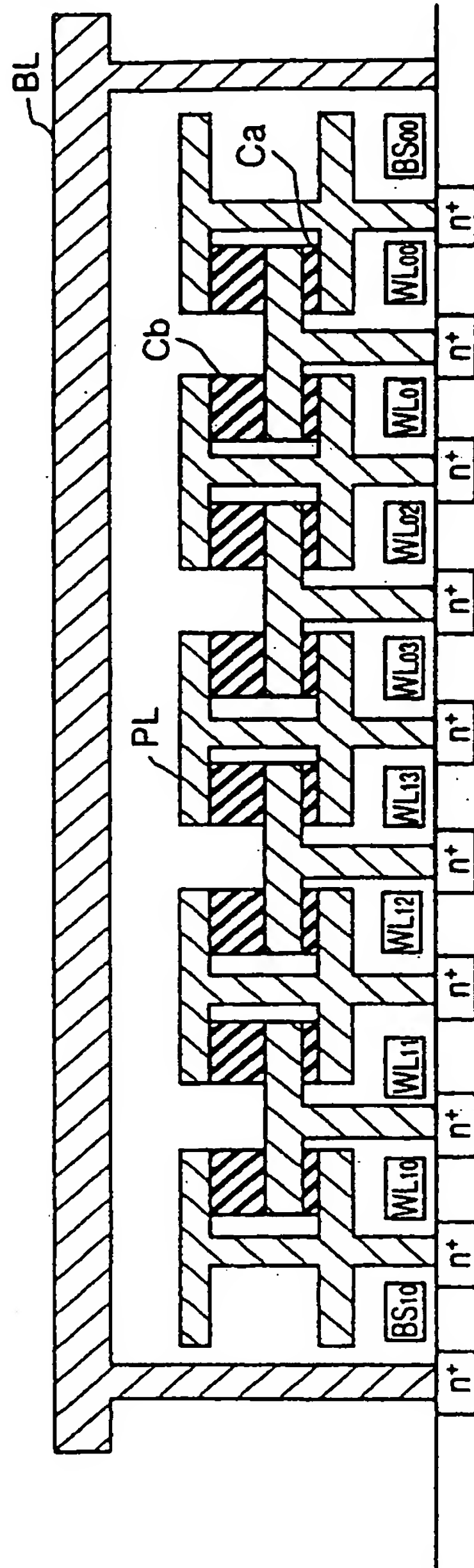


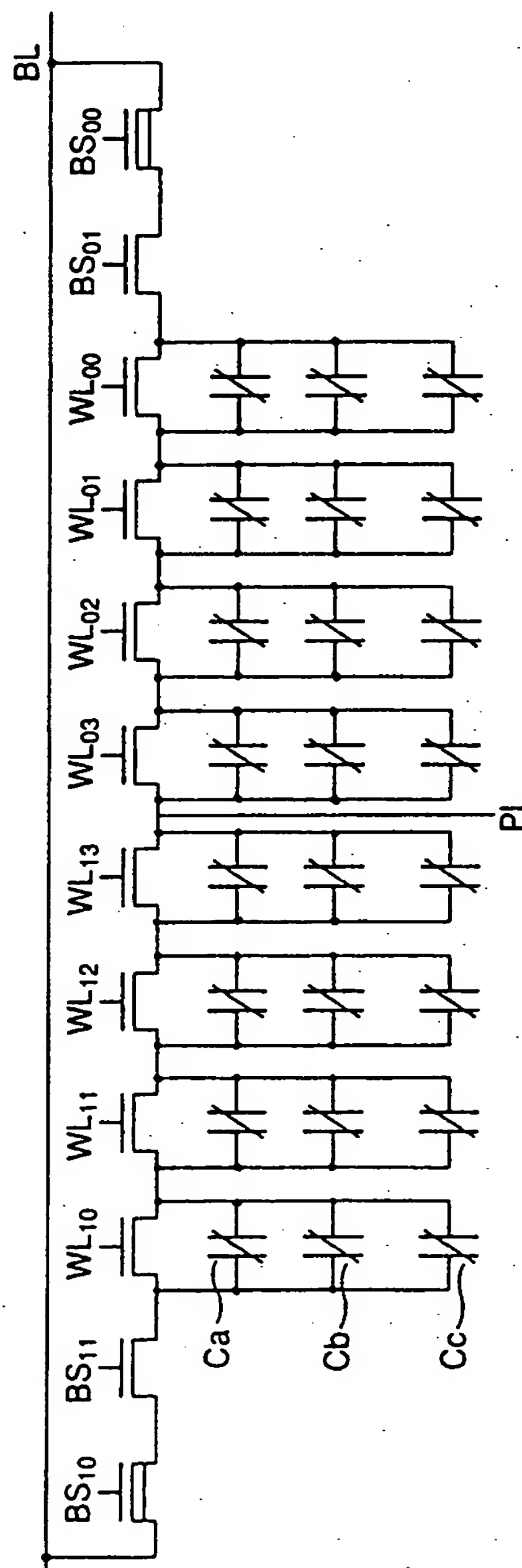
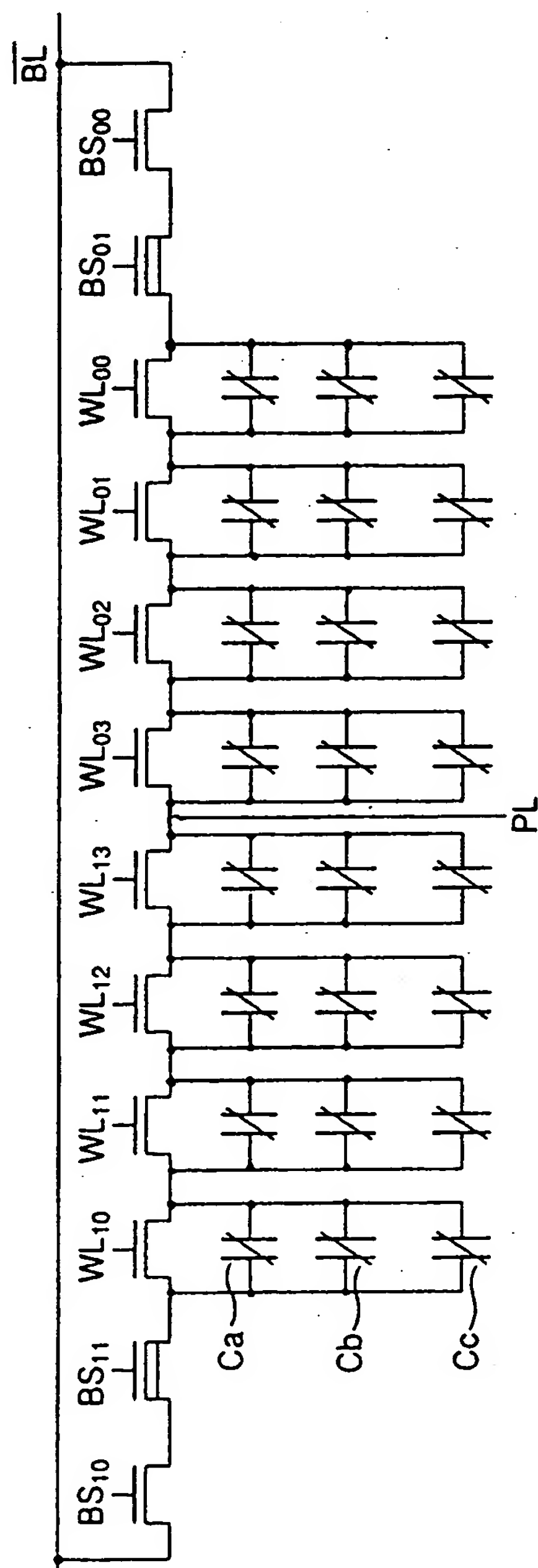
도면 127b



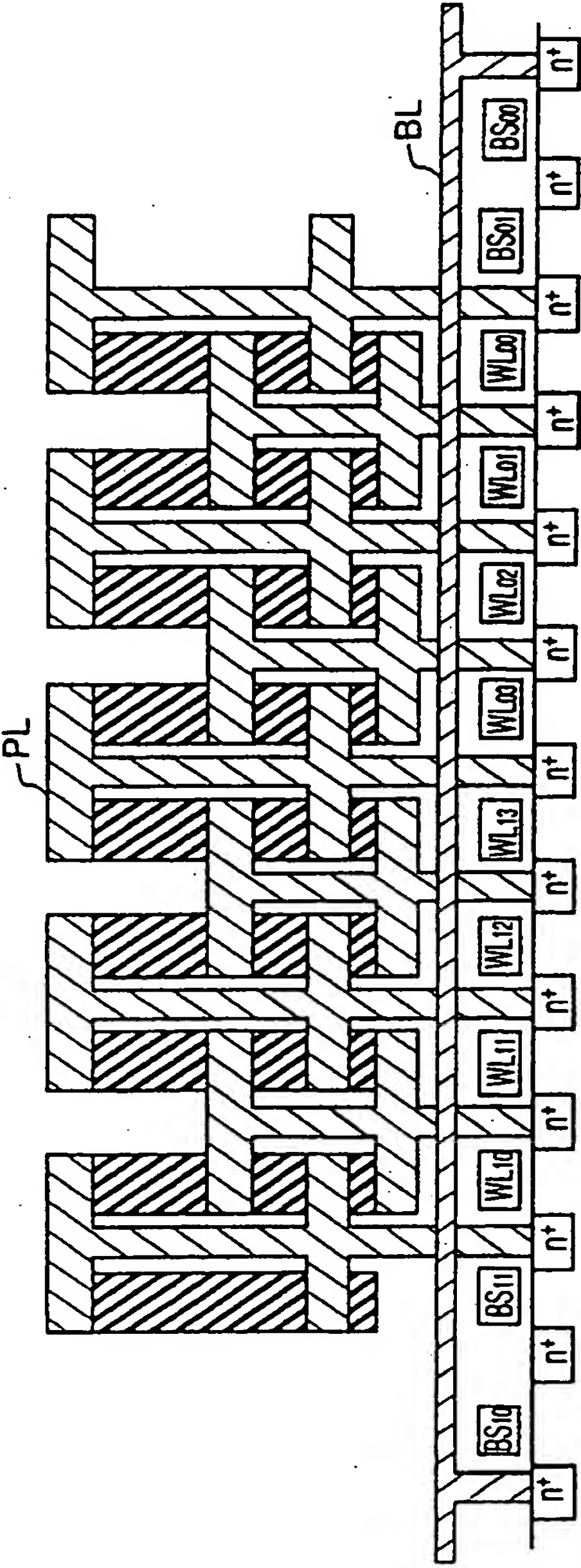
도면 128a

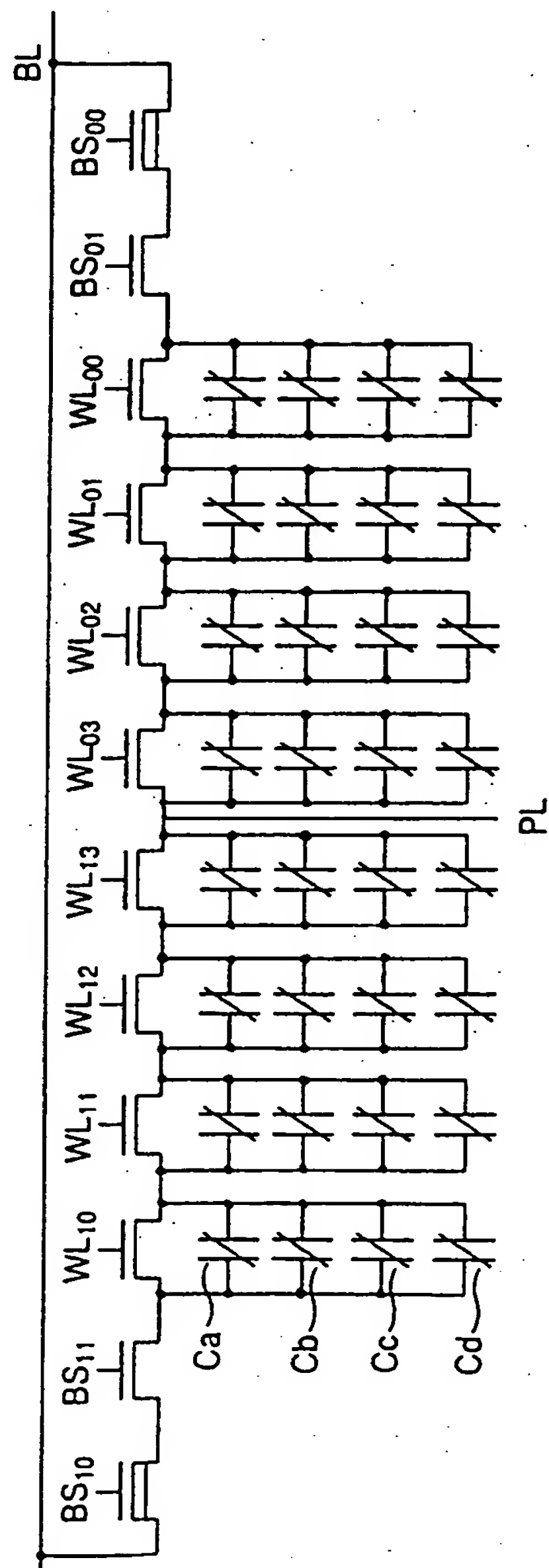
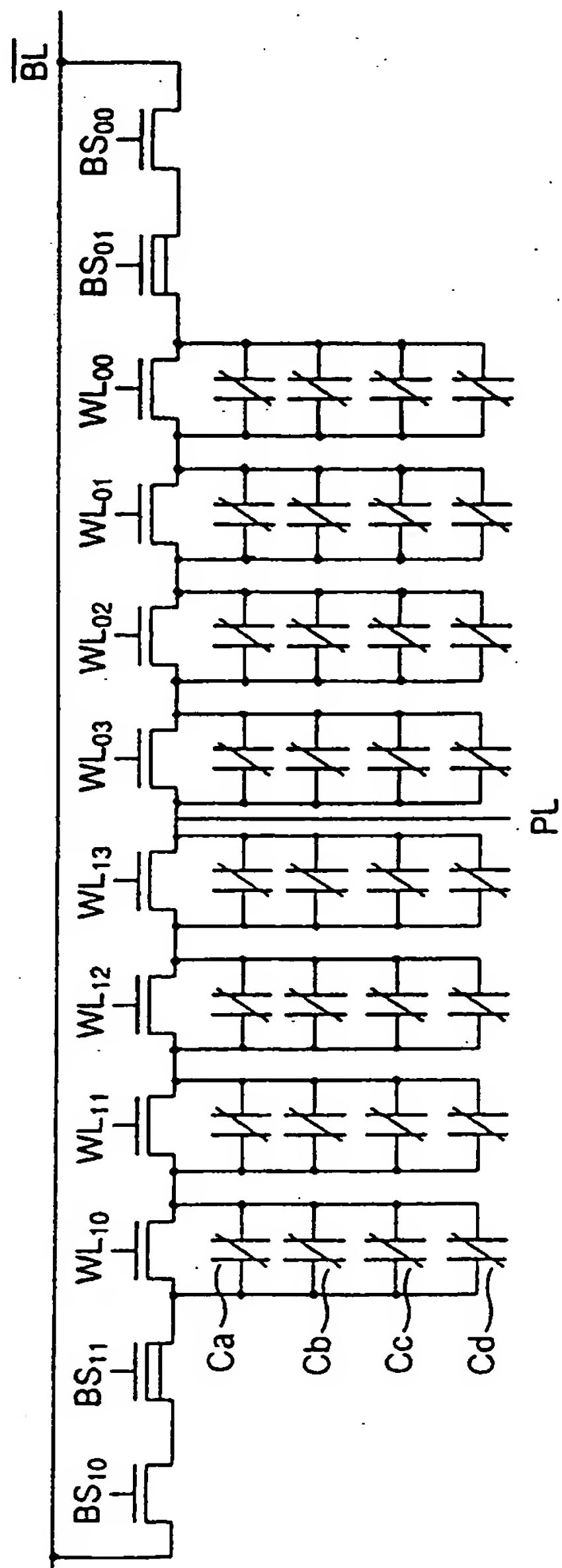




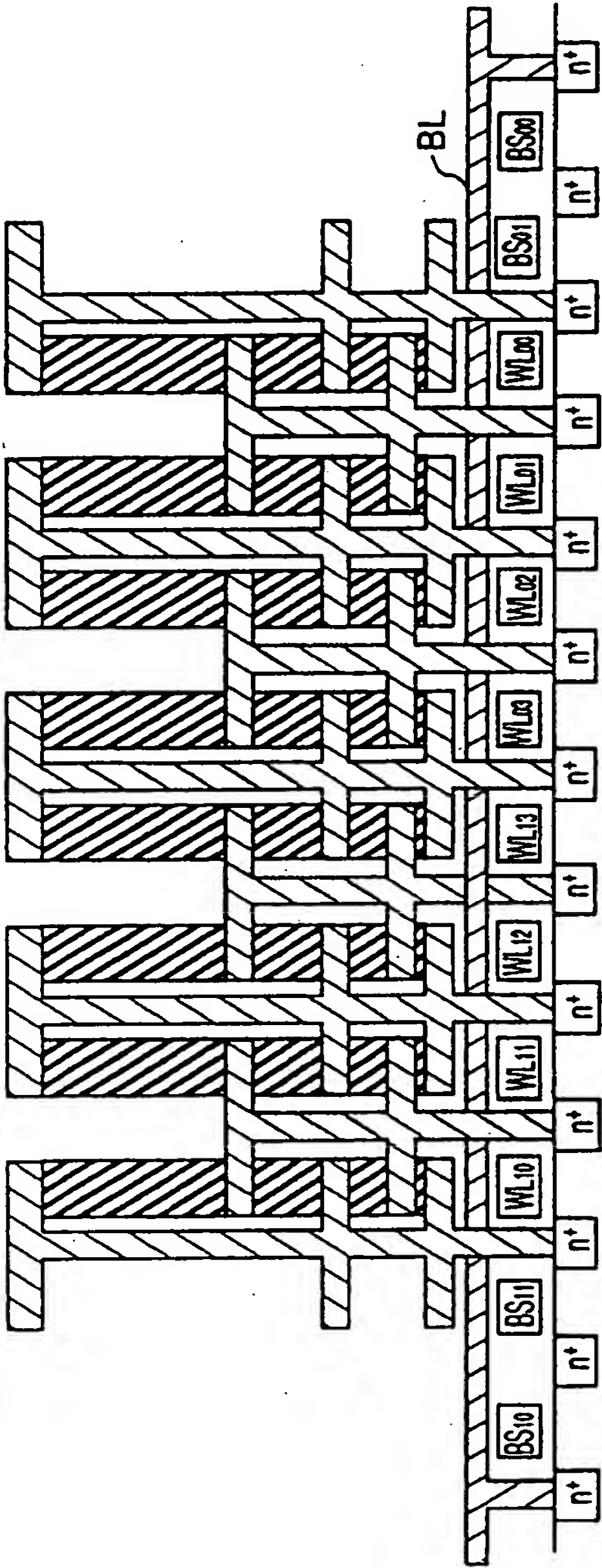


도면 130

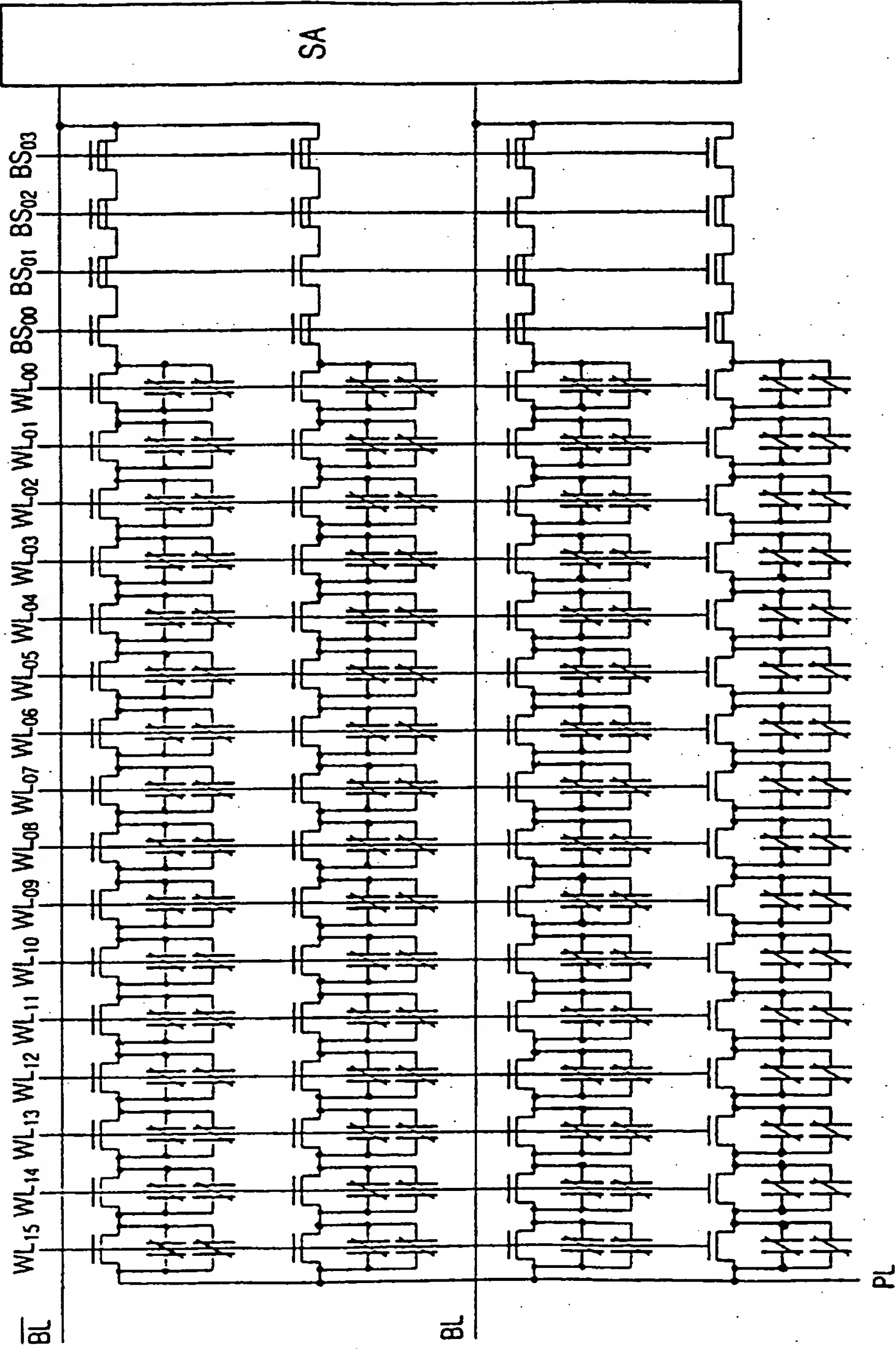


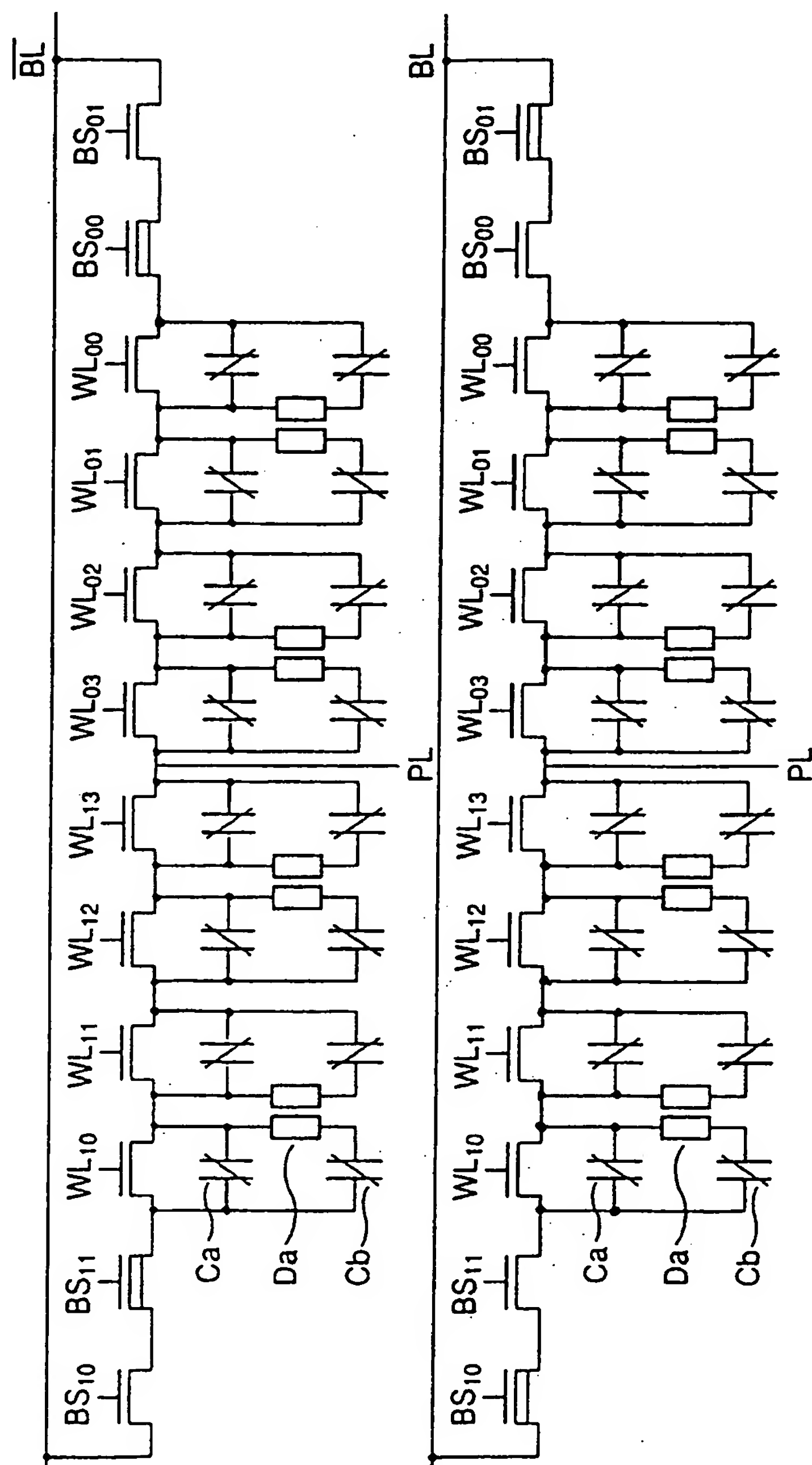


도면 132

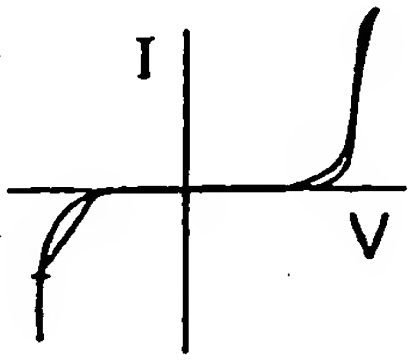


도면 133

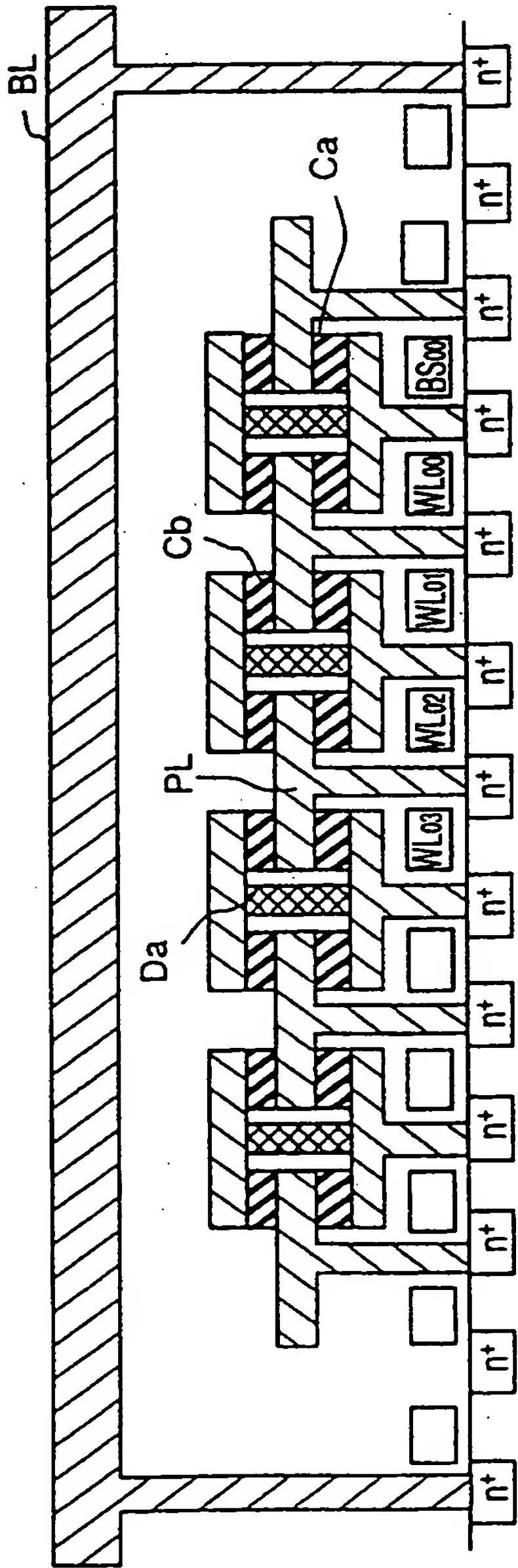




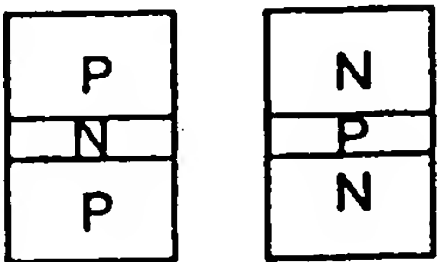
도면 134b



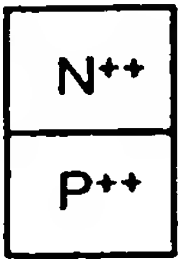
도면 135a



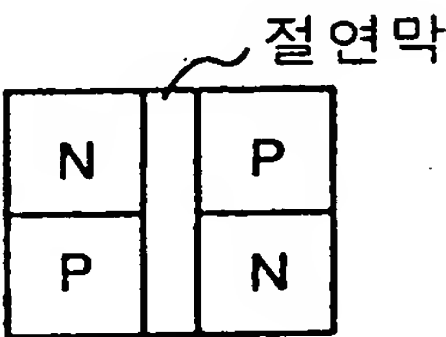
도면 135b



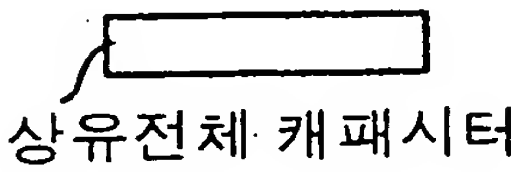
도면 135c

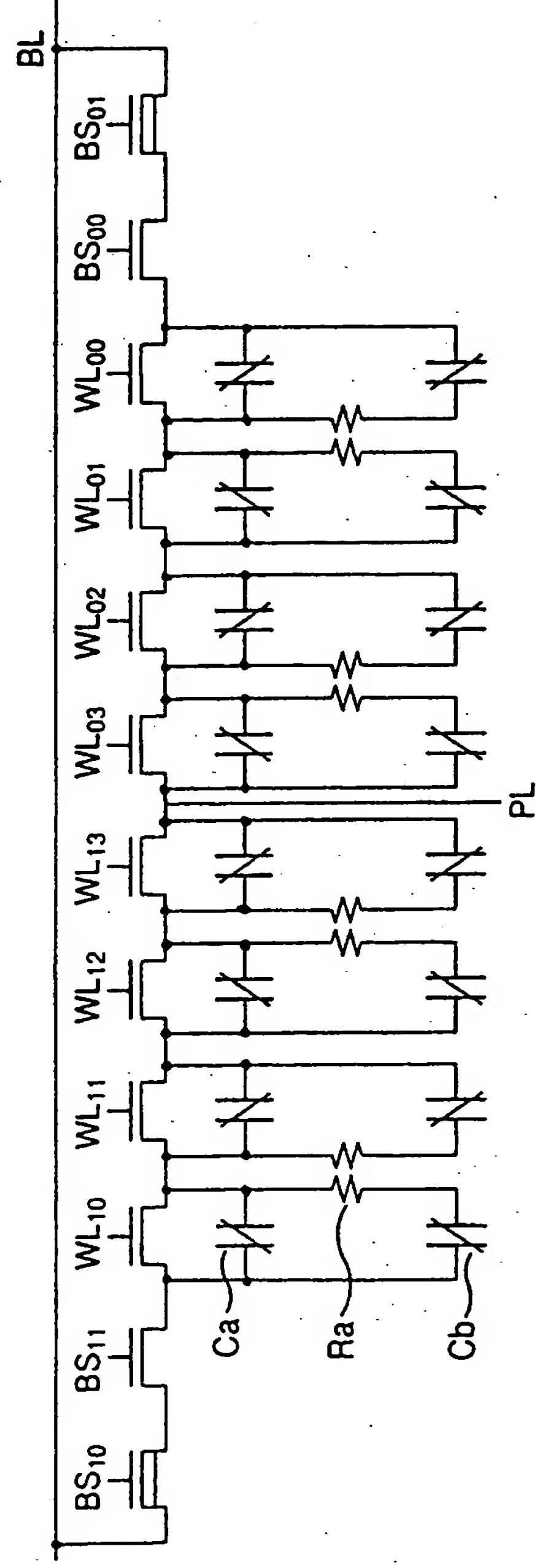
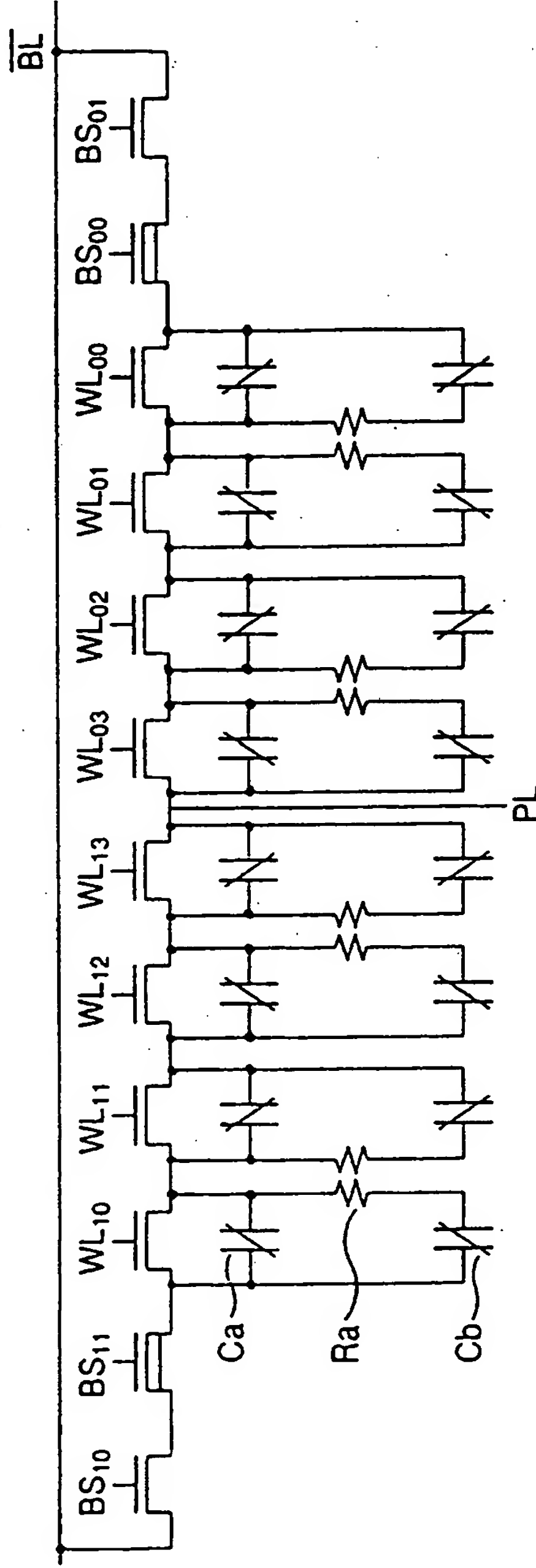


도면 135d

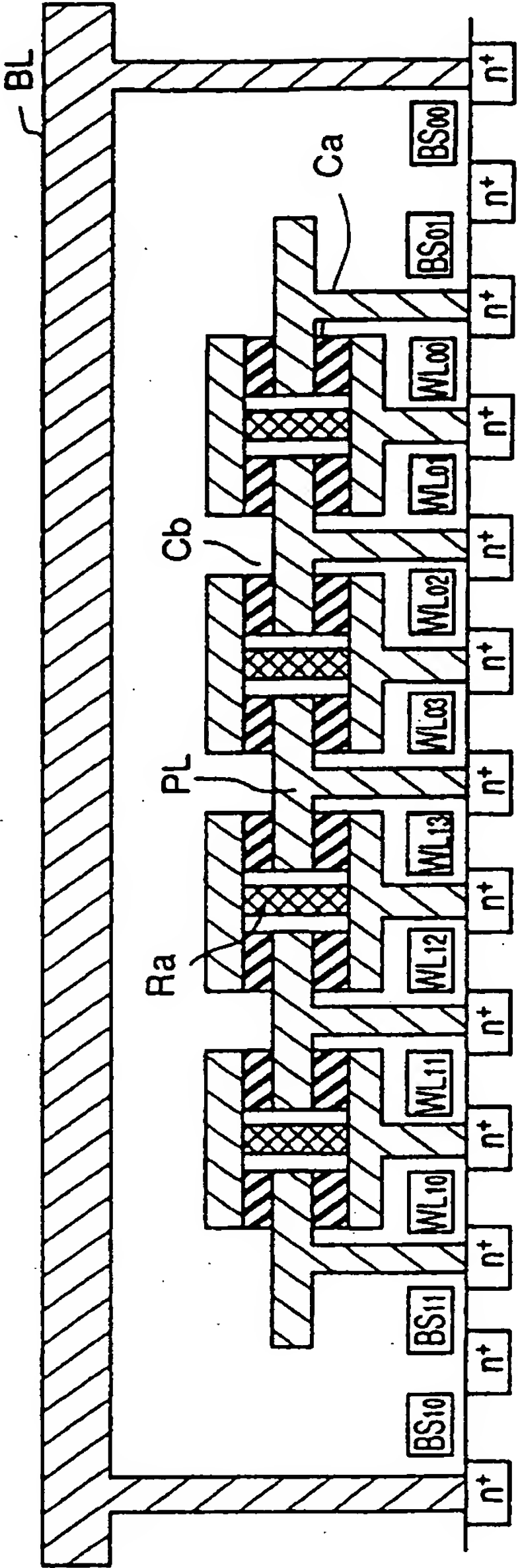


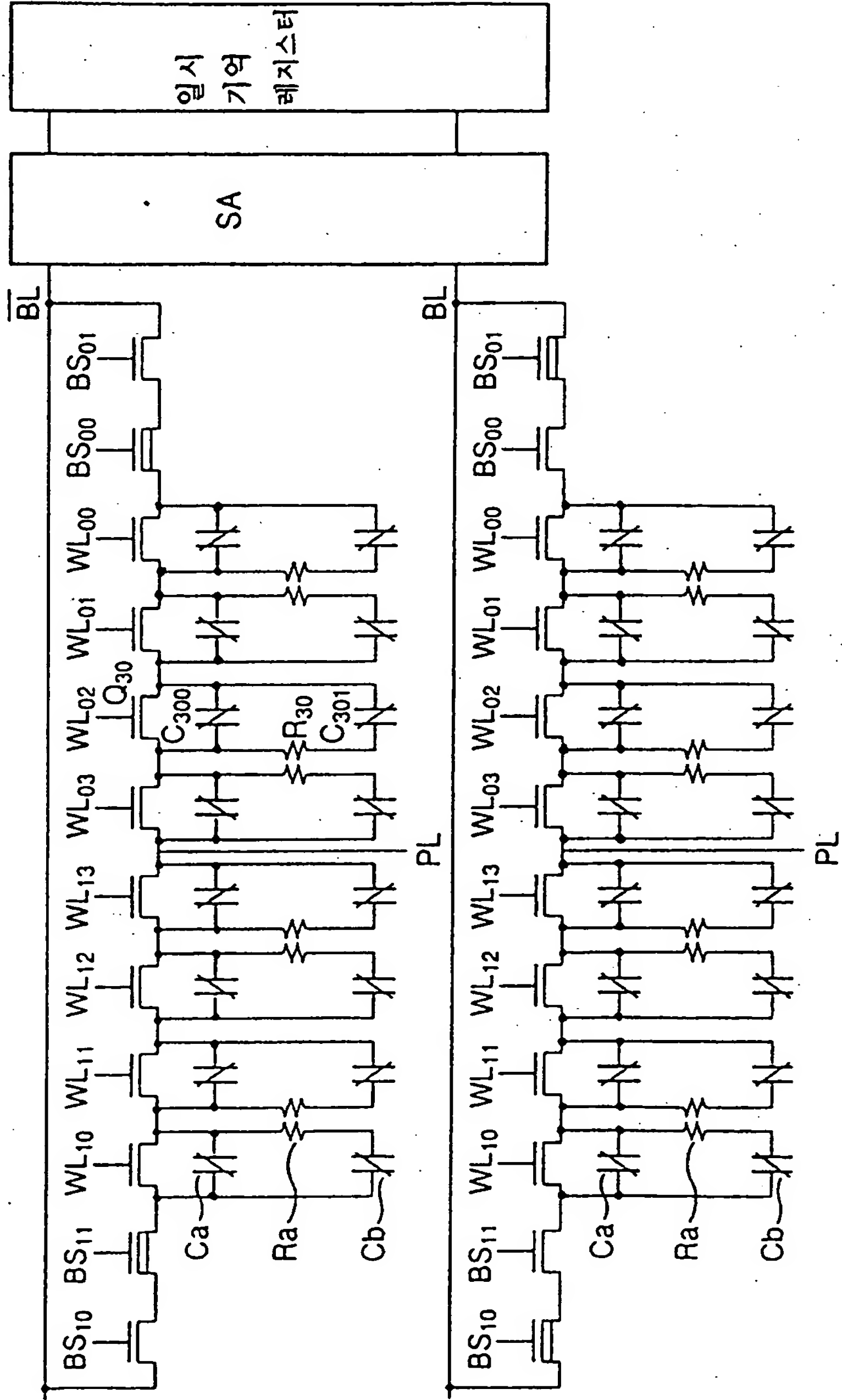
도면 135e



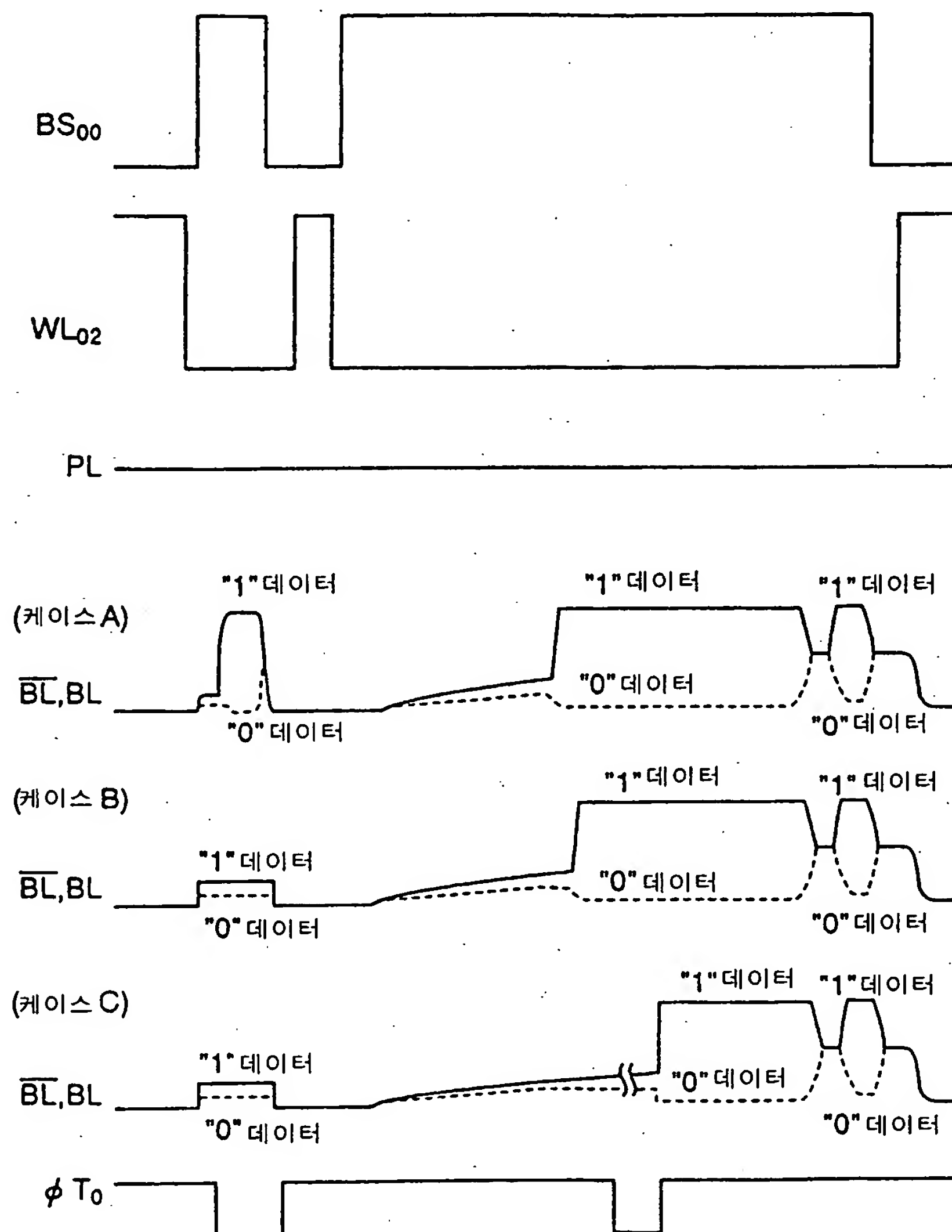


도면 137

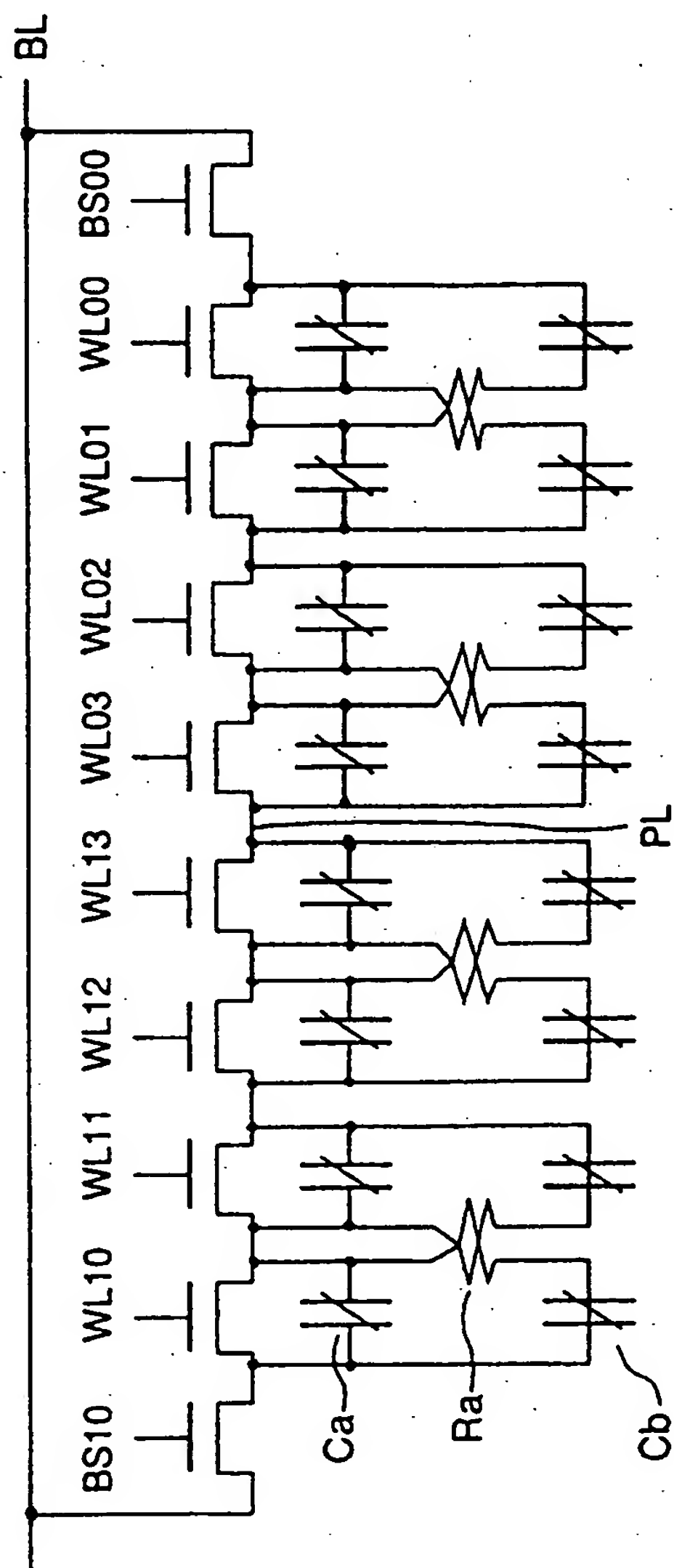




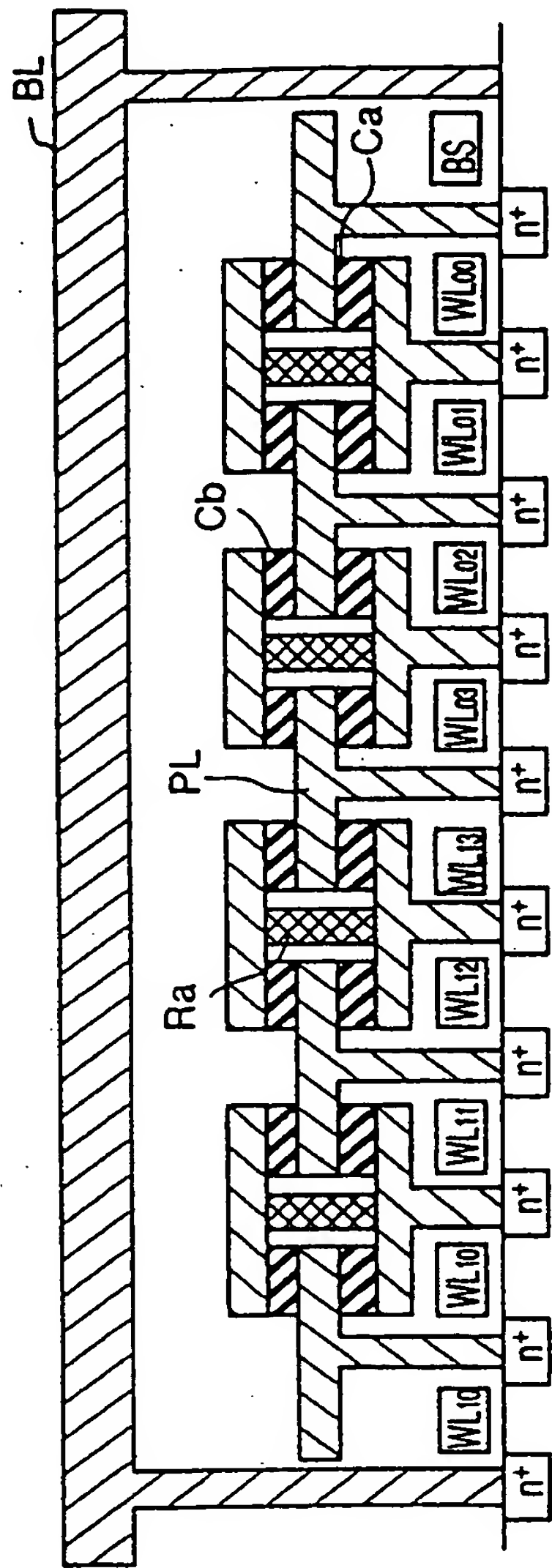
도면 139



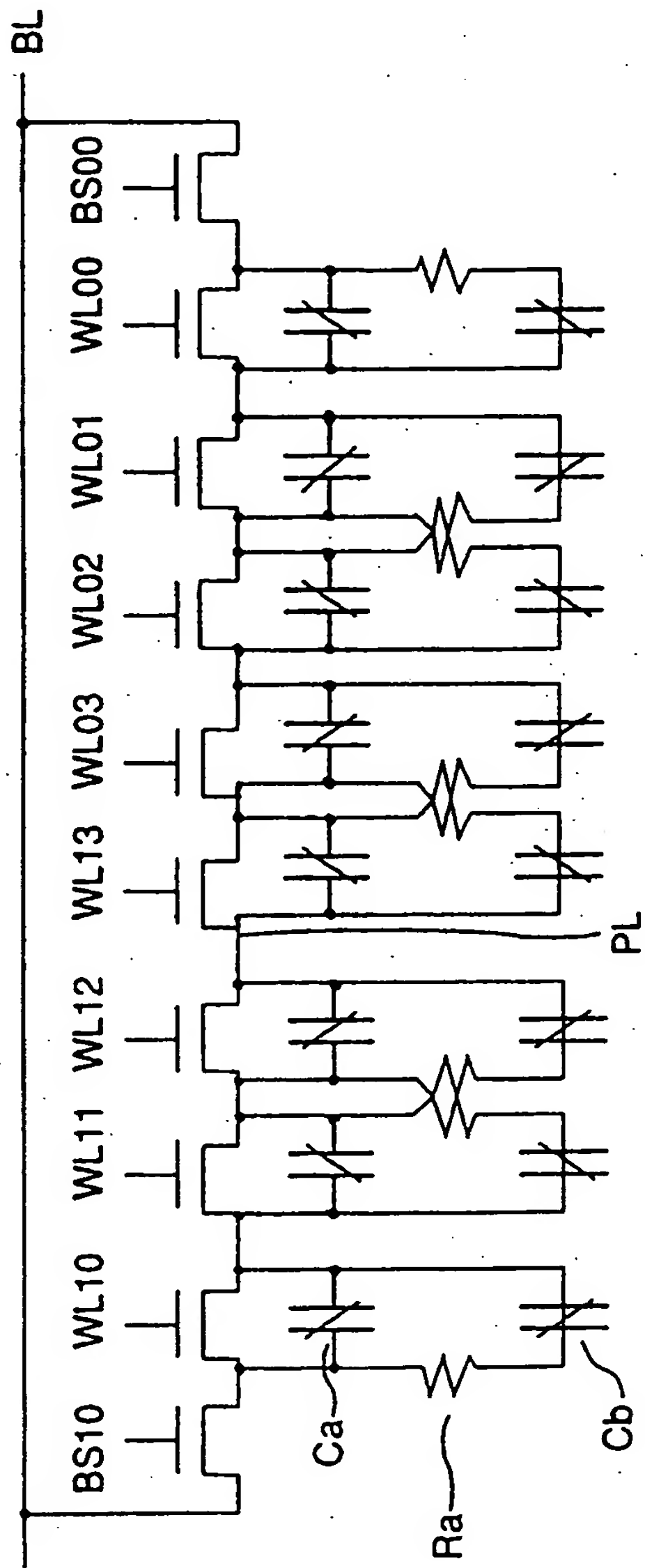
도면 140a



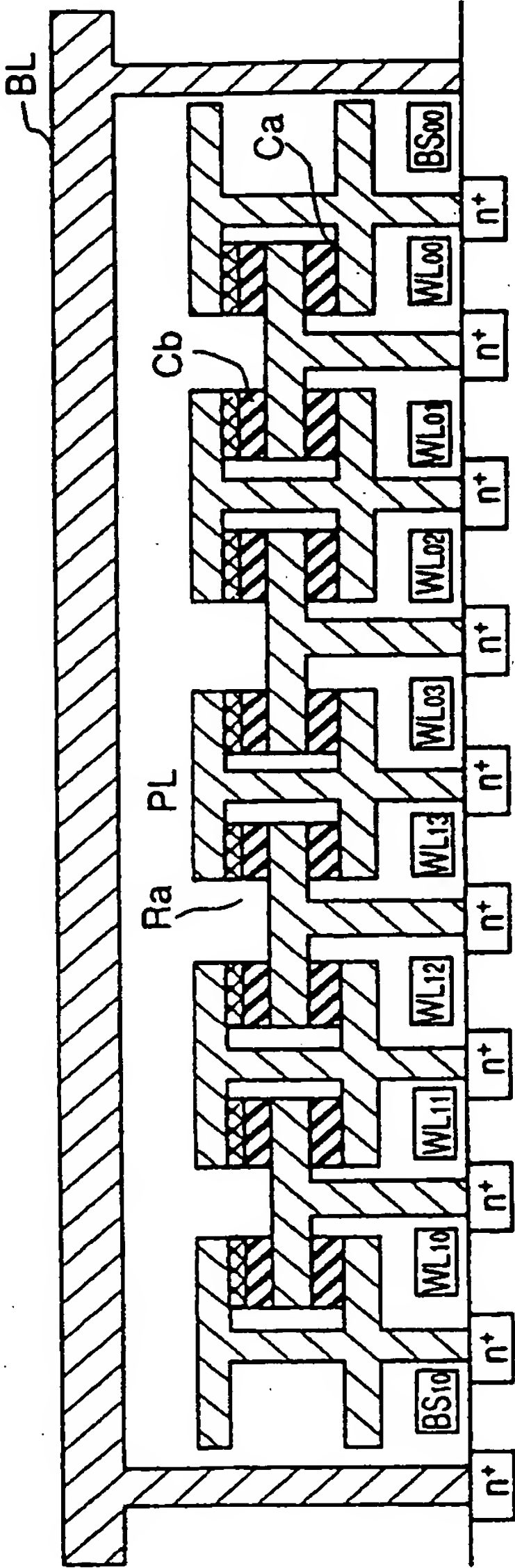
도면 140b



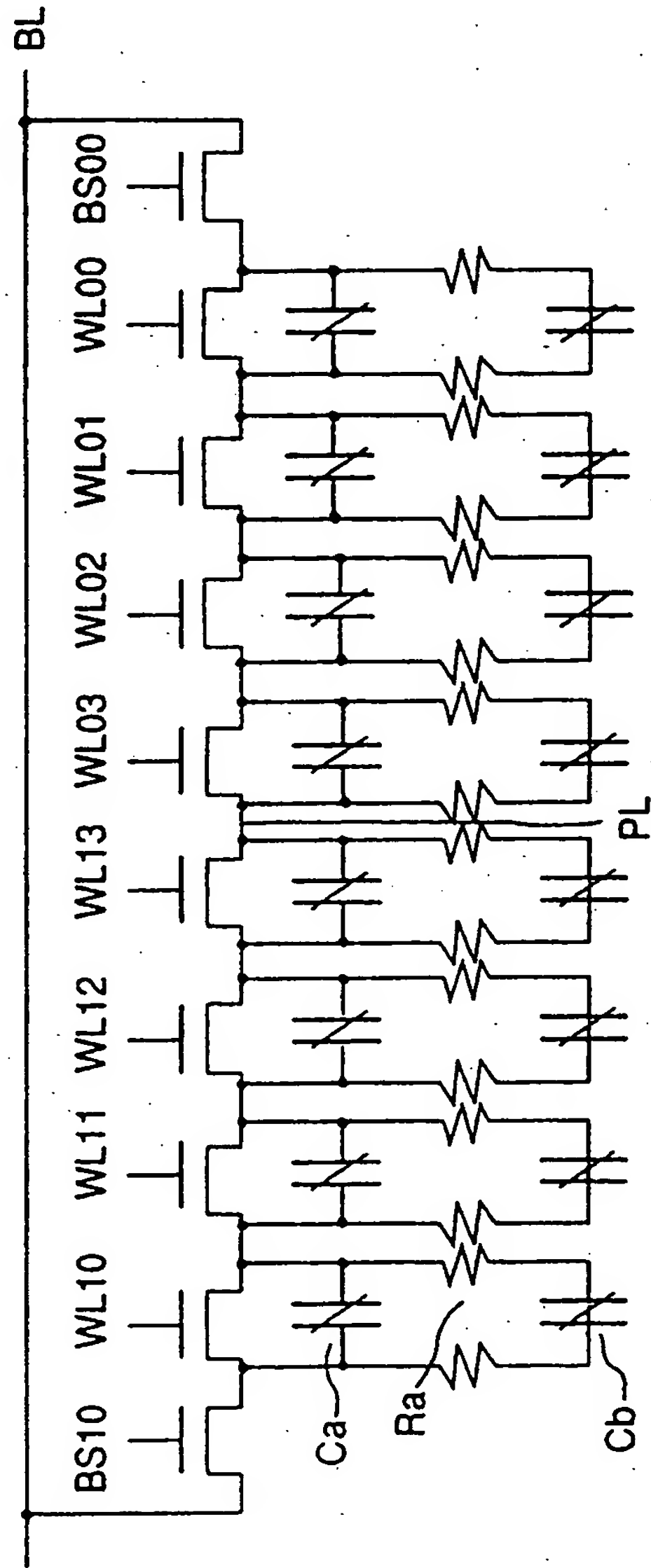
도면 141a



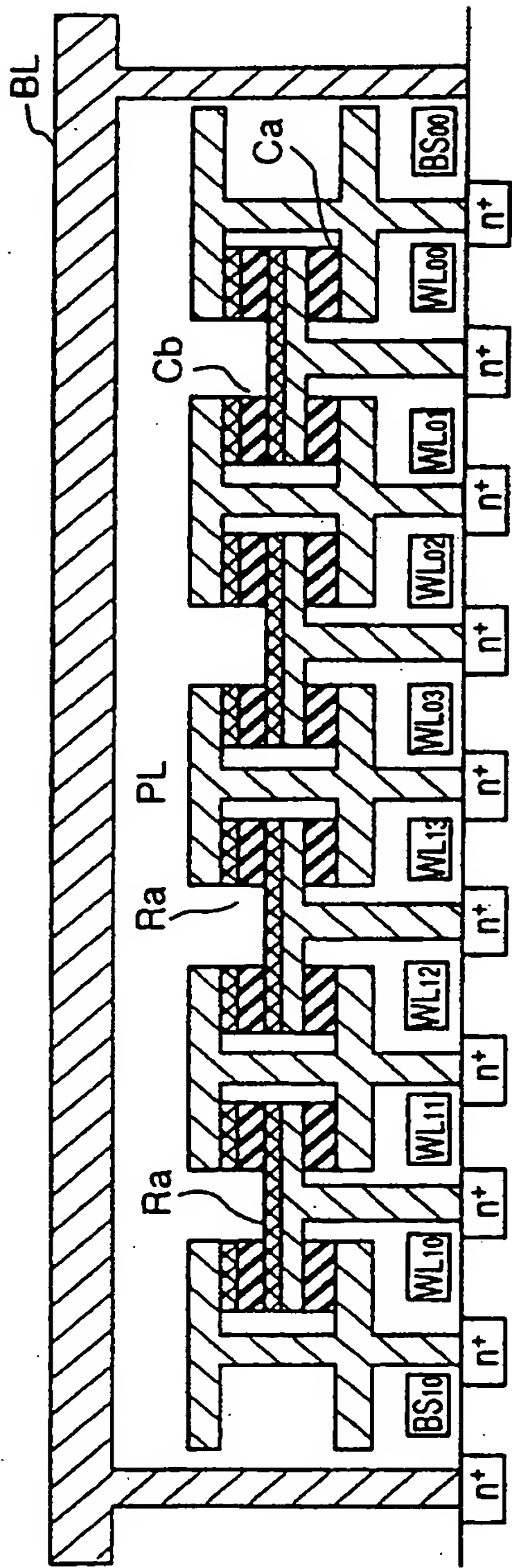
도면 141b



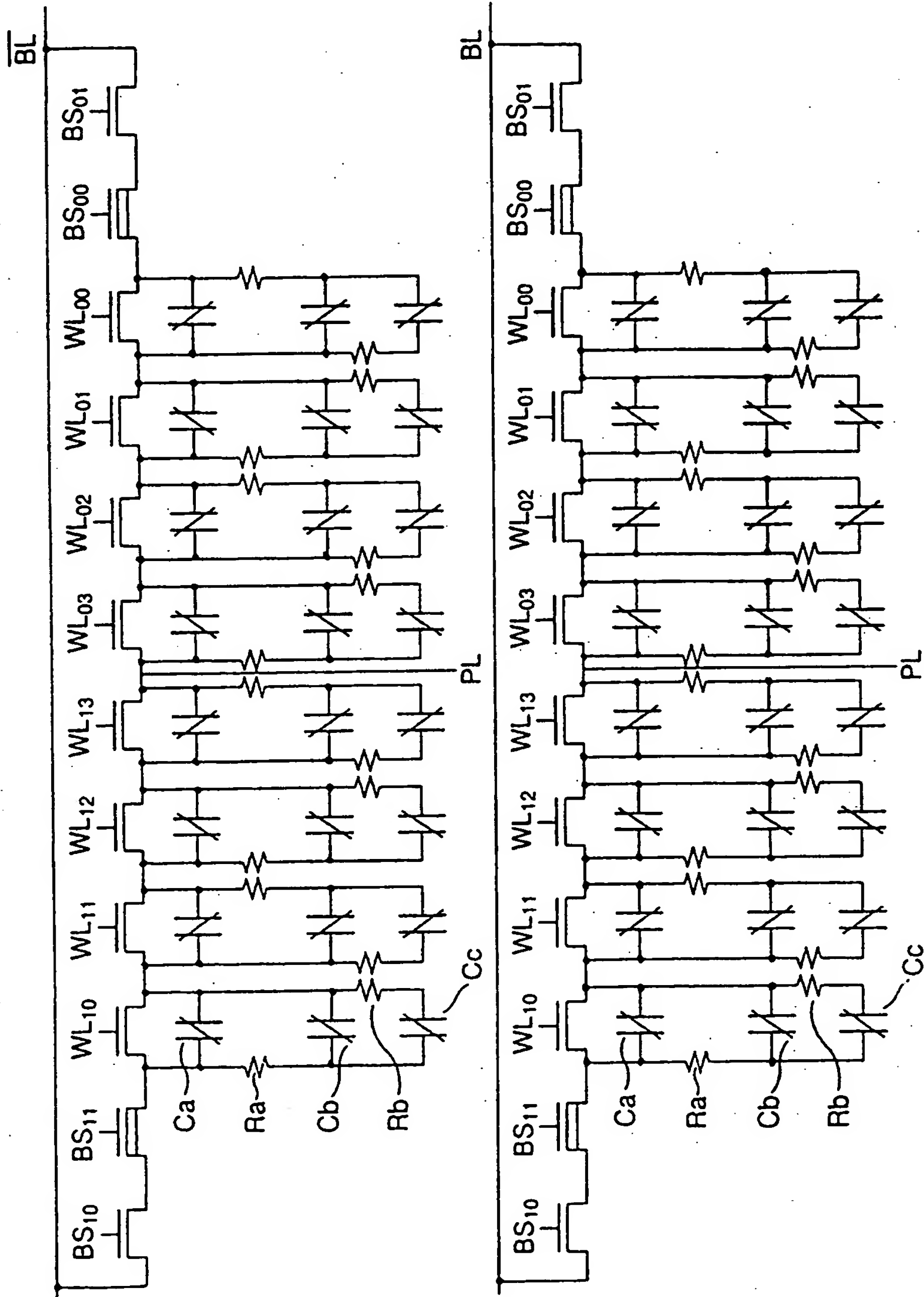
도면 142a



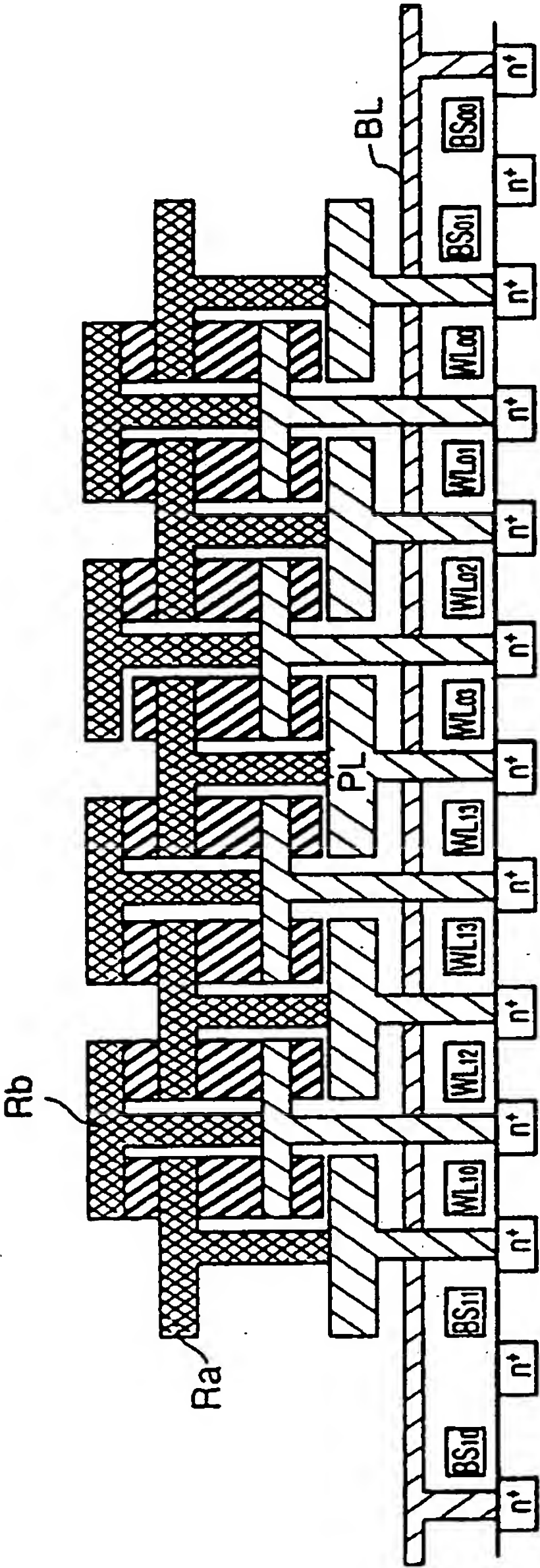
도면 142b



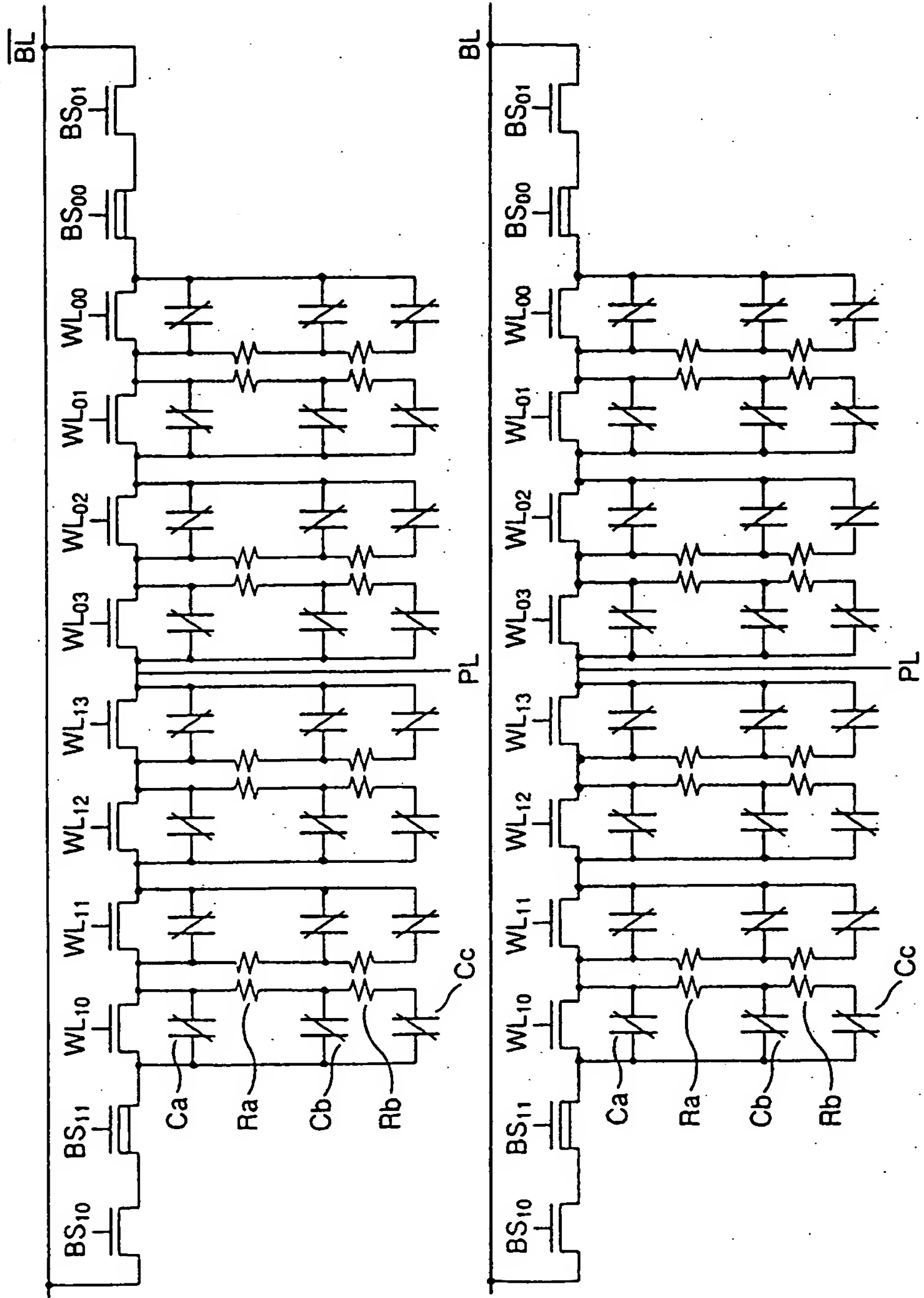
도면 143



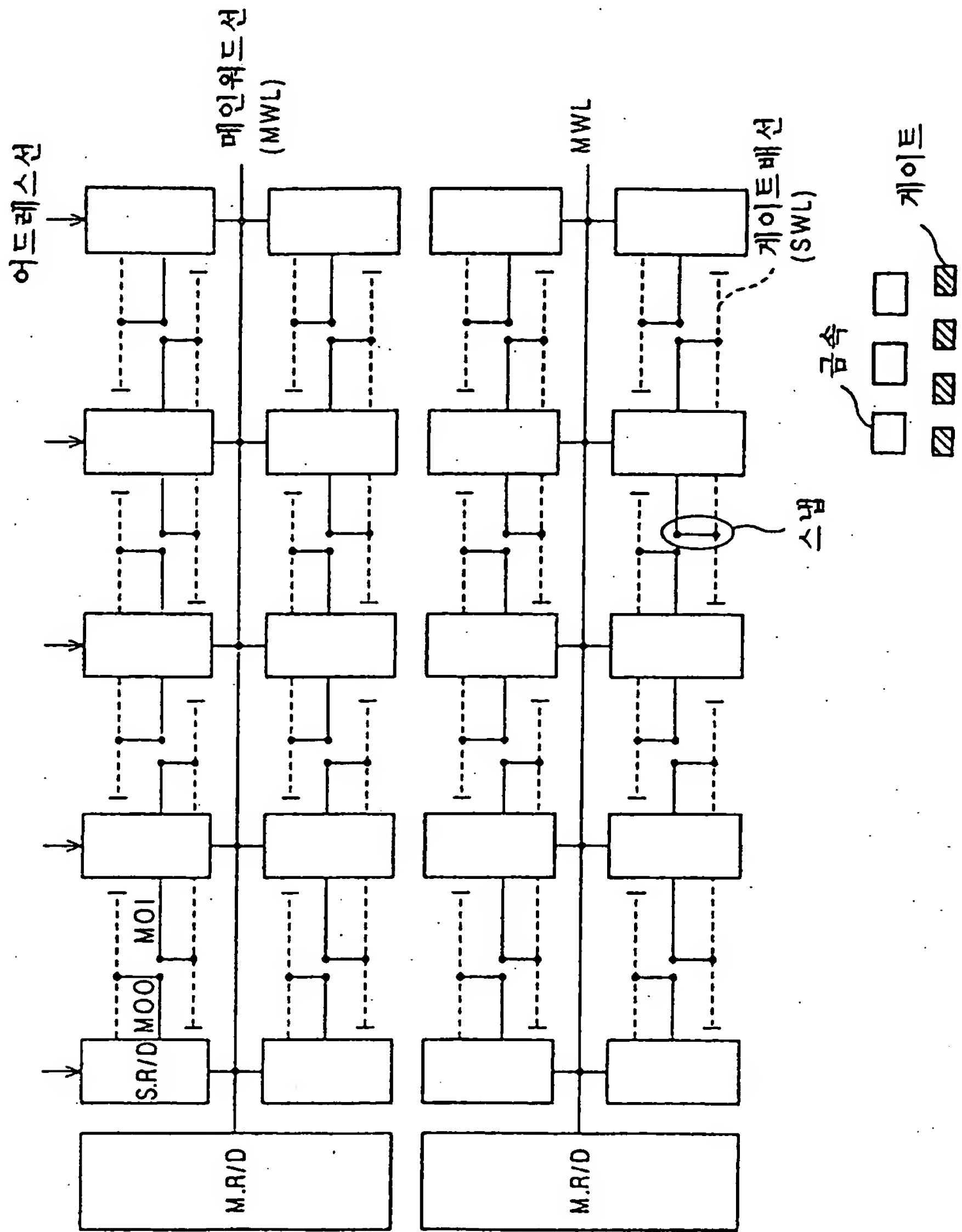
도면 144



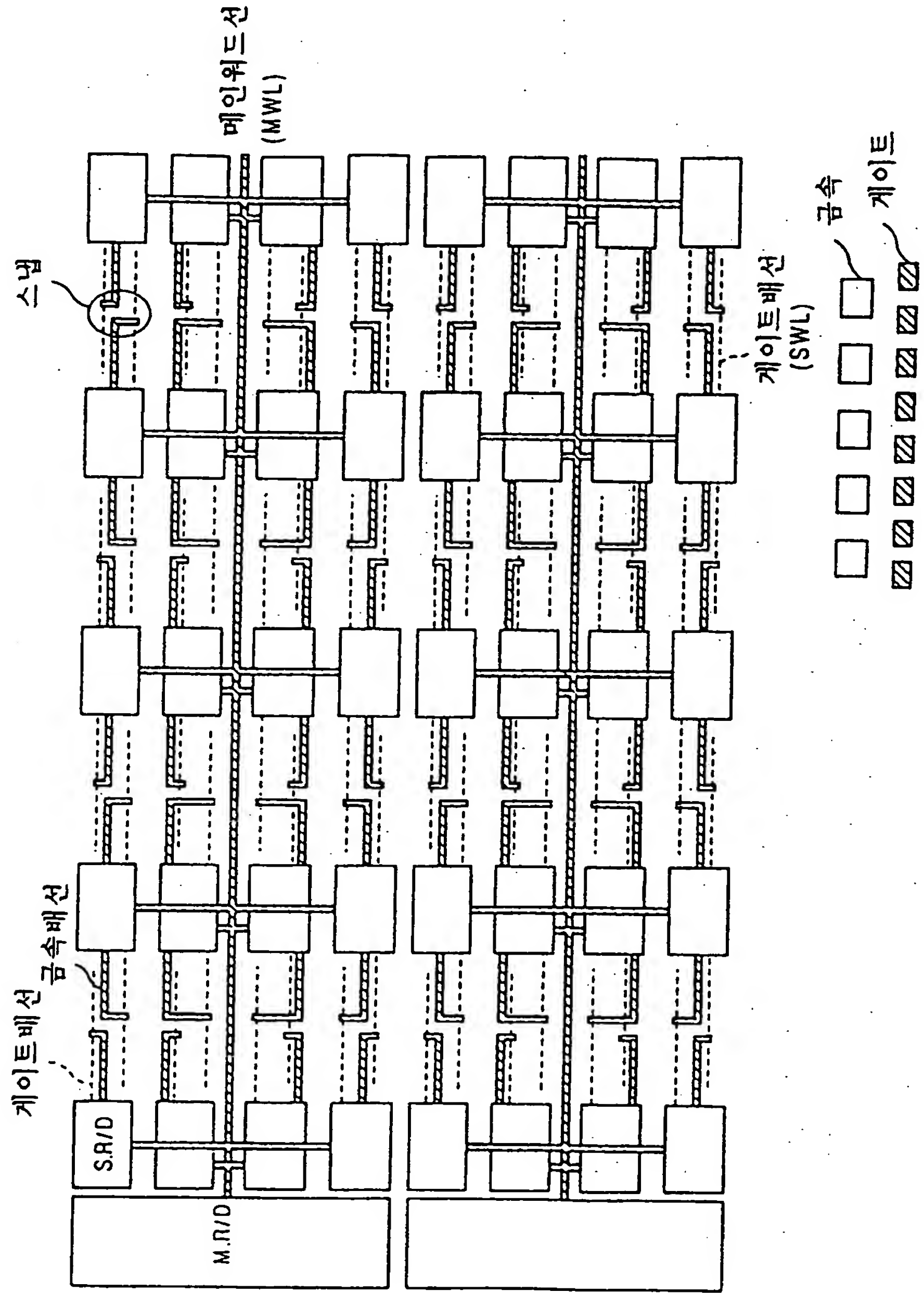
도면 145



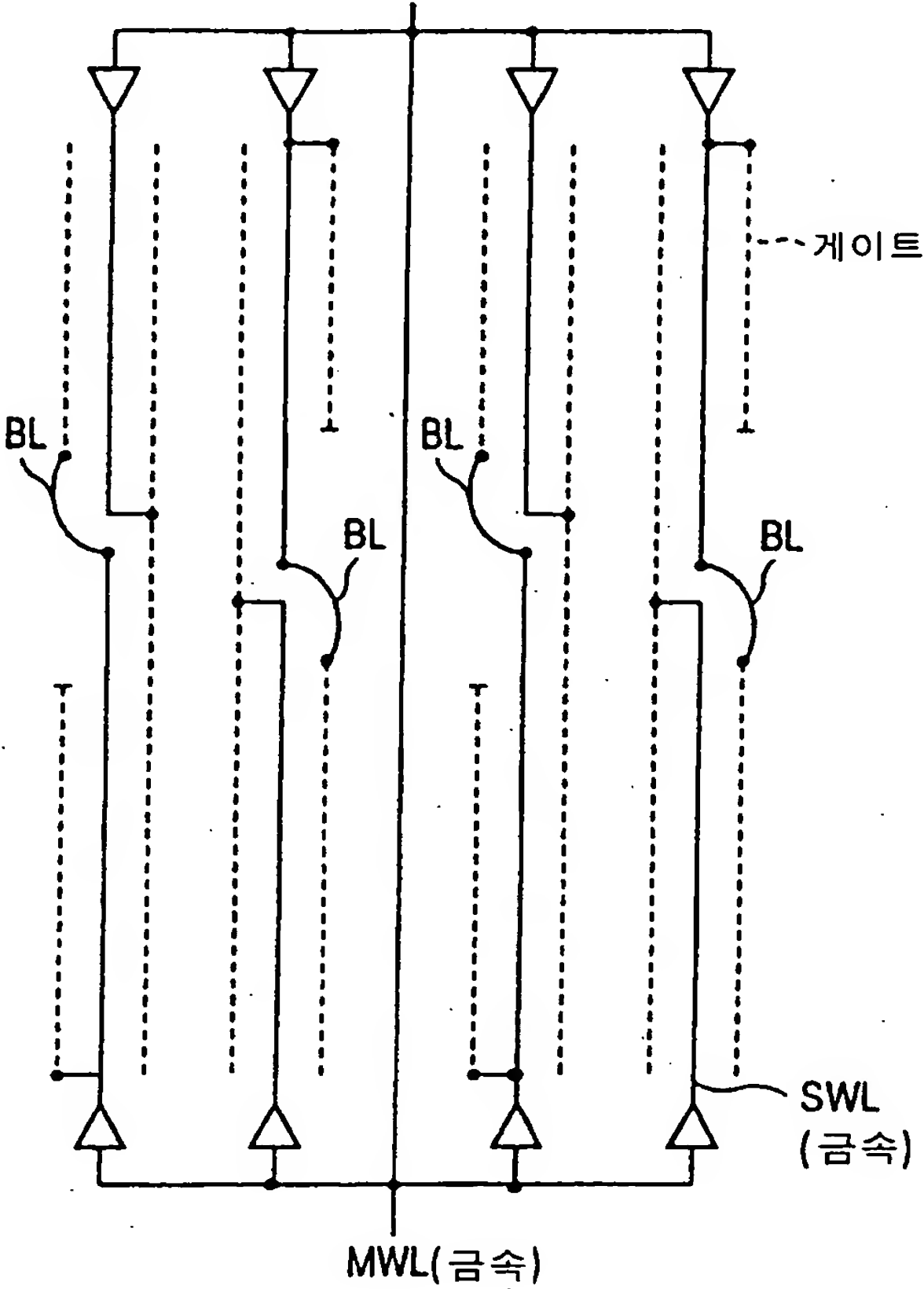
도면 146



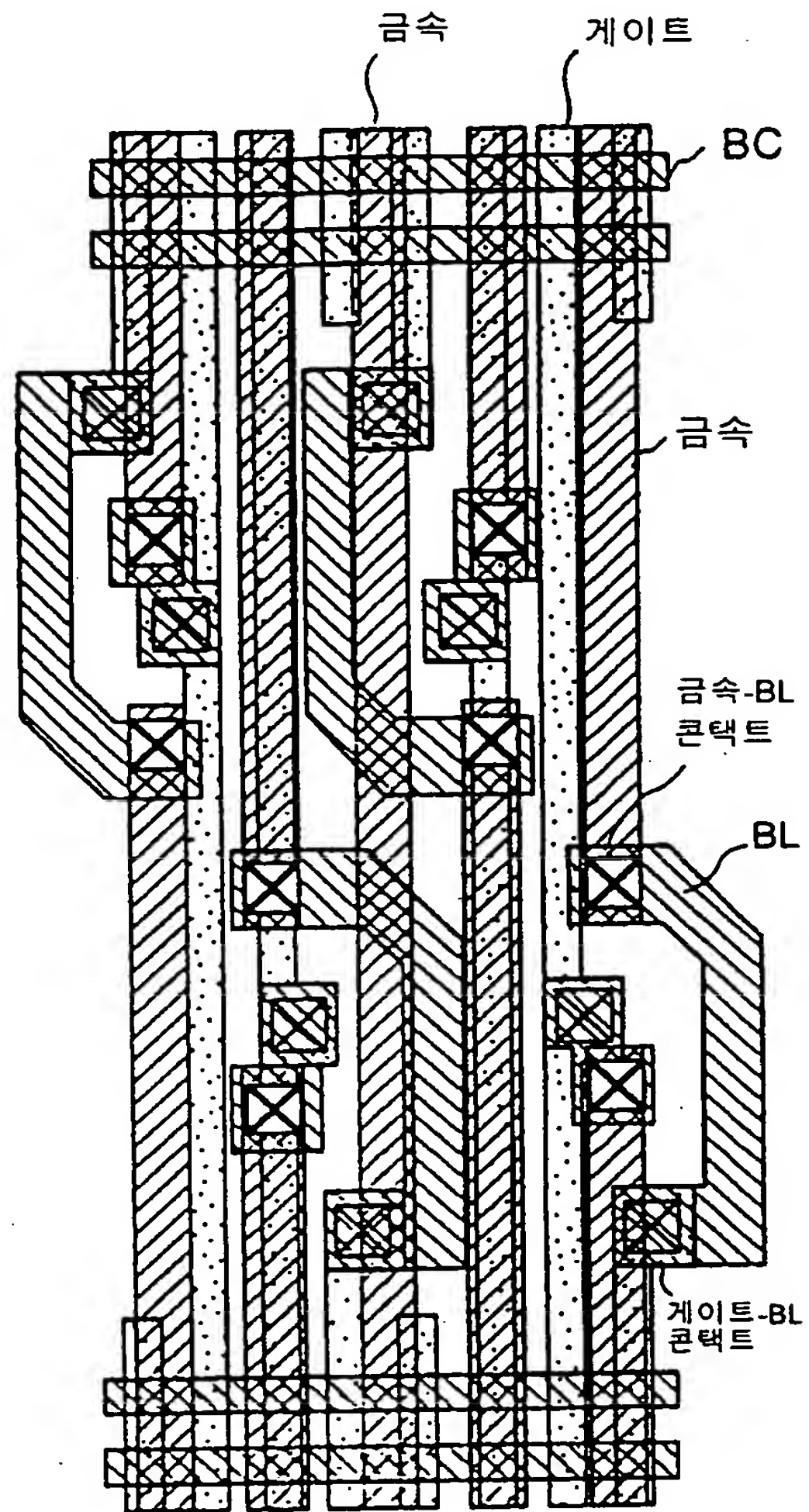
도면 147



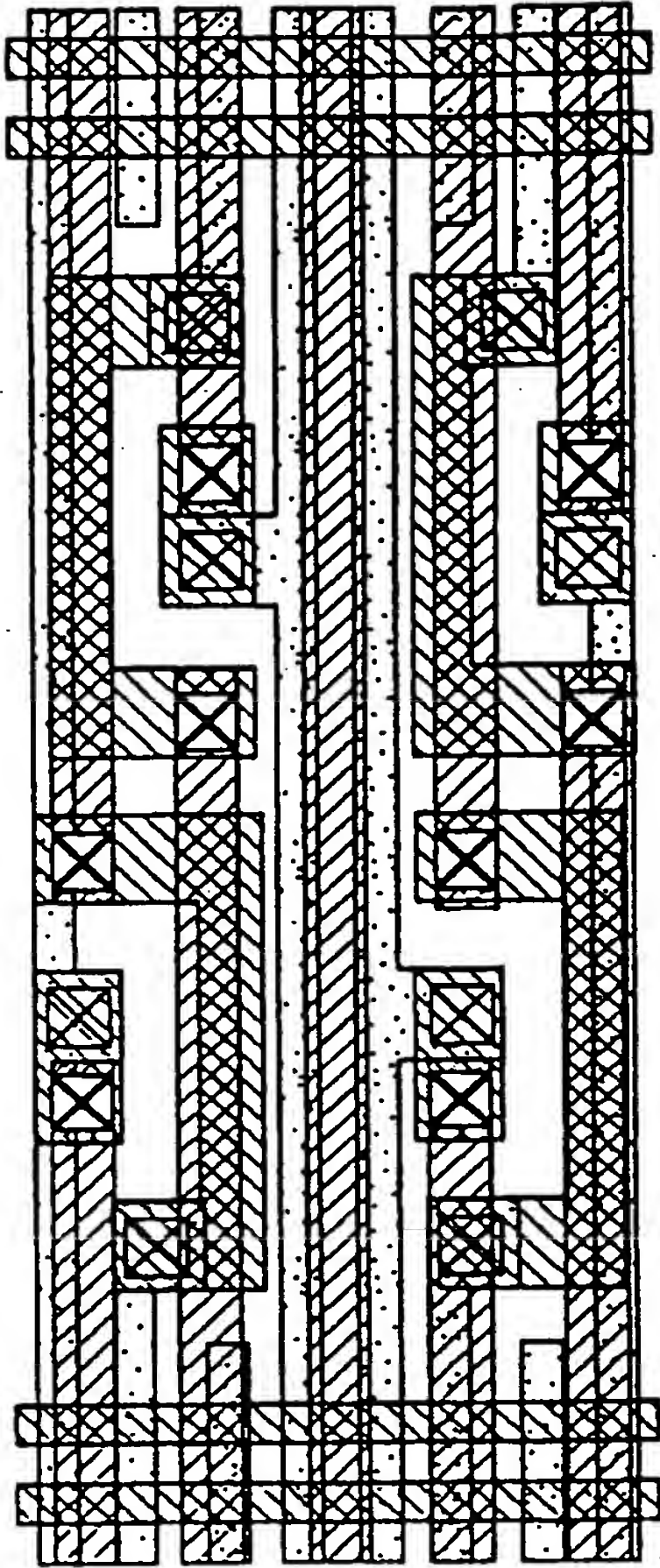
도면 148a



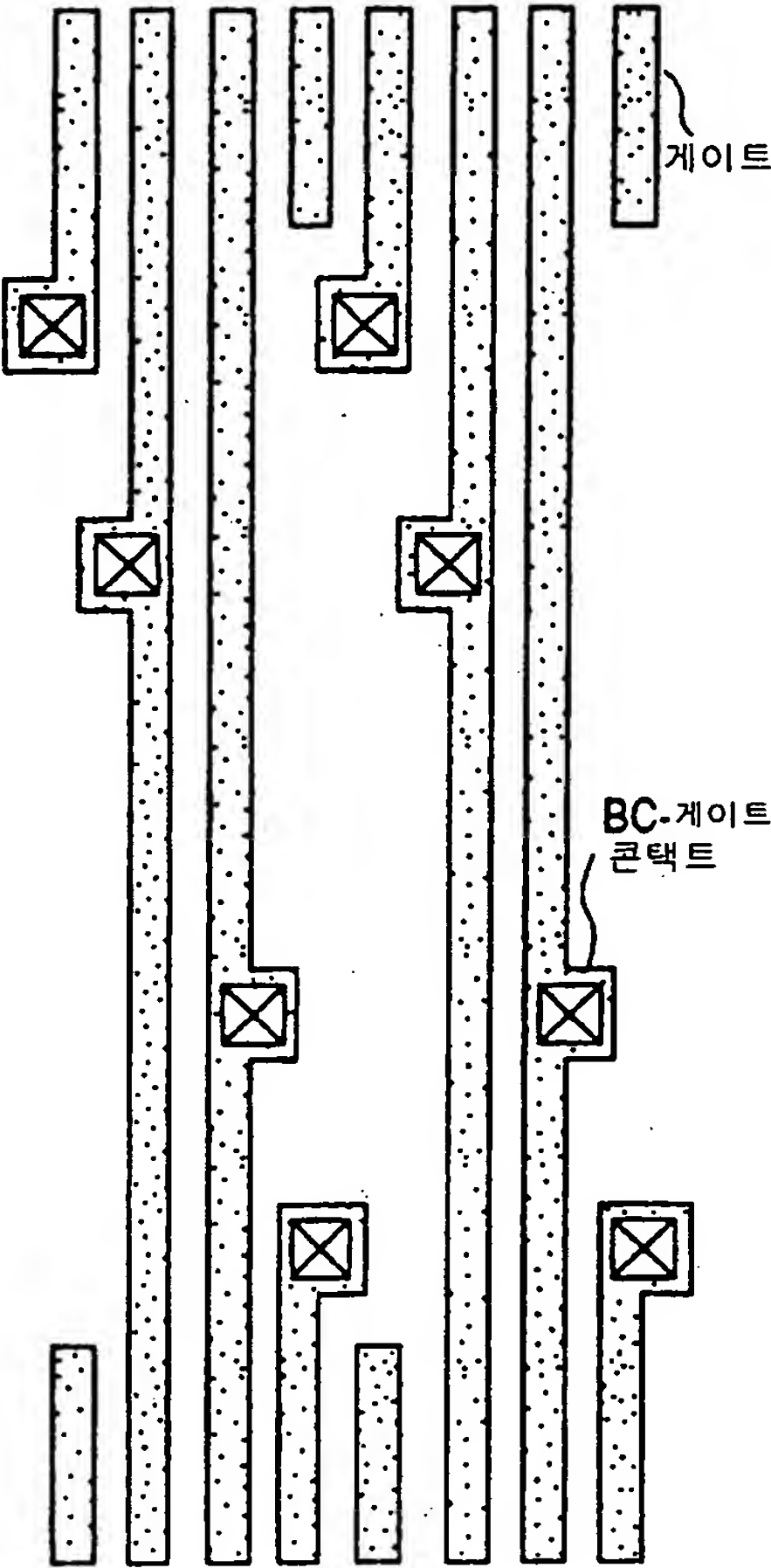
도면 149a



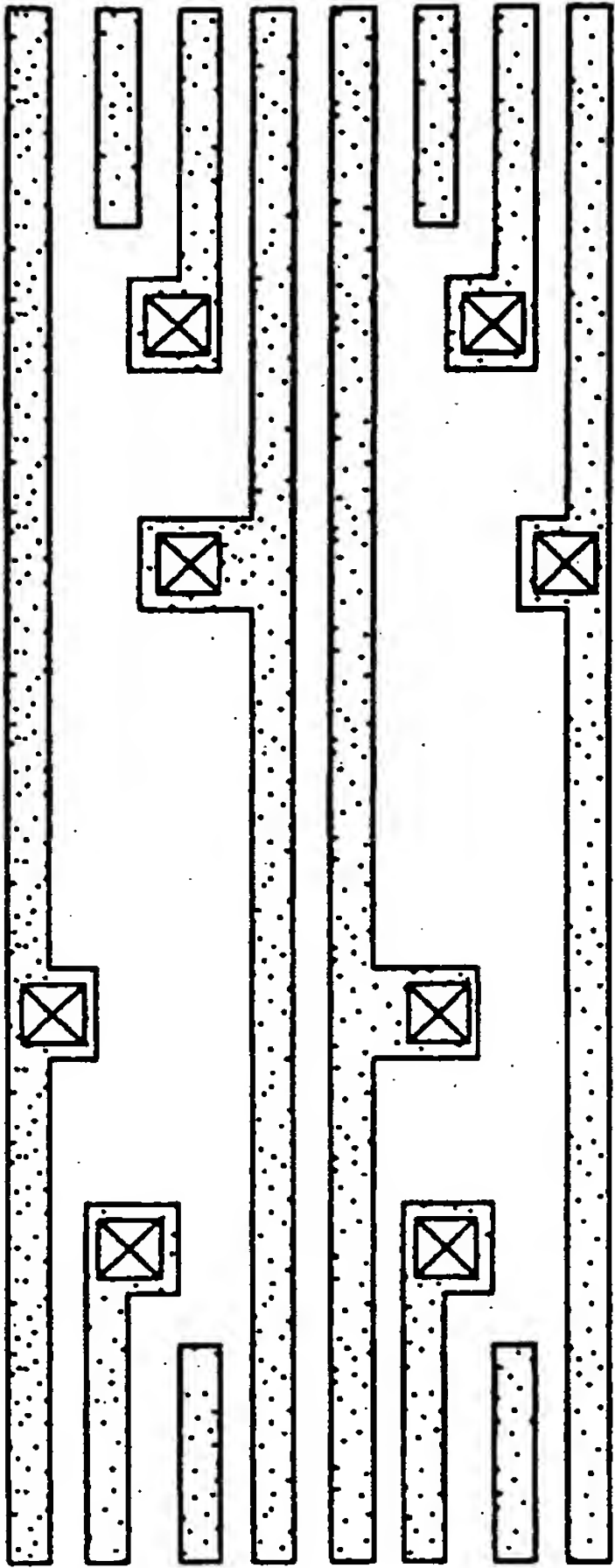
도면 149b



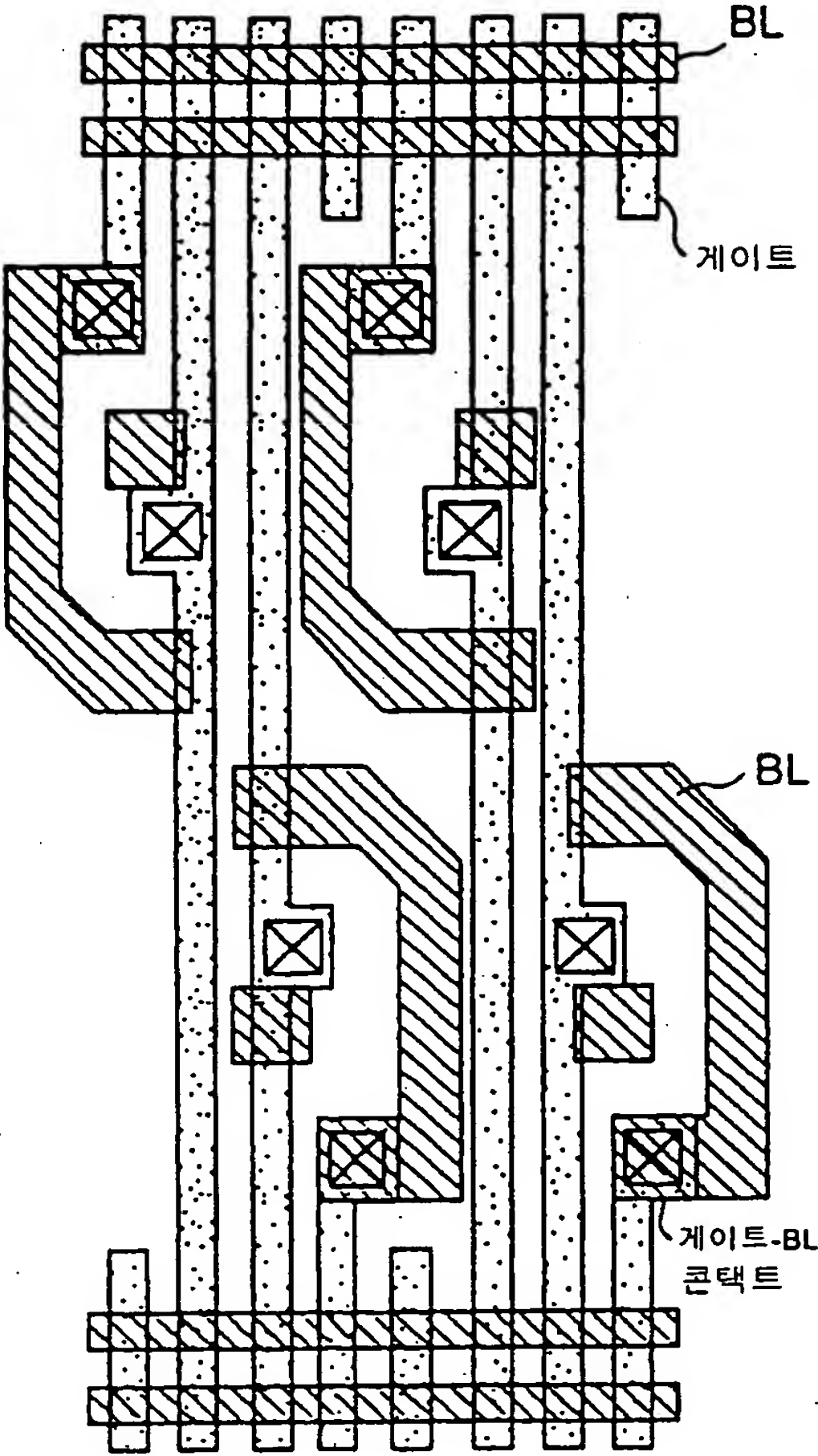
도면 150a



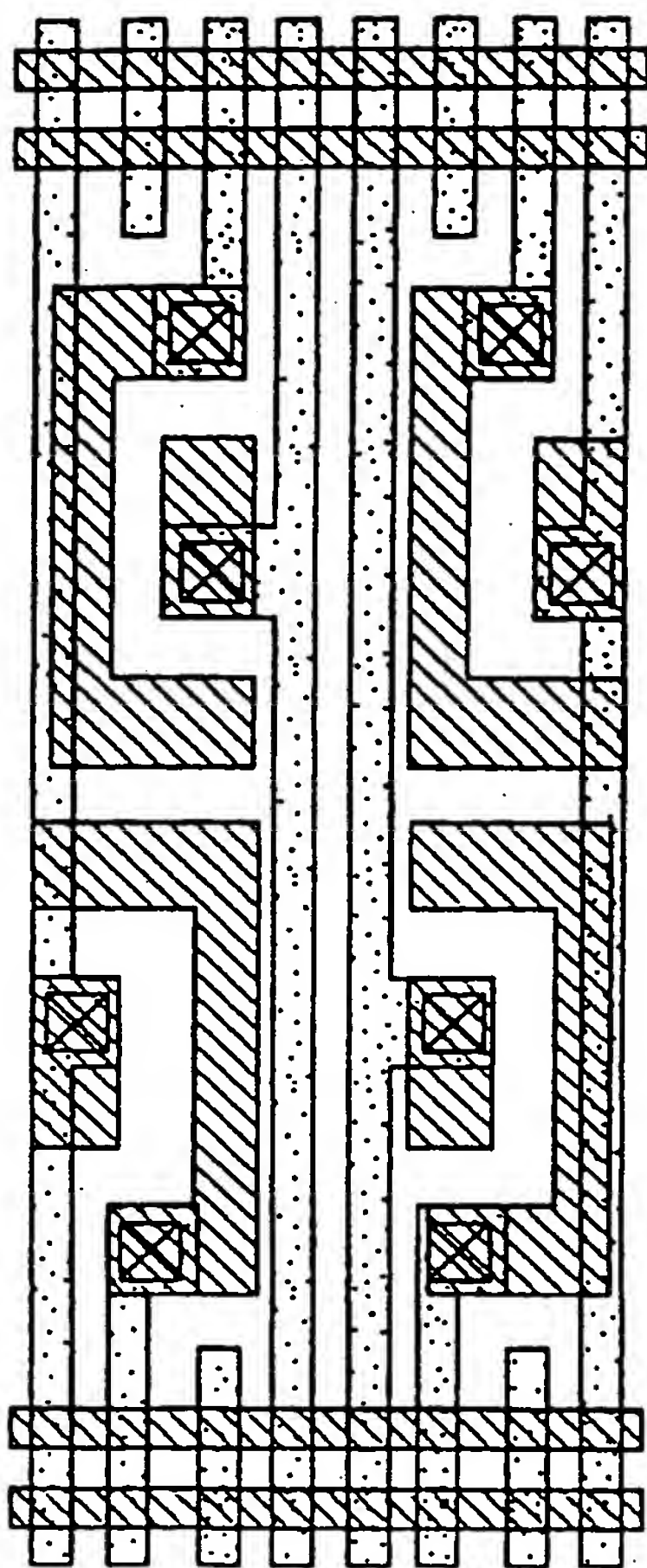
도면 150b



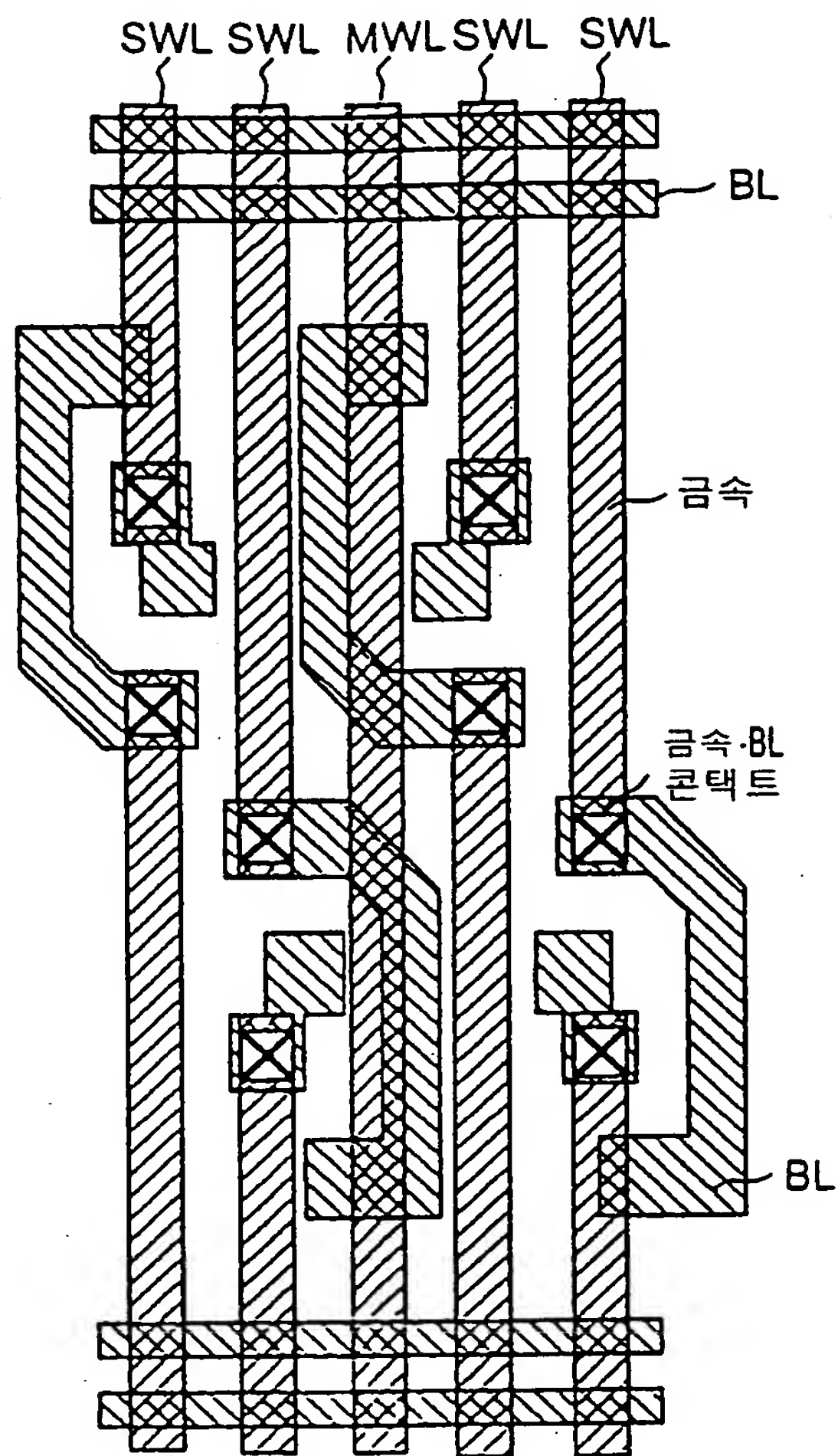
도면 151a



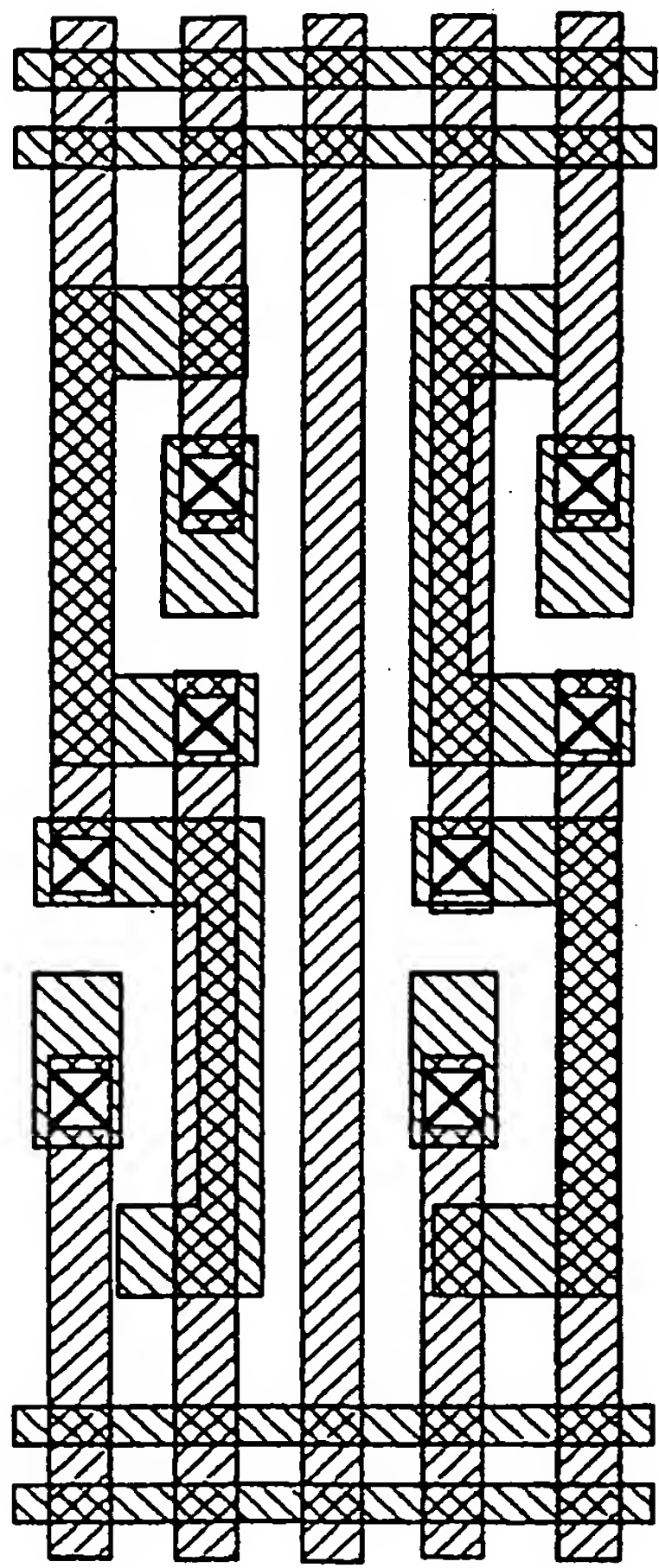
도면 151b

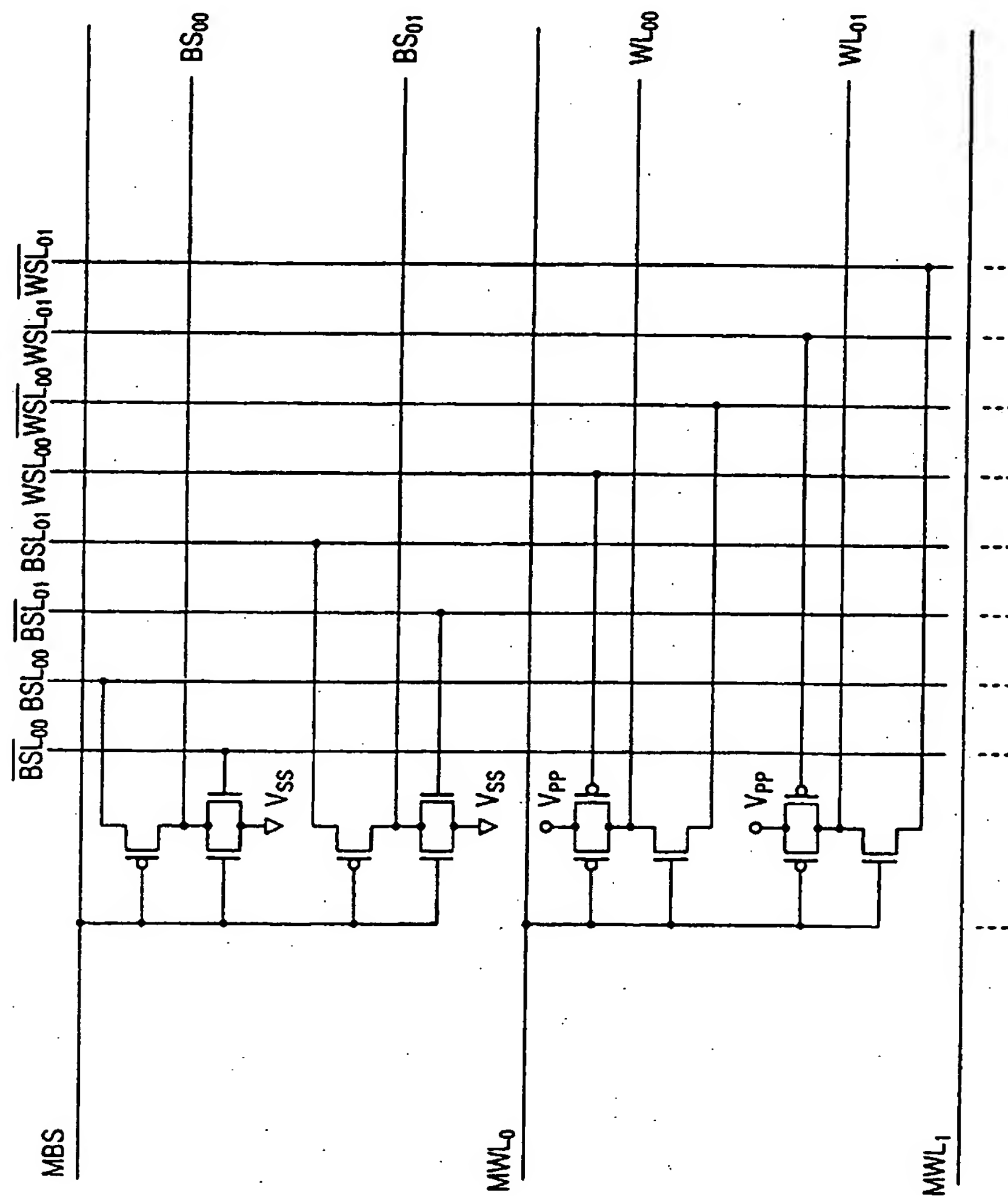


도면 152a

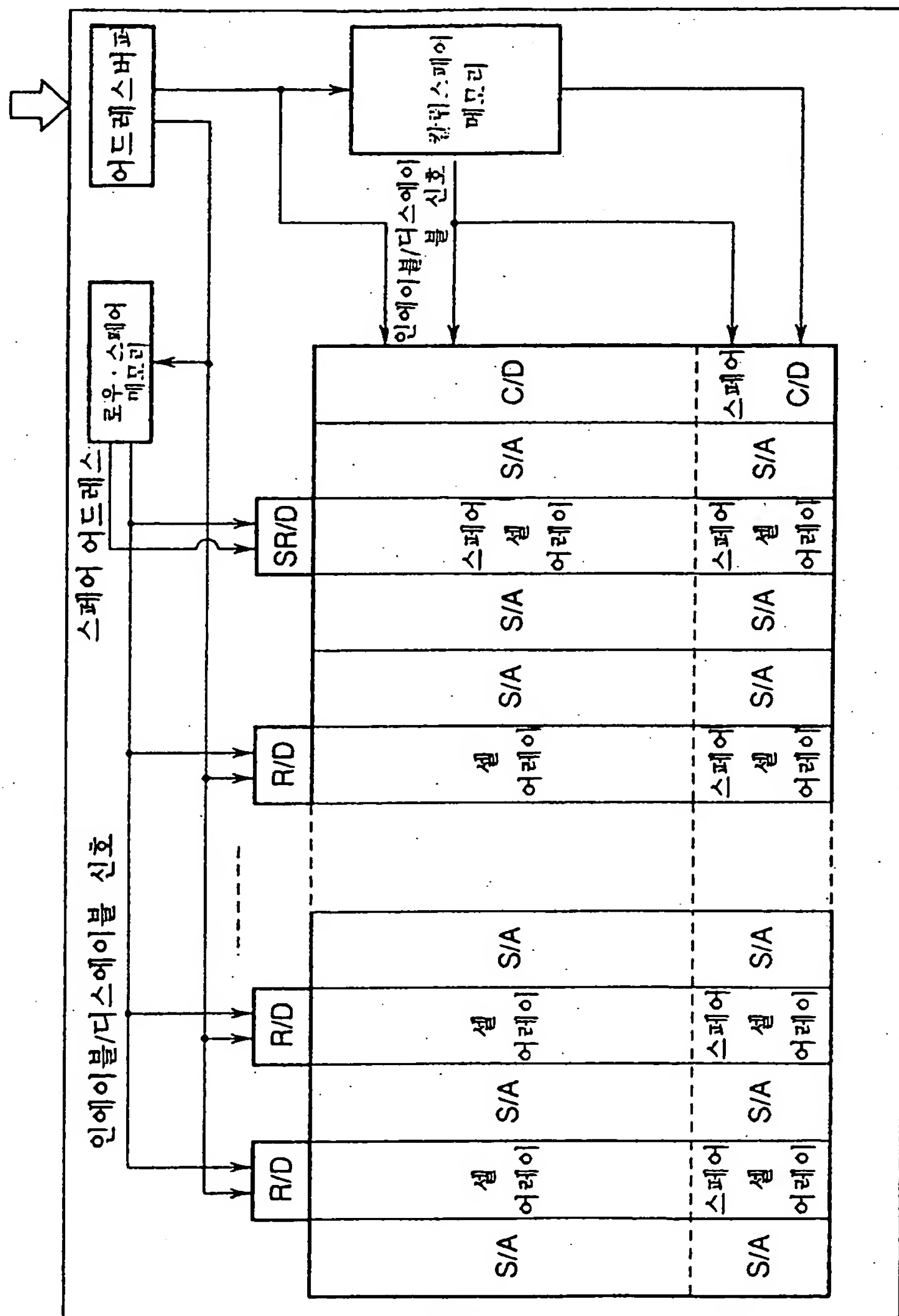


도면 152b

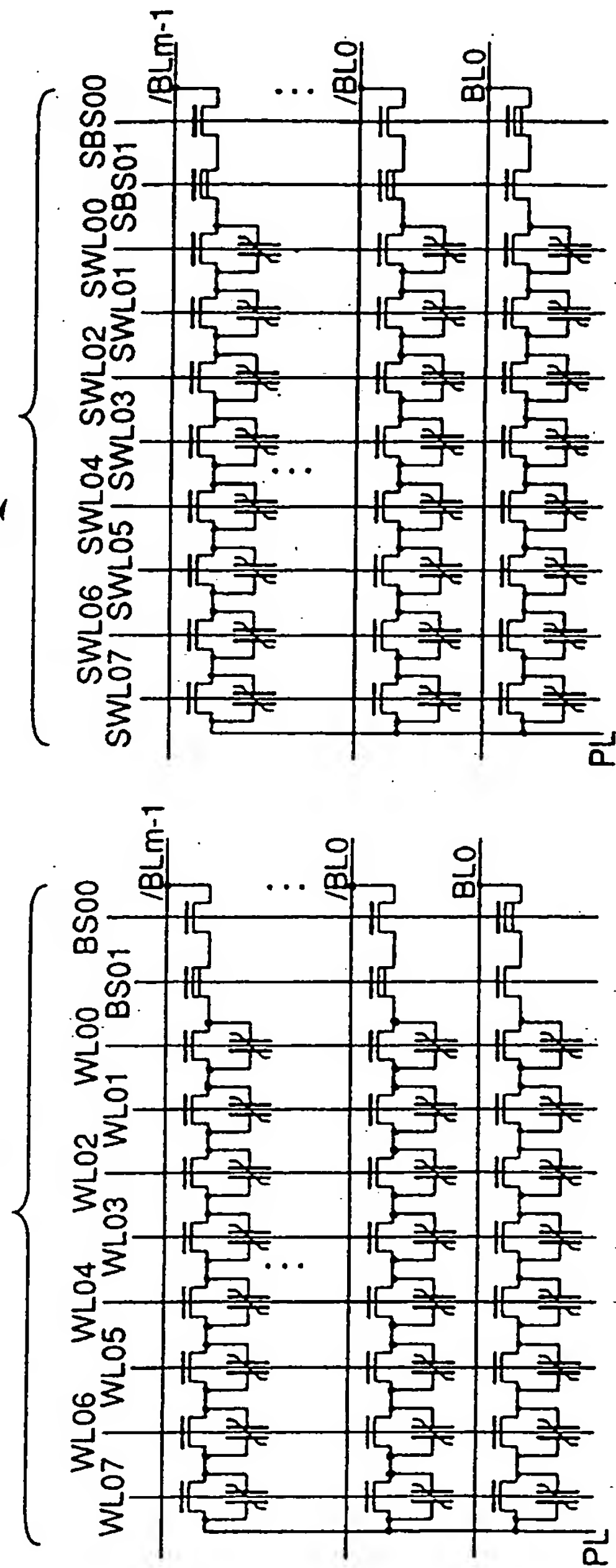


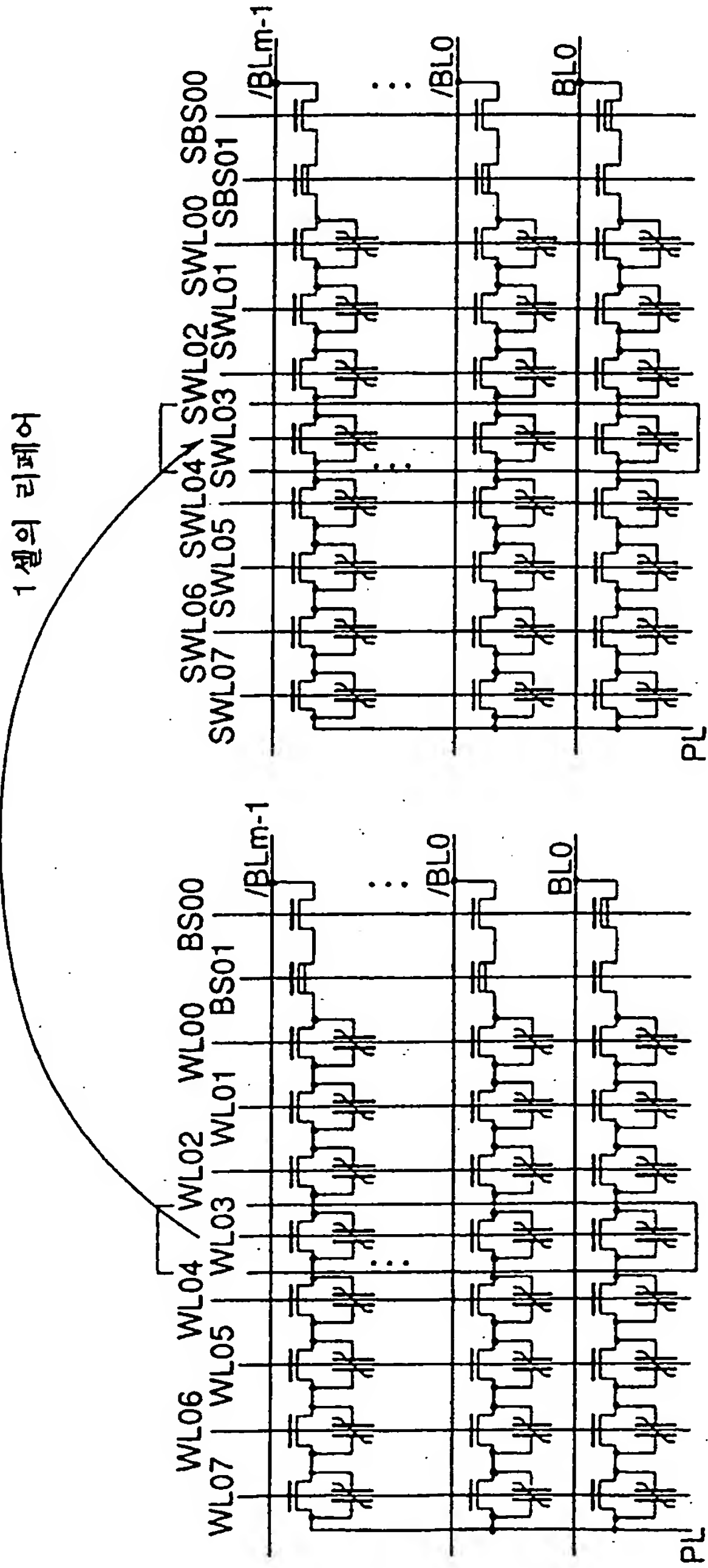


[illegible]

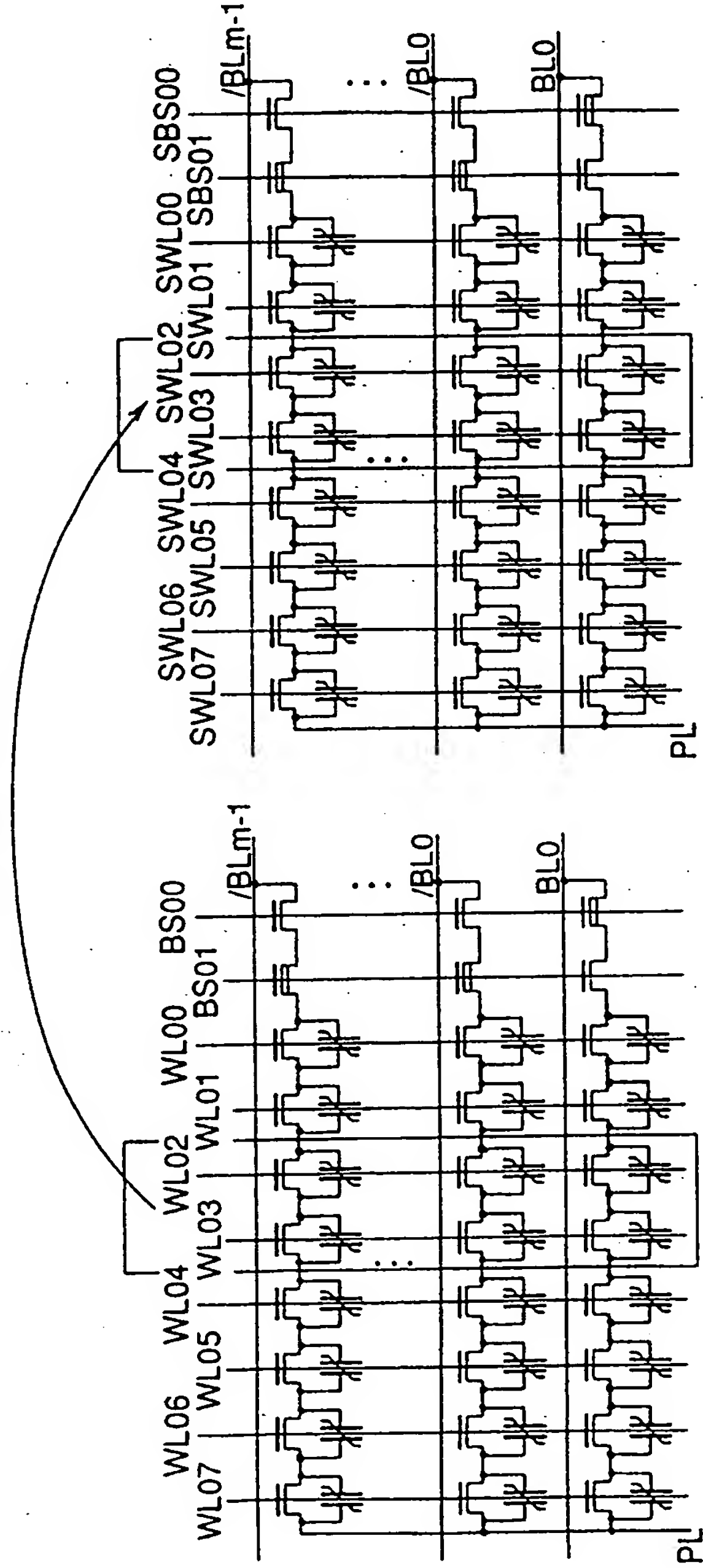


셀 블록 전체의 리페어

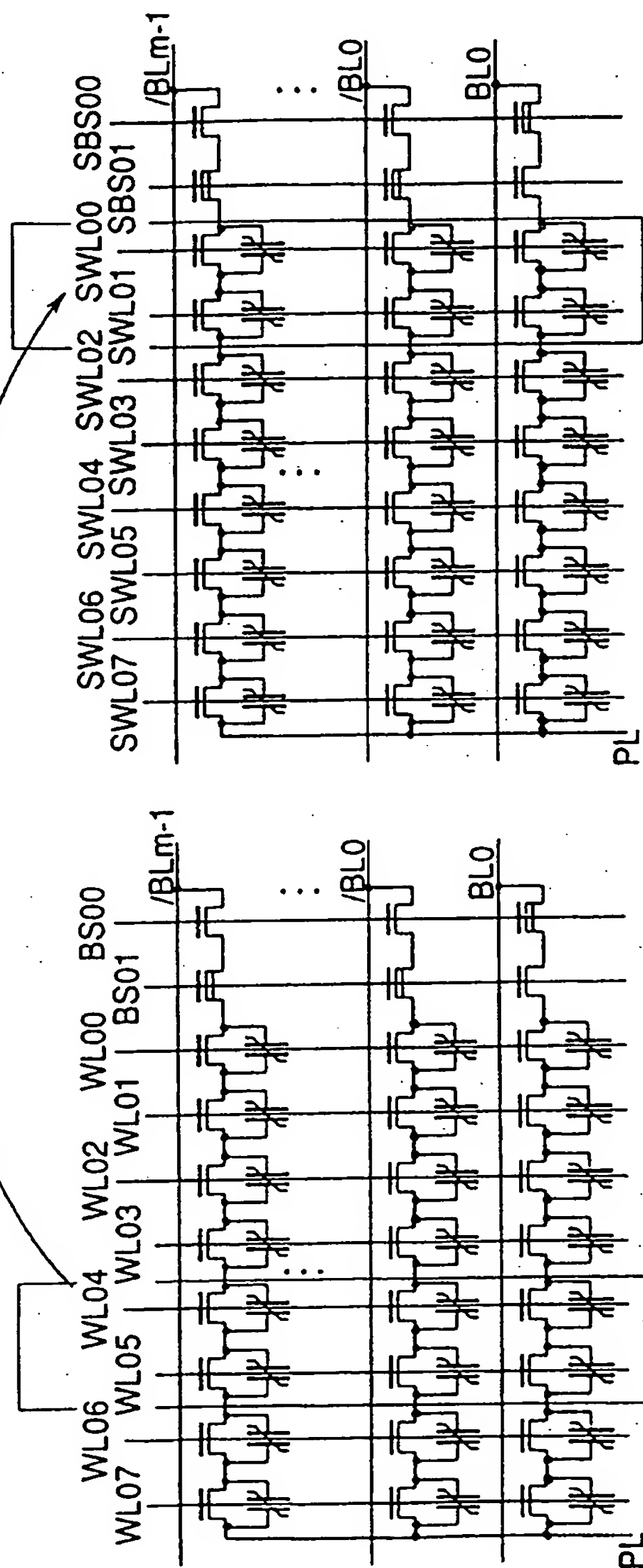




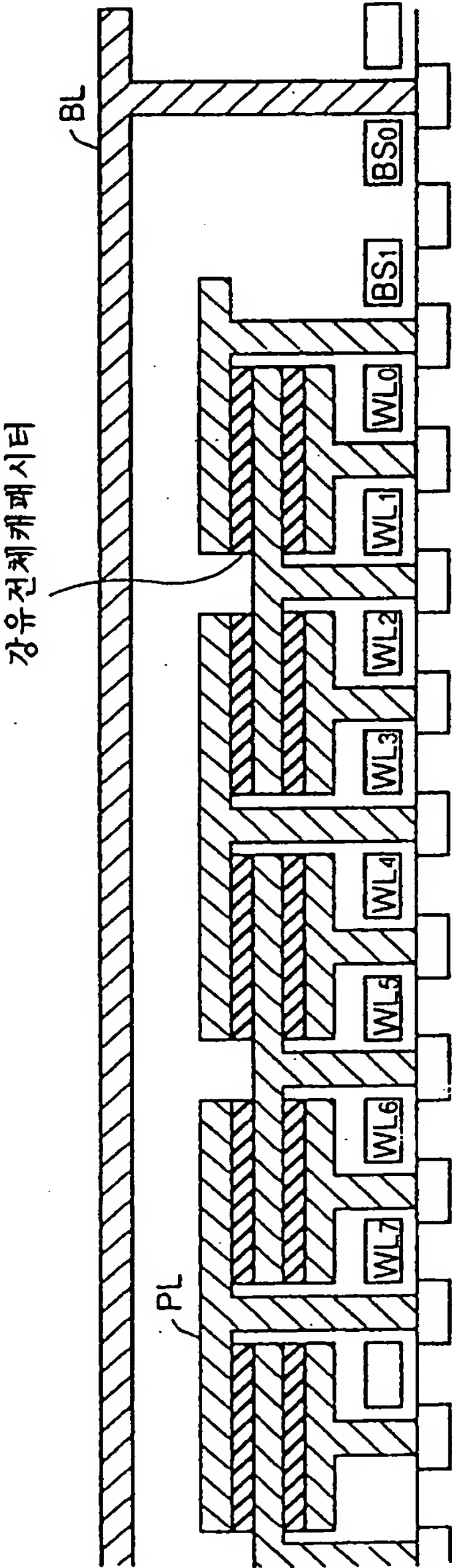
복수셀의 리페어

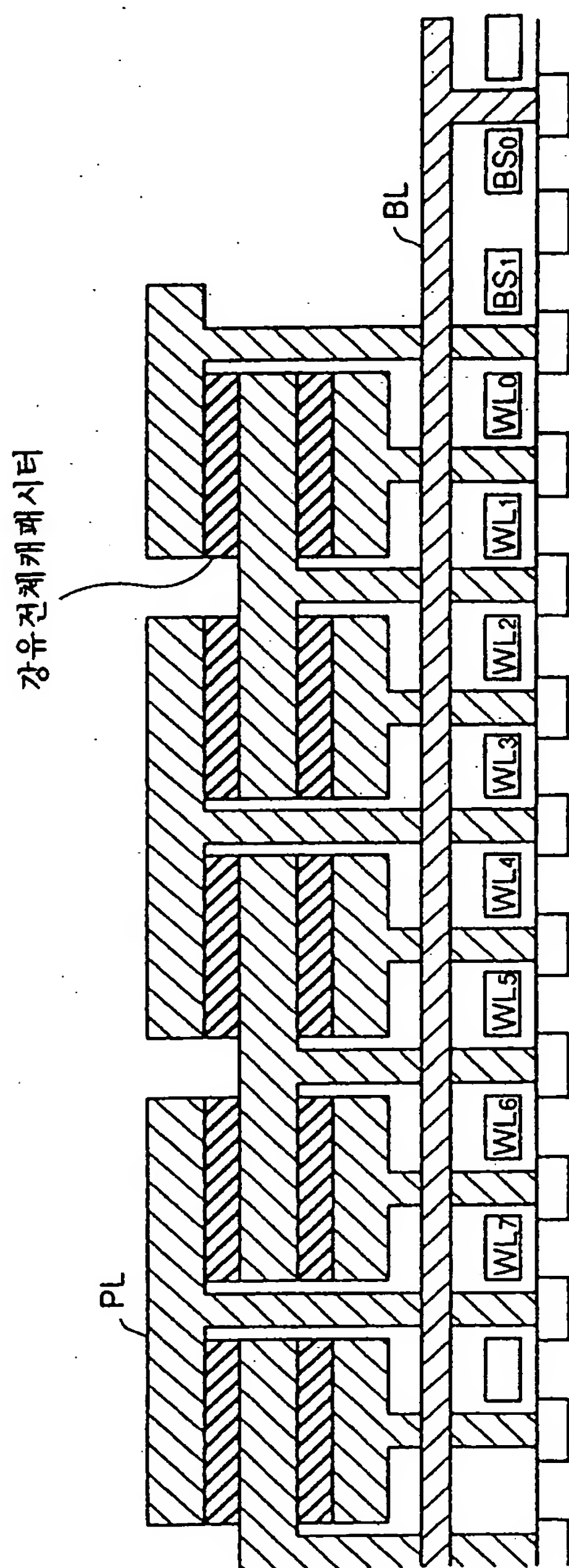


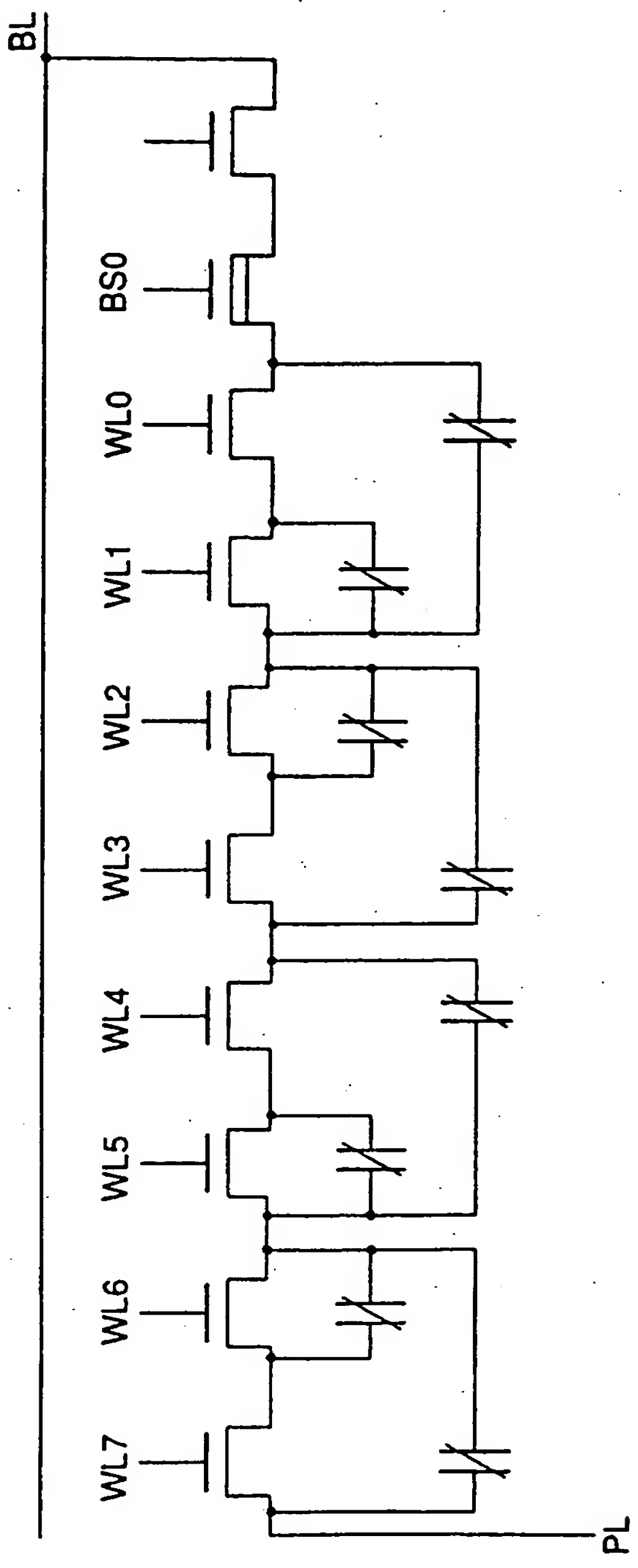
다른위치의 셀의 리페어



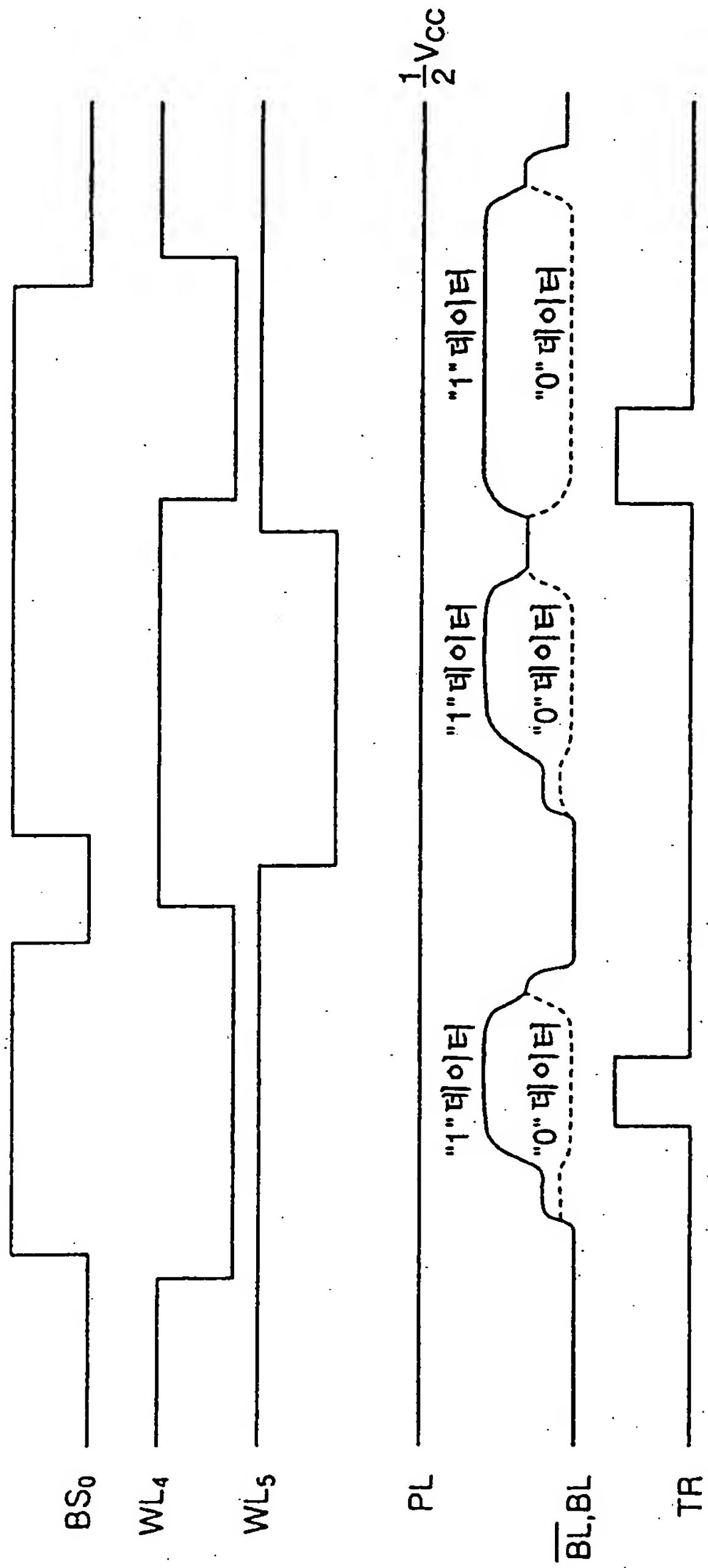
도면 160



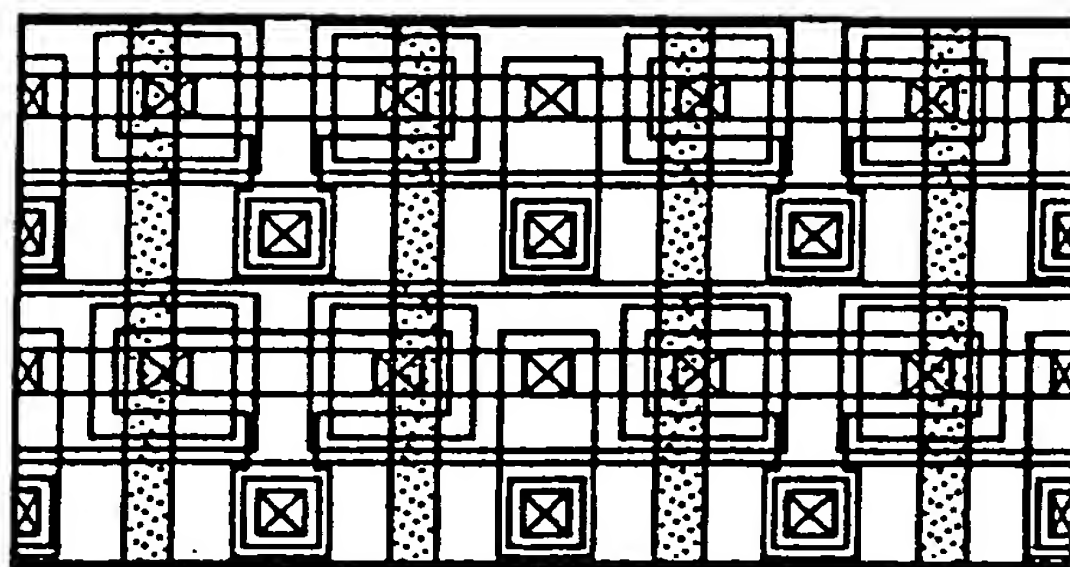




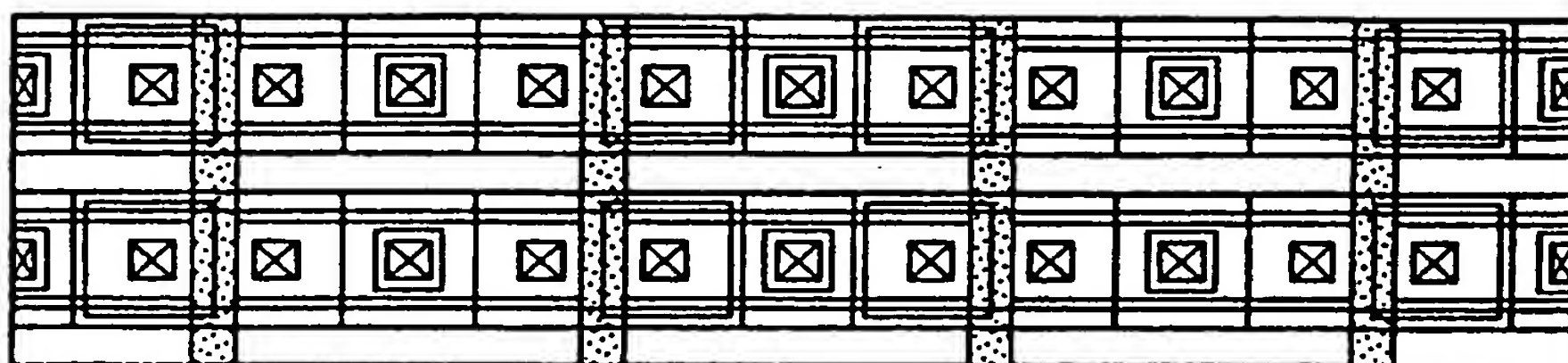
도면 163



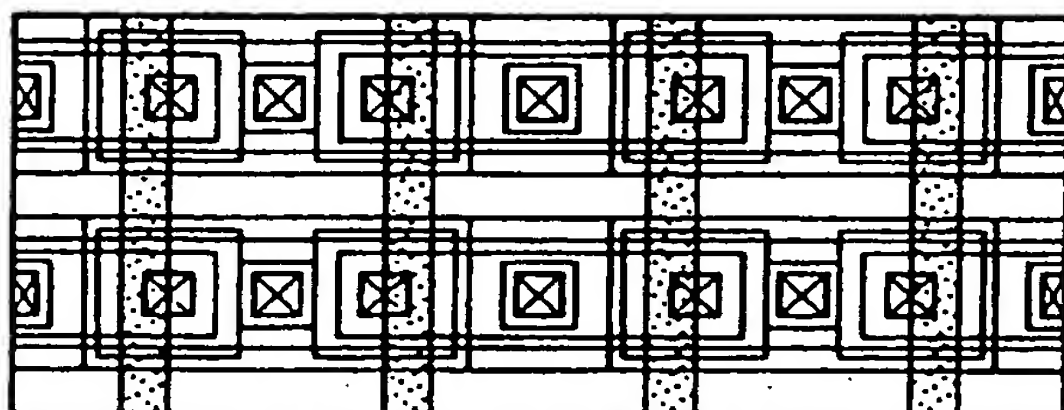
도면 164a



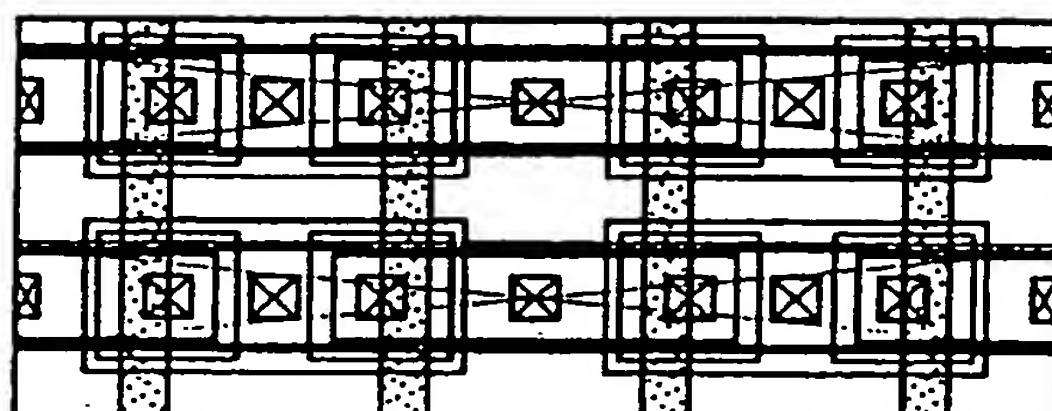
도면 164b



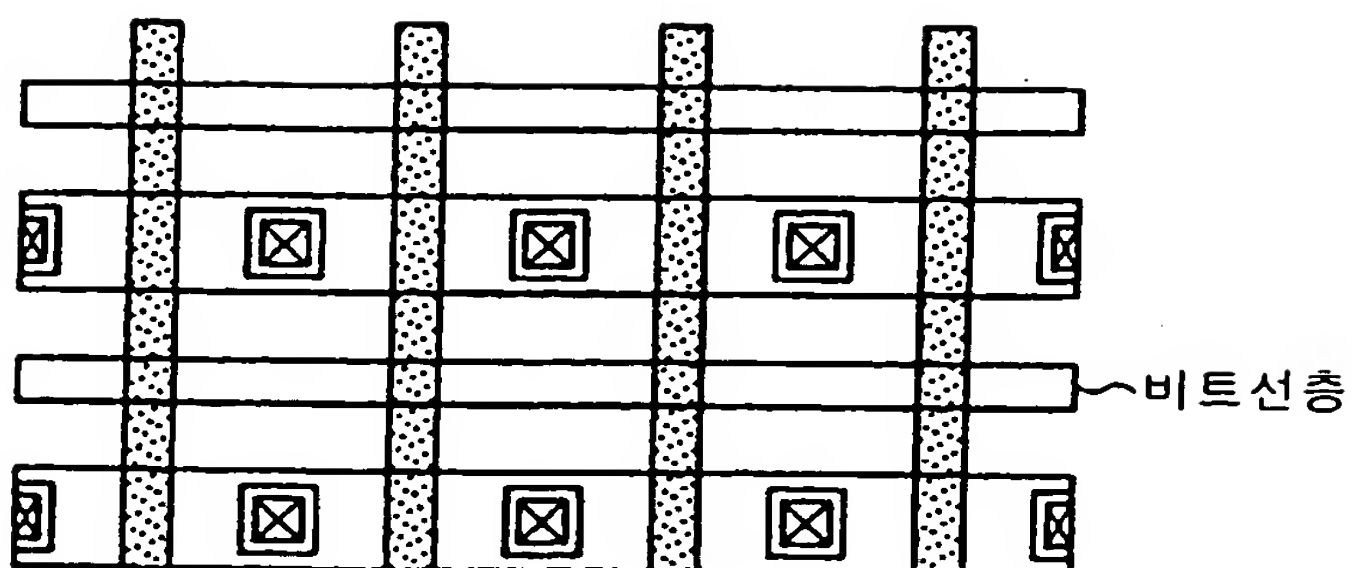
도면 164c



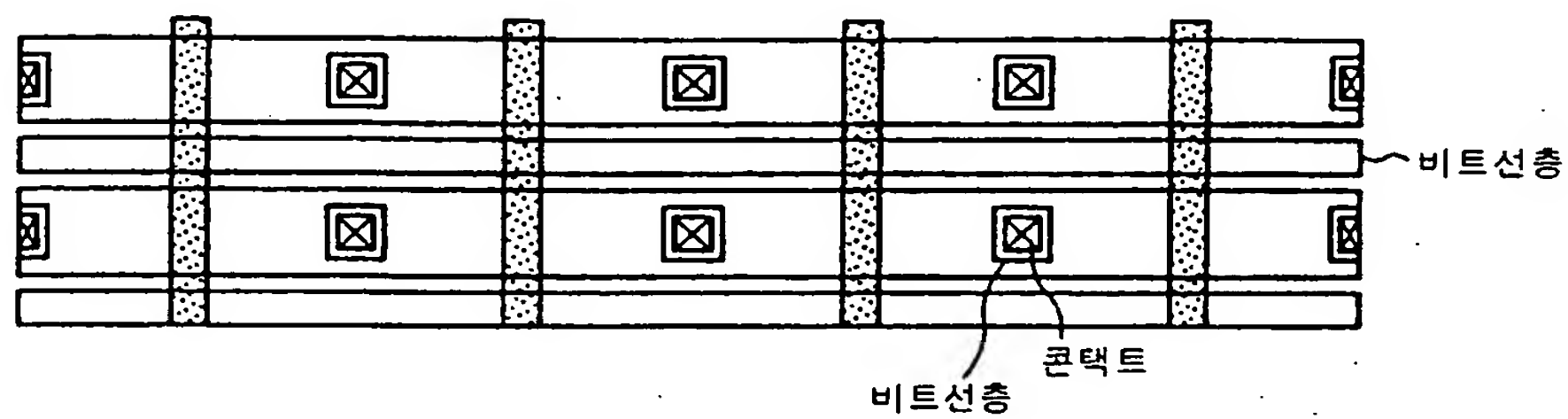
도면 164d



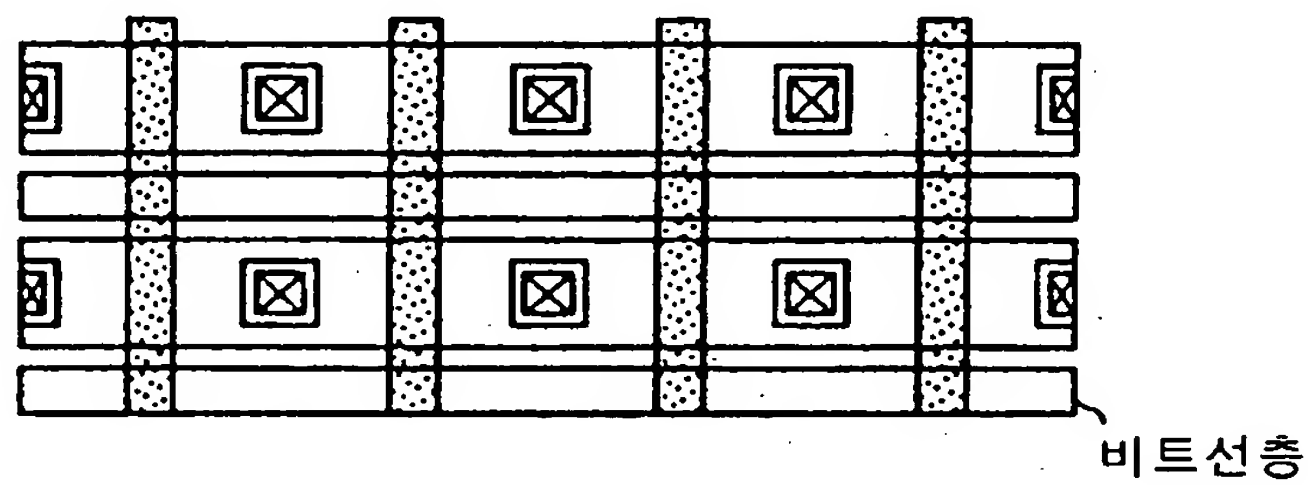
도면 165a



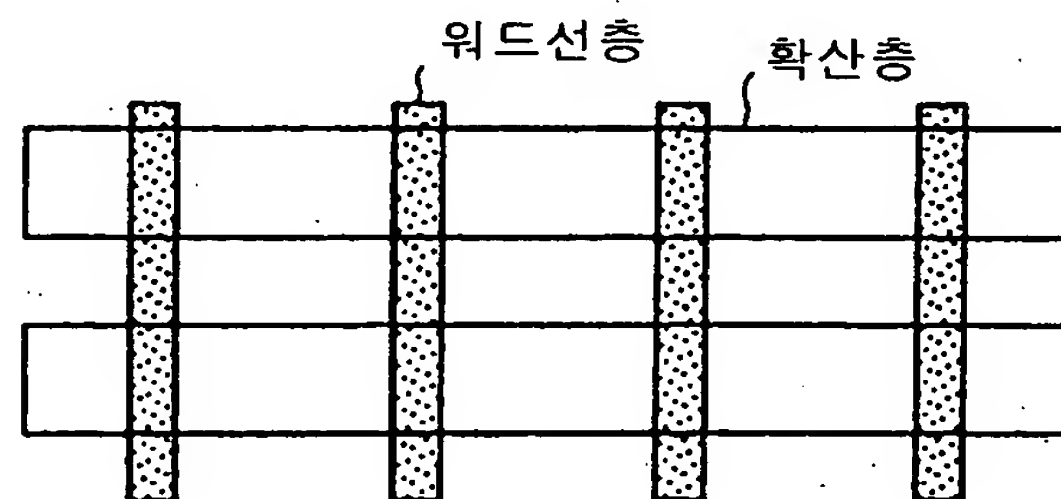
도면 165b



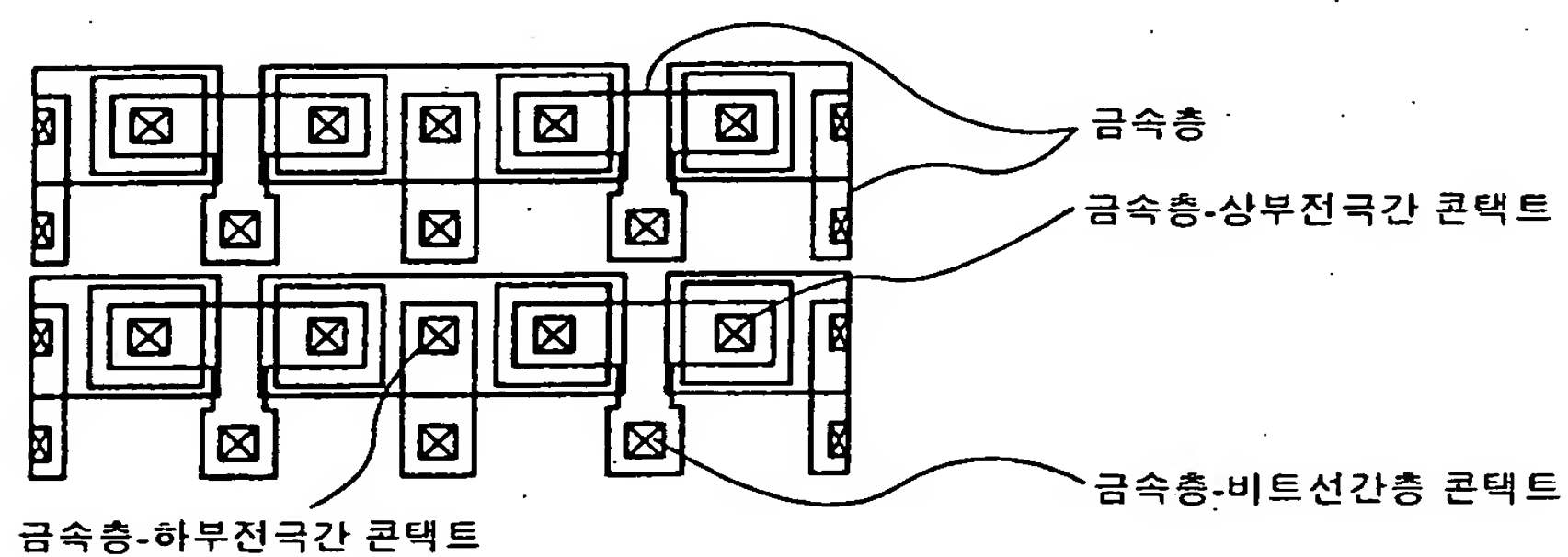
도면 165c



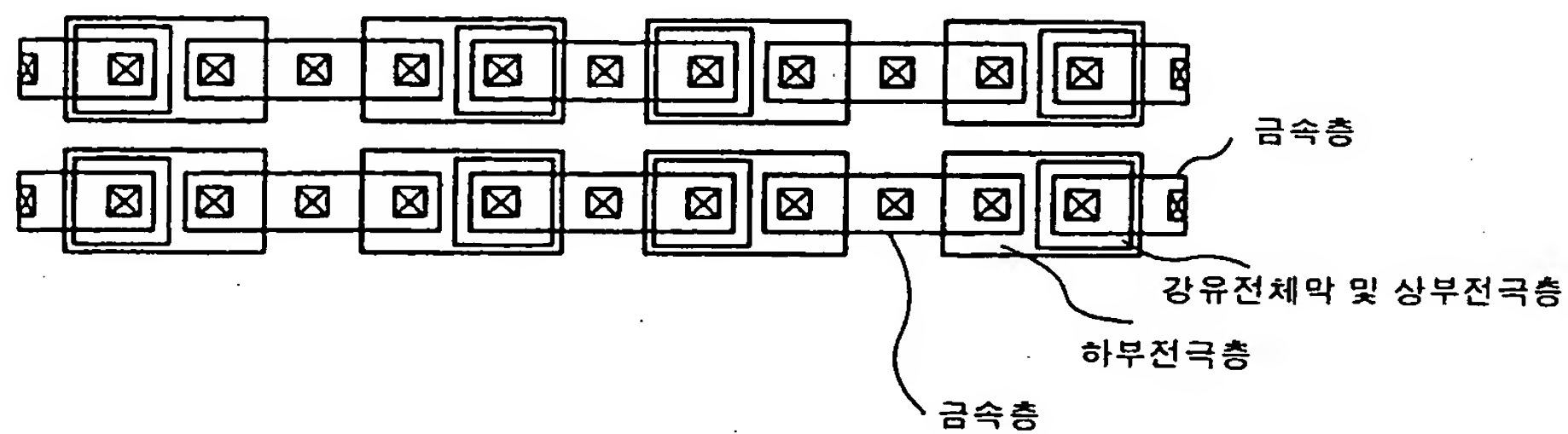
도면 165d



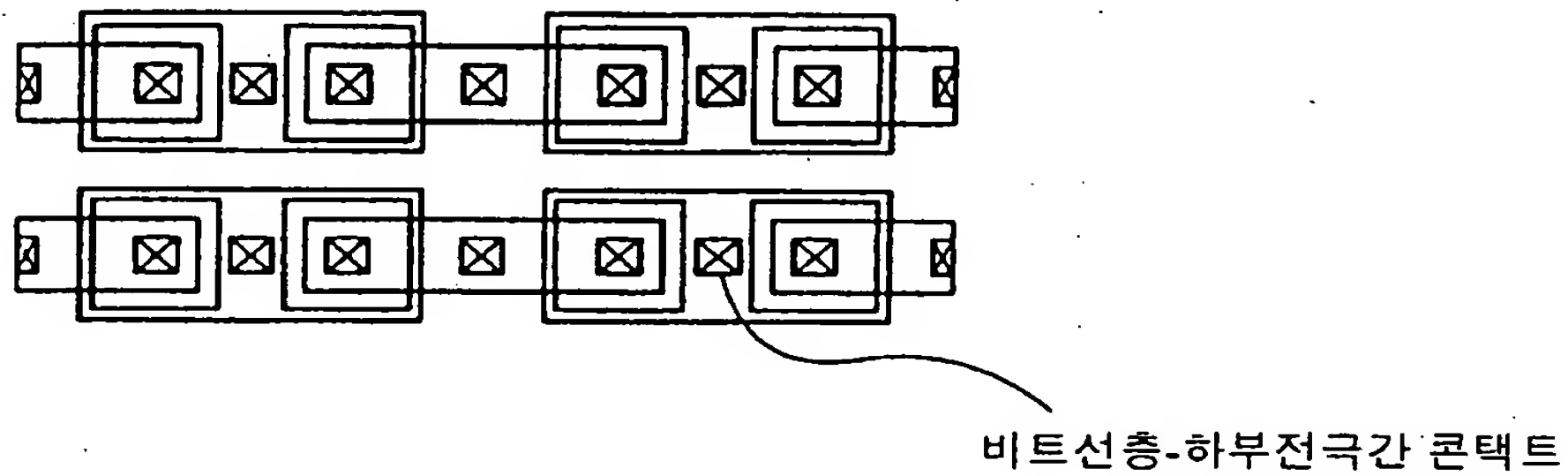
도면 166a



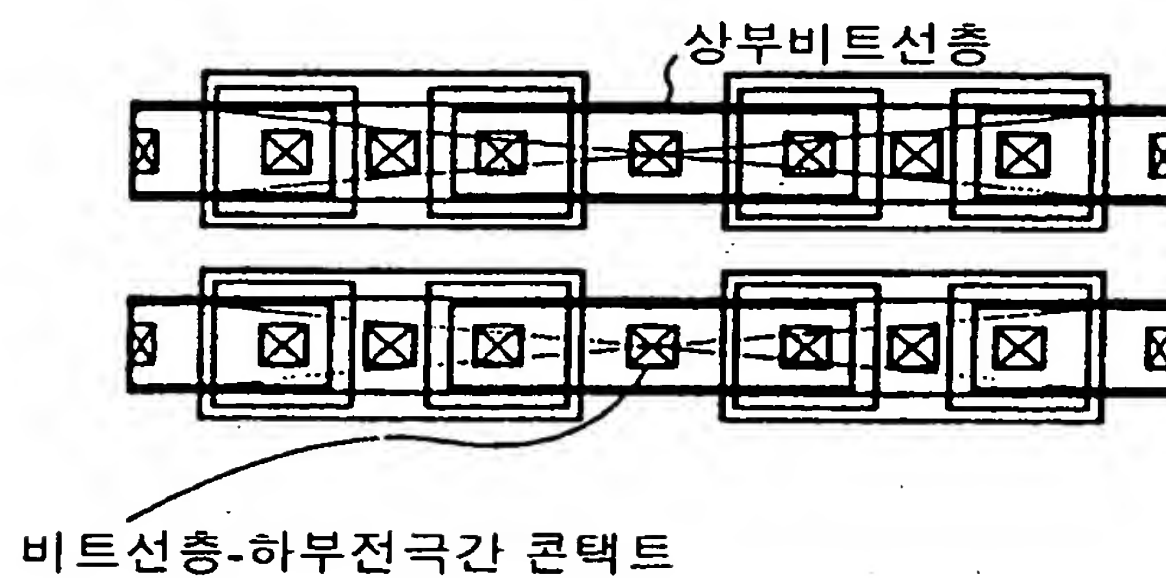
도면 166b



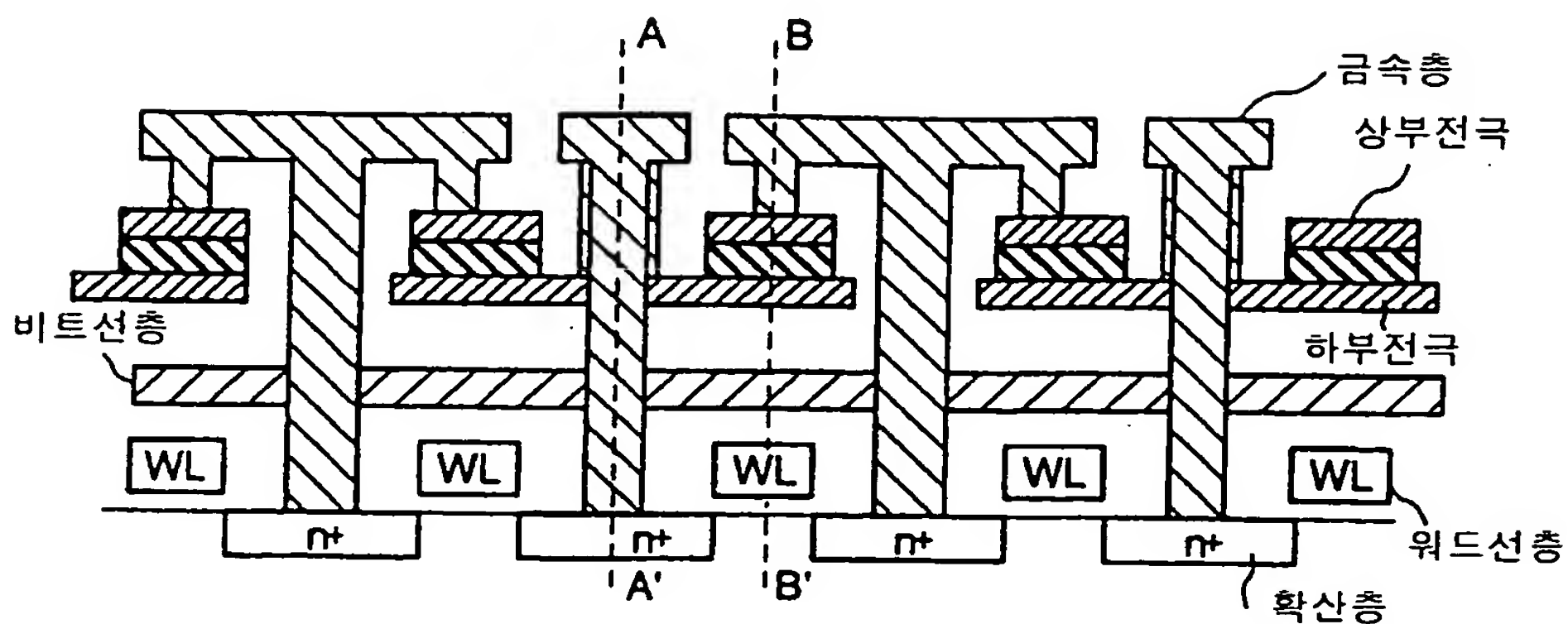
도면 166c



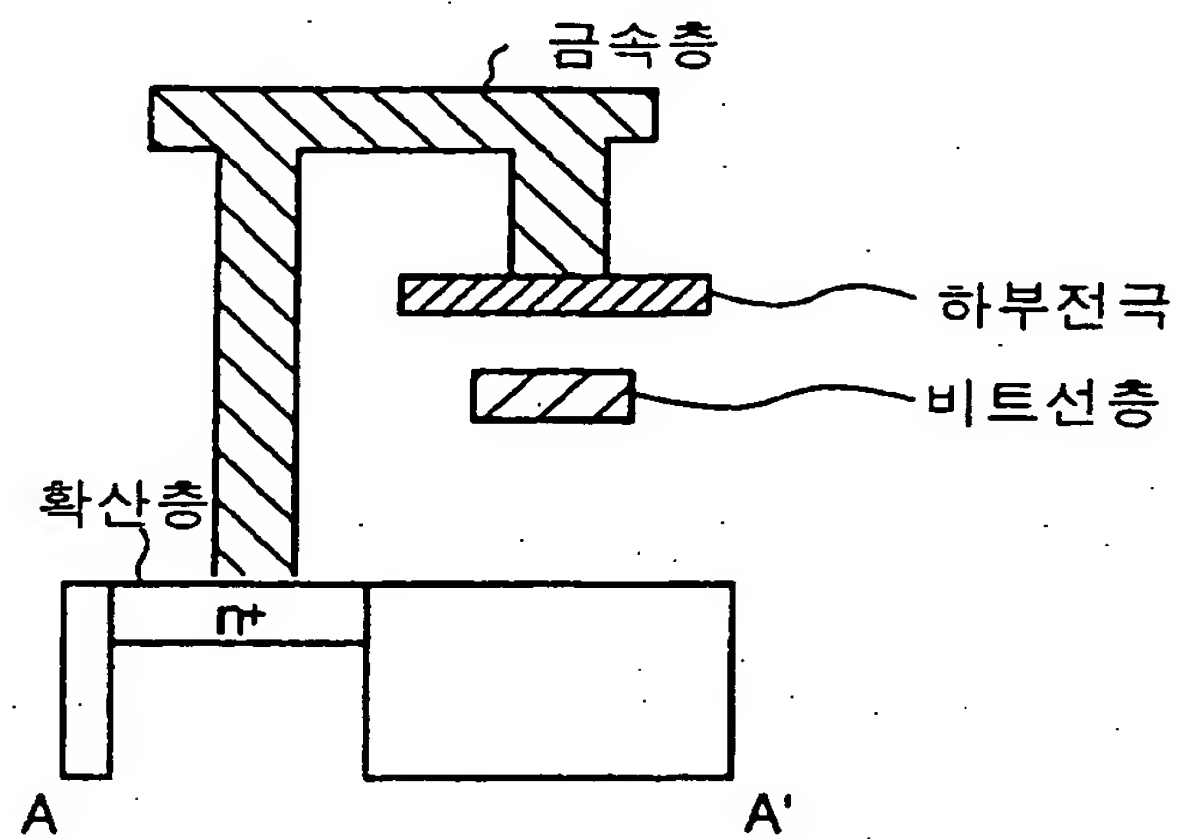
도면 166d



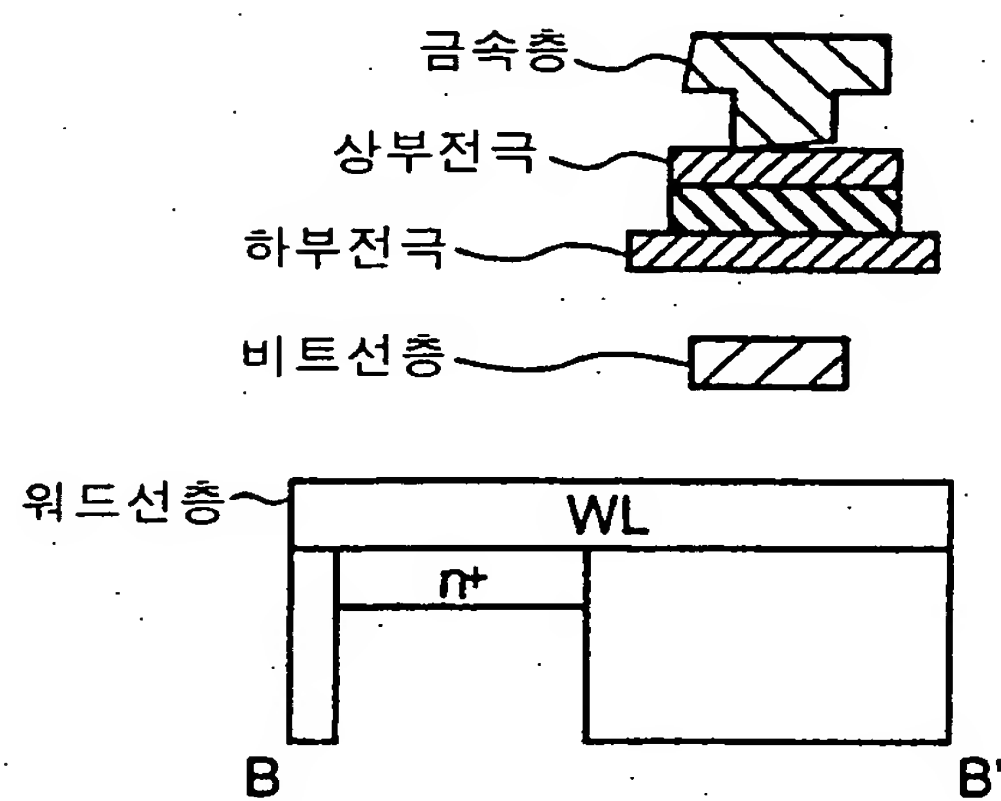
도면 167a



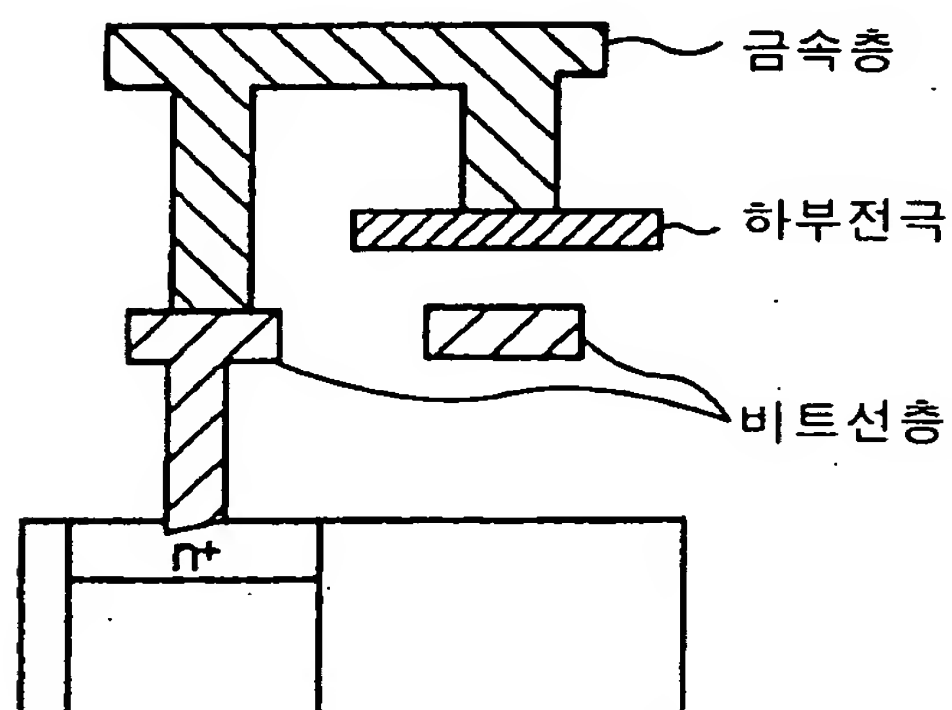
도면 167b



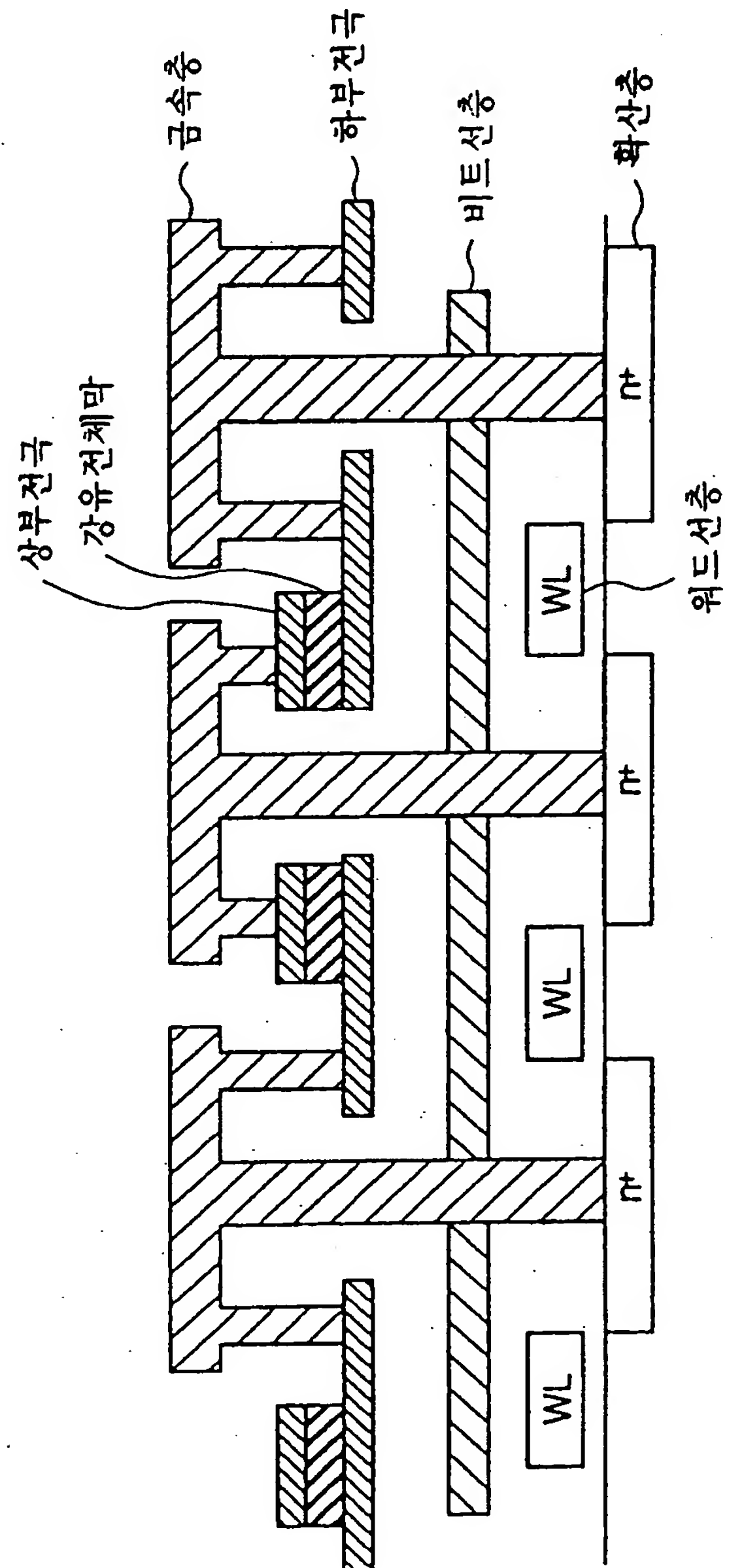
도면 167c



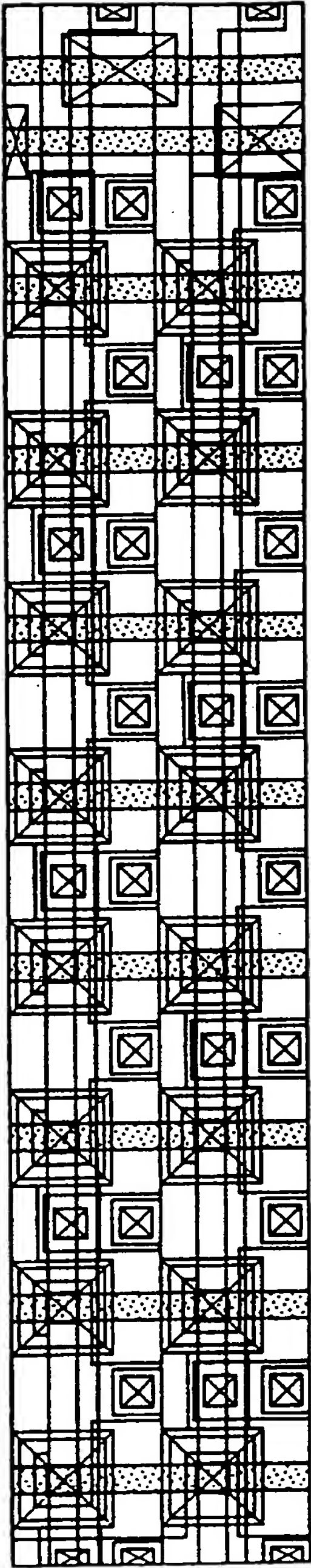
도면 167d

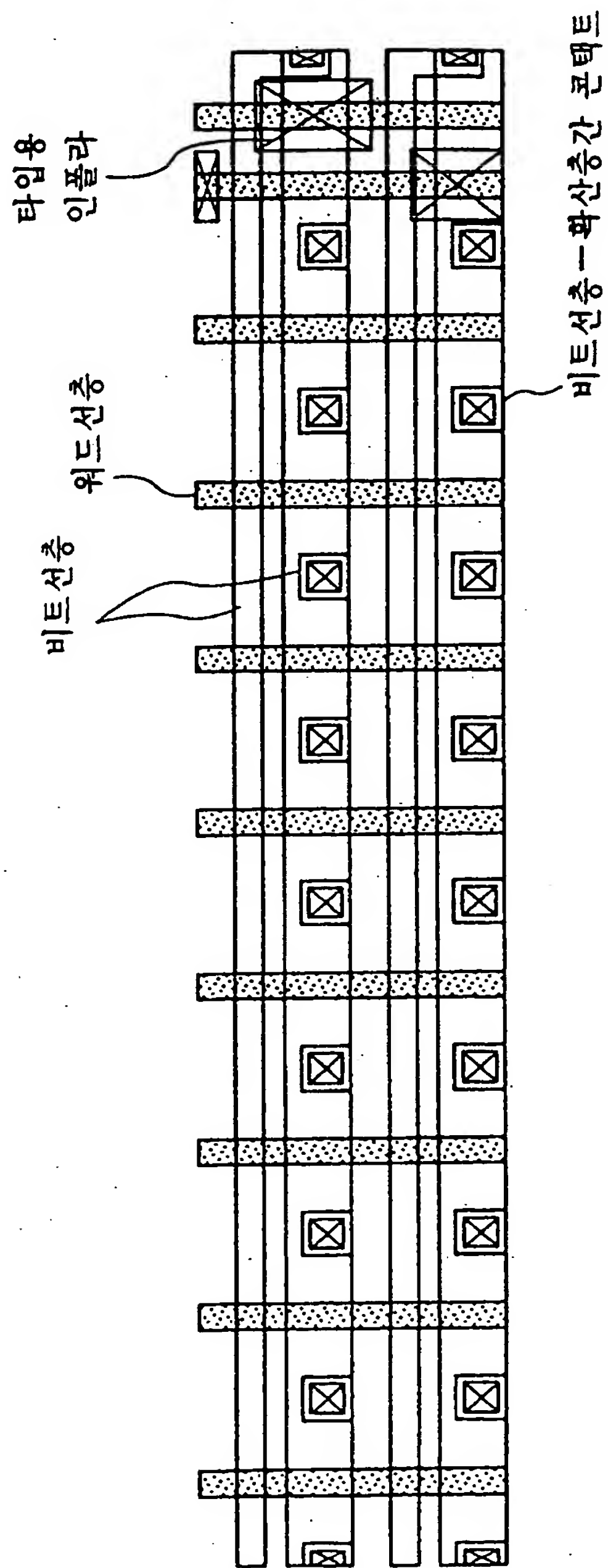


도면 168

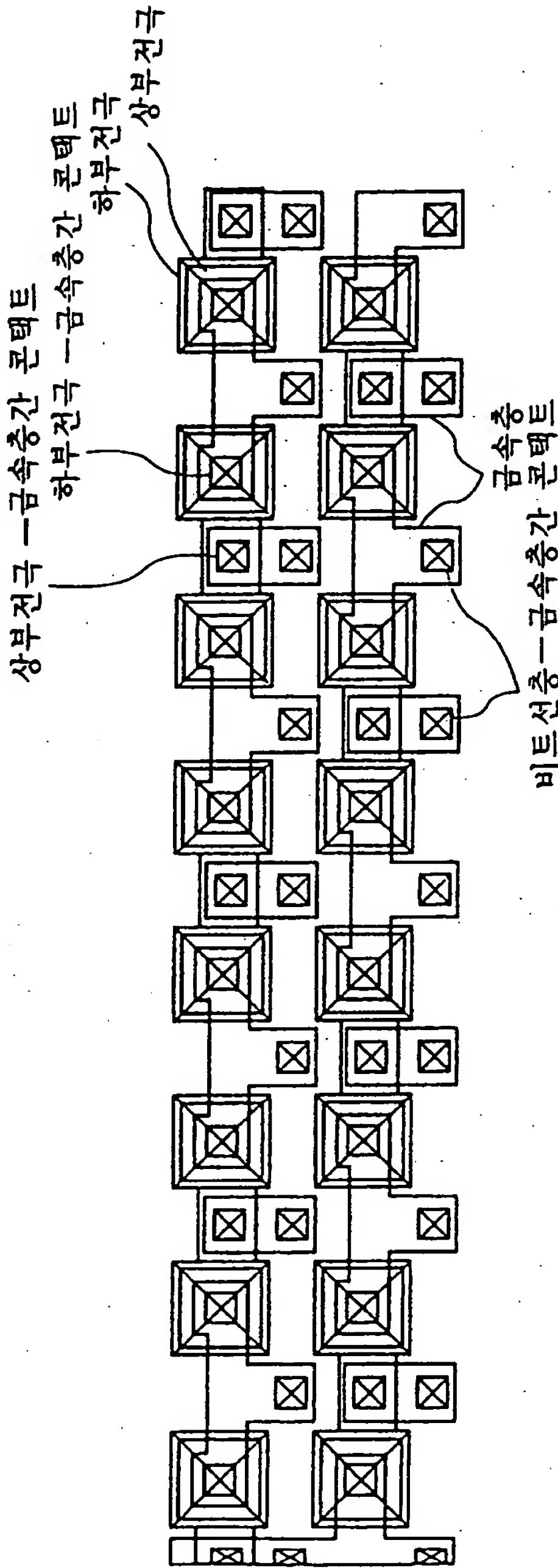


도면 169

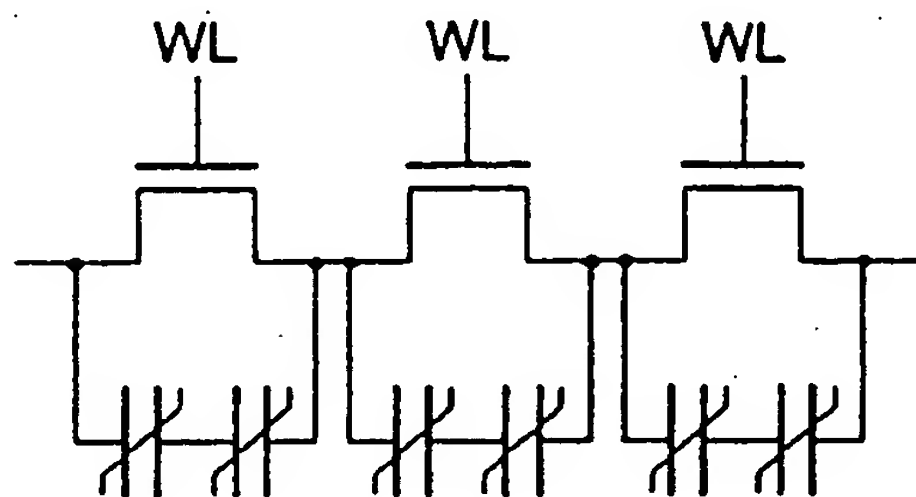




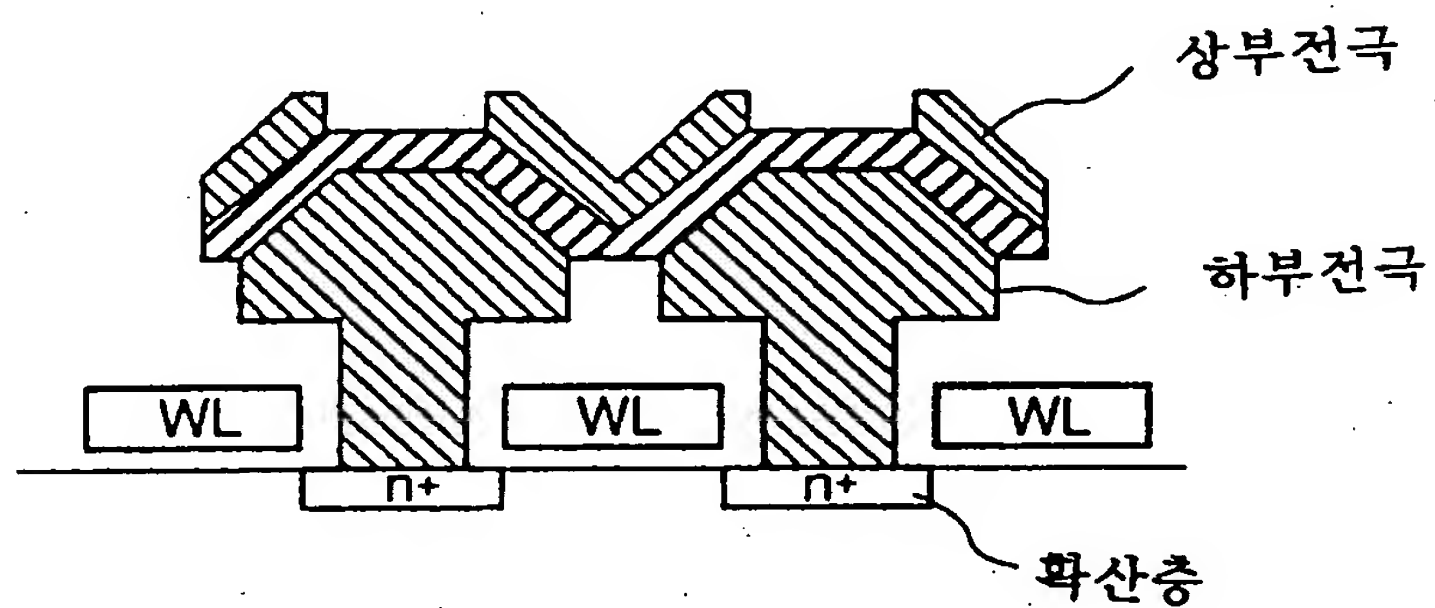
도면 171



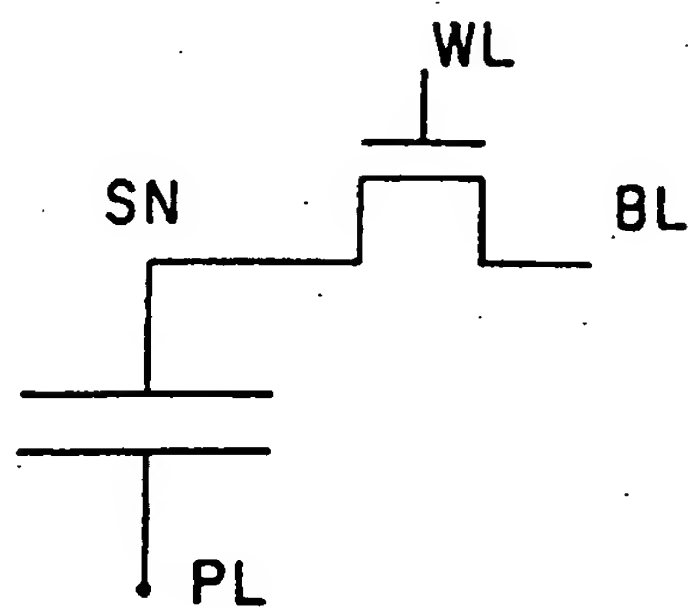
도면 172a



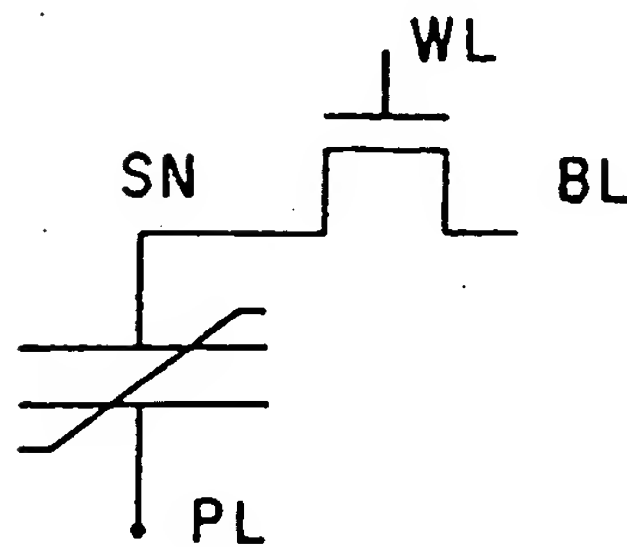
도면 172b



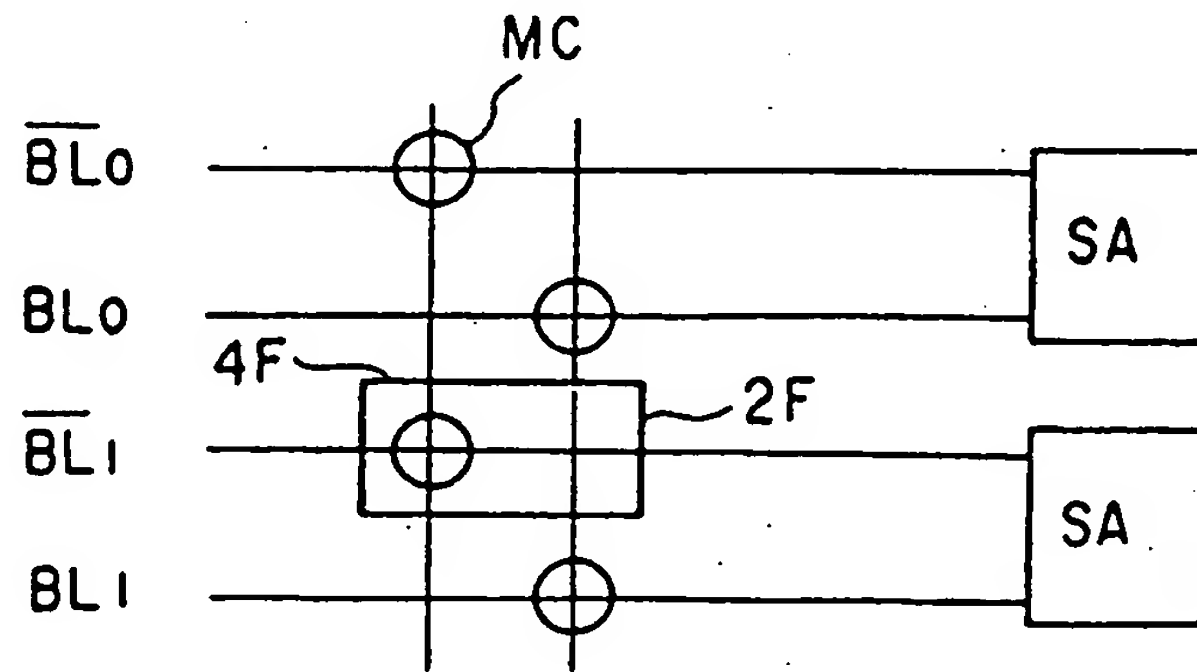
도면 173a



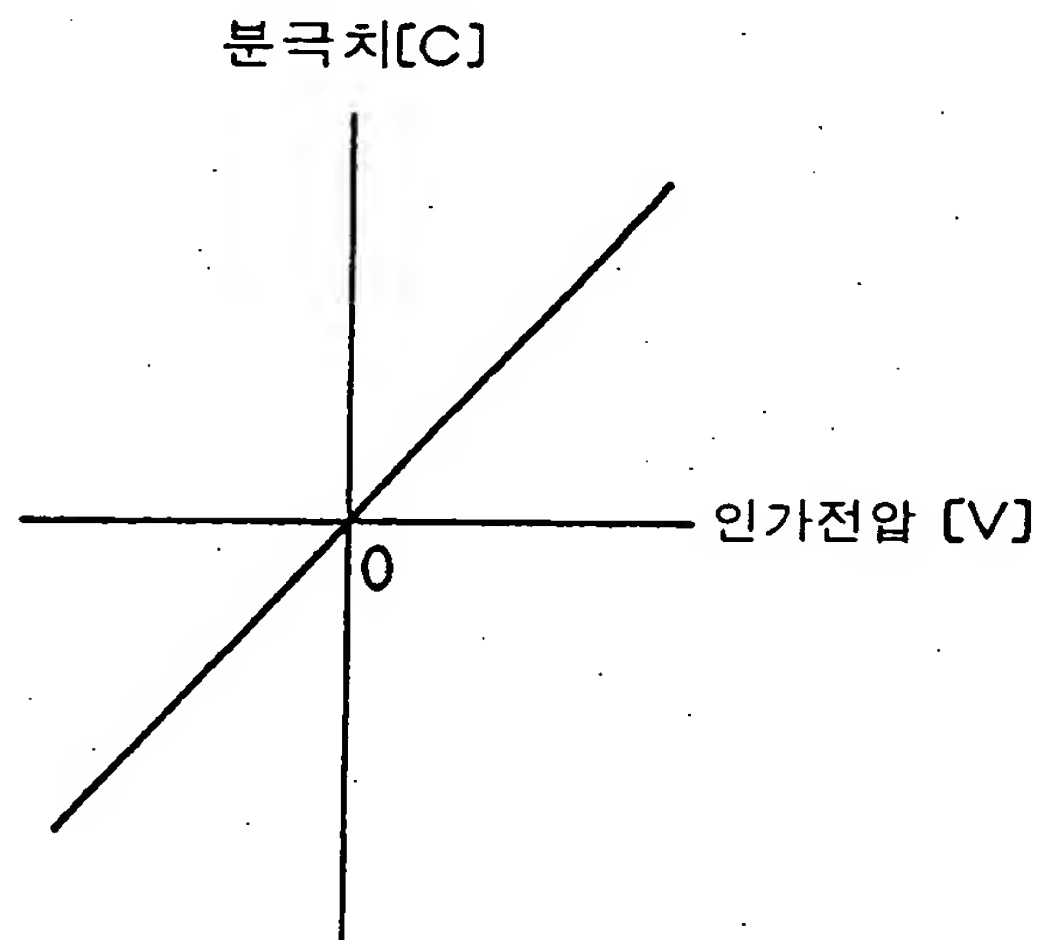
도면 173b



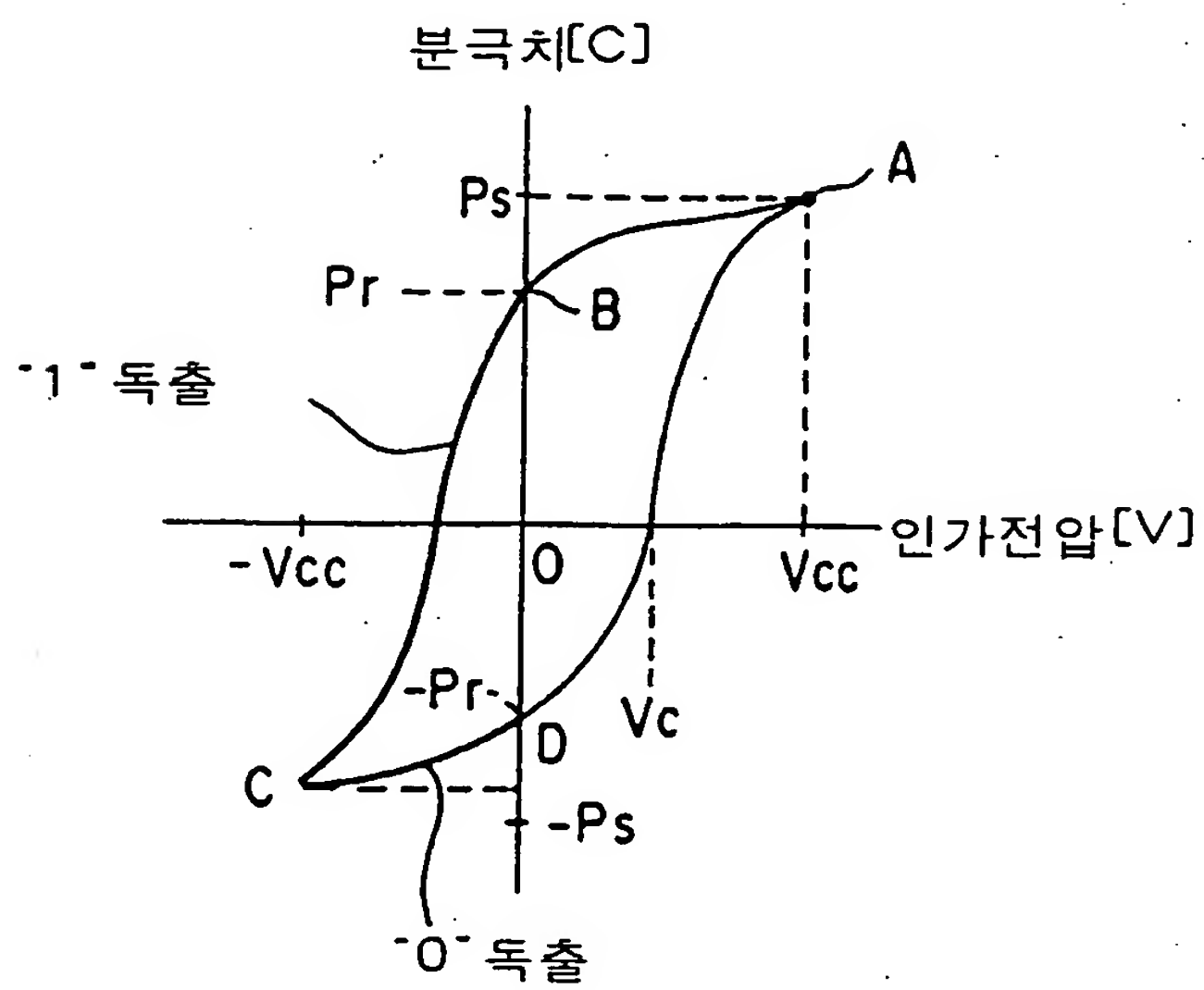
도면 173c



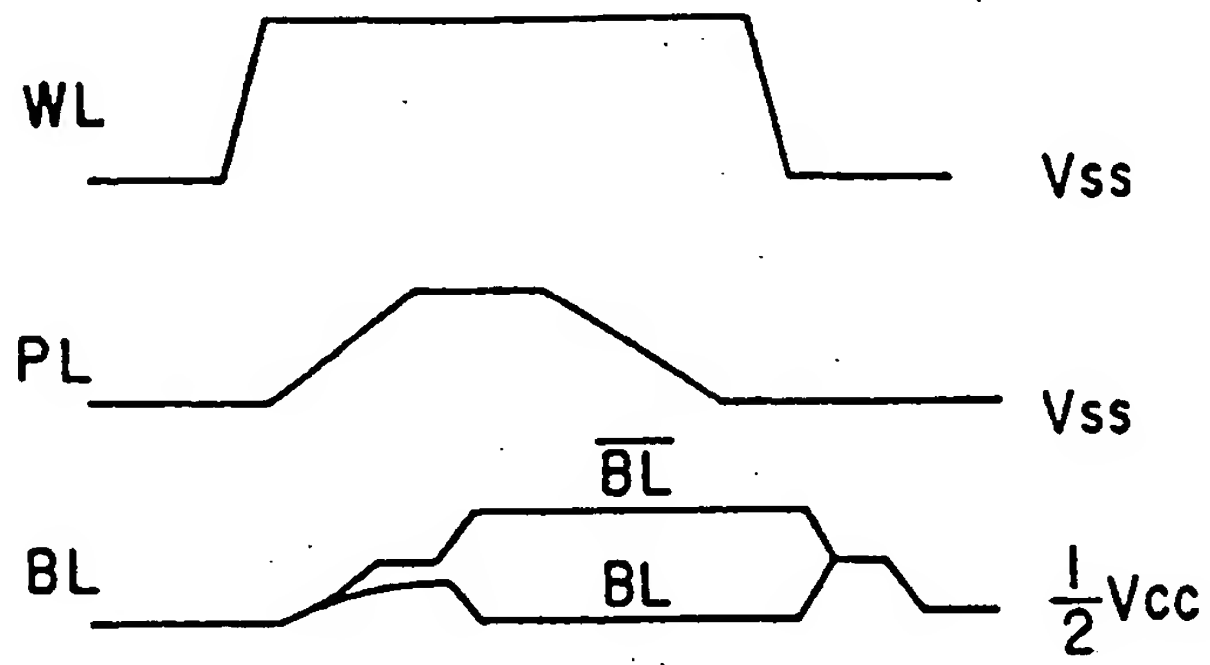
도면 174a



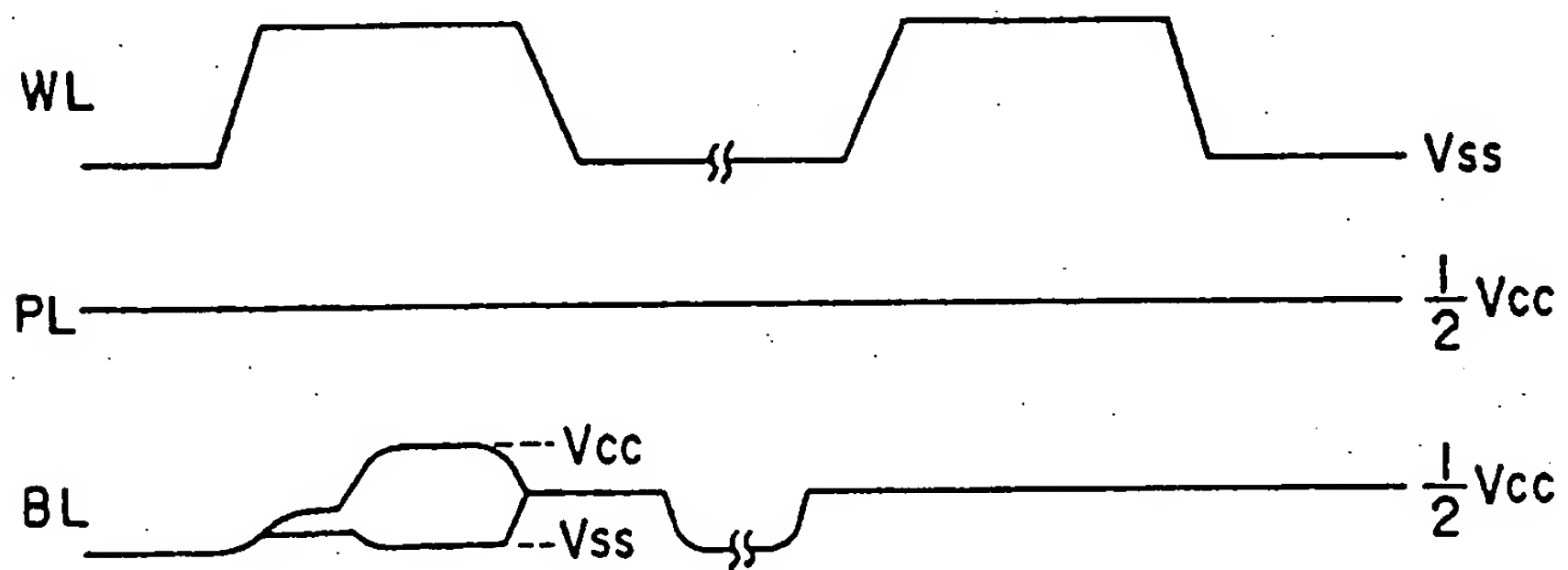
도면 174b



도면 175a



도면 175b



도면 175c

